

870116

3² Egom.

UNIVERSIDAD AUTONOMA DE GUADALAJARA

INCORPORADA A LA UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

ESCUELA DE INGENIERIA EN COMPUTACION



TESIS CON
FALLA DE ORIGEN

“DISEÑO DE UN CONTADOR DIGITAL”

TESIS PROFESIONAL

QUE PARA OBTENER EL TITULO DE
INGENIERO EN COMPUTACION

P R E S E N T A

HECTOR MANUEL OLEA RABAGO

GUADALAJARA, JALISCO. 1988



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INDICE

Introducción. -----	1
Capítulos	
I. Planteamiento del problema. -----	3
II. Análisis de los componentes del contador. -----	6
2.1 Contador BCD. -----	6
2.2 Explicación del Flip-Flop. -----	10
2.3 Decodificador. -----	15
2.4 Display. -----	20
2.5 El transistor como interruptor. -----	22
2.6 Características Electro-ópticas de un led. -	23
2.7 Dispositivos de entrada. -----	28
III. Armado del circuito. -----	30
IV. Análisis económico y conclusiones. -----	36
4.1 Análisis económico. -----	36
4.2 Conclusiones. -----	39
Apéndices	
A. Hojas de datos del contador	
B. Hojas de datos del decodificador	
C. Hojas de datos del inversor	
Bibliografía.	

INTRODUCCION

La ciencia de la tecnología de los semiconductores tuvo sus inicios alrededor de 1930 con los trabajos teóricos de F. Bloch, A.H. Wilson y otros. Sin embargo, esta tecnología básica permaneció durante los veinte años siguientes como material de estudio de los físicos.

Ahora nos encontramos en el umbral de la tecnología enteramente nueva: LA TECNOLOGIA DE CIRCUITOS INTEGRADOS que promete ejercer sobre los sistemas electrónicos un impacto mayor que el que tuvo el transistor mismo durante sus inicios. Tenemos la certeza de que la época de los circuitos integrados no es algo que se desarrollará pausadamente durante la próxima década, sino que es una era que ya irrumpió entre nosotros. Quienes no estén proyectando hoy en día equipos en que se utilicen circuitos integrados quedarán a la zaga del avance tecnológico de la ciencia y por lo tanto del conocimiento en sí.

Ninguno de nosotros sabe con seguridad hacia dónde nos conducirá esta nueva tecnología. Parece evidente sin embargo que apenas nos encontramos al principio de una tremenda revolución en las técnicas de los sistemas electrónicos la cual ha sido posible por el conocimiento siempre mayor de la humanidad con respecto al funcionamiento de los materiales de estado sólido.

Los dispositivos discretos de los tiempos actuales presentan niveles de confiabilidad que exceden por mucho a los dispositivos de ayer. Los adelantos que han sido lo suficientemente importantes para desviar el efecto del crecimiento en la complejidad y el tamaño de los sistemas.

Las ventajas principales ofrecidas por esta tecnología son: Una densidad de integración mayor, una mejor disipación de la temperatura, un costo mucho menor y una mayor velocidad de respuesta.

El primer circuito integrado fué desarrollado por TEXAS INSTRUMENT en 1959 y 3 años más tarde anunció el primer circuito integrado para la venta.

Por tal motivo, esta tesis conciste en la construcción de un circuito o dispositivo digital que fuese más versátil, confiable, óptimo y que por lo tanto, resolviera los problemas que ocurren con los dispositivos analógicos en el control de procesos. Esta tesis me ha dado la oportunidad de participar en el continuo cambio que hoy en día la ciencia y el diseño de nuevos dispositivos electrónicos. Por consiguiente ésta consta de cuatro capítulos. El primero es una introducción detallada del problema que existe con los dispositivos analógicos.

Esta primera parte la considero importante por la razón de que si queremos resolver un problema, primero tenemos que entender éste en una forma amplia y detallada. En el segundo se habla de los componentes que se utilizan en el diseño del circuito, el cual es muy importante para comprender mejor el funcionamiento y la operación, por lo tanto el siguiente capítulo. En el tercero es donde se va a aplicar los conocimientos adquiridos en el capítulo anterior ya que en éste se va a reunir todos los componentes para hacer el armado del circuito. Por último, el cuarto es un análisis económico del dispositivo y las conclusiones.

C A P I T U L O 1

PLANTEAMIENTO DEL PROBLEMA

El problema que se tiene en la mayoría de las pequeñas empresas que se dedican al ramo de la reconstrucción de motores, transformadores, bobinas, selenoides etc. emplean en su maquinaria contadores mecánicos para saber el número de vueltas que debe llevar dicho artículo.

Estos contadores mecánicos emplean internamente para su funcionamiento engranes de plástico, por lo que el primer problema que se presenta es el desgaste de los engranes, por la velocidad con que están contando, lo cual hace que se adquiera un contador mecánico nuevo.

Actualmente en el mercado nacional se pueden adquirir estos contadores mecánicos aunque son muy escasos, la adquisición de otro contador mecánico no vendría a solucionar el problema, además dichos contadores son de importación lo cual también afecta a la empresa ya que el costo es alto por el tipo de cambio.

Existen 2 tipos de contadores mecánicos llamados derecho e izquierdos. El primero es nombrado así porque la flecha en donde va montado el artículo (bobina) va metida en el lado derecho del contador, y el izquierdo porque el contador tiene la entrada para la flecha al lado izquierdo del contador.

Otro problema es que cuando se necesita comprar este tipo de contadores mecánicos a veces solo tienen en existencia un solo tipo de contador izquierdo o derecho.

Entonces, cuando se ocupa un contador izquierdo y solo se encuentra en el mercado el derecho se tiene que comprar, y a la hora de montarlo se tiene que girar 180 grados para que coincida el lado donde entra la flecha del articulo a descontar. Se hace ésto por la necesidad que se tiene del contador mecánico, de lo contrario se tendria la maquina parada por falta del contador.

Este giro nos causa otro tipo de problemas ya que cuando se ve al contador para ver el número de vueltas, no es muy visible ya que los digitos están de cabeza.

Ahora bien, realizar el diseño del contador digital nos lleva a analizar varias alternativas:

- * Podemos comprar dicho contador

- * Podemos diseñar dicho contador

Las soluciones que nos llevan a comprar, encuentran un gran impedimento con los altos costos de adquisición y dado que son equipo de importación, encontramos otro inconveniente en el tiempo de demora para su adquisición y/o ensamble.

El diseñar dicho contador, no es una labor rapida, pero si mas económica, como comprobaremos en el análisis económico, es además mas eficiente y flexible ya que se le puede diseñar para un uso específico o variable según sea el deseo del usuario, versatilidad que se logra con solo incrementar algunos circuitos externos de apoyo, sin tener que volver a rediseñar todo nuevamente.

Además de estas razones, el diseñar el contador es una forma

de fomentar la investigación y el estudio en este campo, relativamente nuevo; por lo que será benéfico educativamente.

Por todos los problemas antes considerados, se decidió realizar el contador digital.

C A P I T U L O 2

ANALISIS DE LOS COMPONENTES DEL CONTADOR

CONTADOR BCD

Según mano (1979,251) un circuito secuencial que pasa por una secuencia preestablecida de estados después de la aplicación de pulsos se llama un contador.

Los niveles de entrada, llamados pulsos de cuenta, pueden ser generados por un reloj, o ellos pueden originarse en una fuente externa y pueden ocurrir en intervalos establecidos de tiempo o aleatoriamente. En un contador, la secuencia de estados, puede seguir una cuenta binaria o cualquier otra secuencia de estados. Los contadores se encuentran en la mayoría de los equipos que contienen lógica digital. Un contador que sigue la secuencia binaria se llama contador binario.

Un contador de n bits consiste de n flip-flop y puede contar en binario de 0 hasta $2^n - 1$.

La única entrada al circuito es el pulso de cuenta, y la salida se especifican directamente con los estados presentes de los flip-flop. El siguiente estado del contador depende enteramente de su estado presente y la transición de estado ocurre cada vez que ocurre el pulso.

Debido a esta propiedad, se especifica completamente un contador por medio de una lista de secuencia de cuenta, es decir, la secuencia de los estados binarios que le suceden.

Esta es la forma que vamos a utilizar, para ir contando las

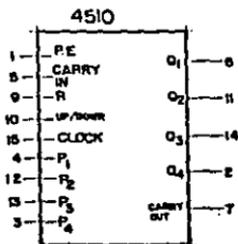
vueltas. El circuito integrado que vamos a utilizar es el MC14510BCD, es construido con tecnología MOS (Metal-Oxido-Semiconductor), con canal-p y canal-n contenido en una sencilla estructura monolítica.

El contador consiste de flip-flop tipo d.

El circuito tiene la capacidad de resetear (poner en ceros) aplicando un nivel alto en la patilla de reset.

CARACTERISTICAS DEL C. I. MC14510

- * Poder de disipación: 0.25 microW
- * Inmudidad al ruido : 45% de V_{dd} típico
- * Diodo de protección en todas las entradas
- * Rango de la fuente de voltaje : 3.0Vdc a 18Vdc
- * Baja entrada de capacitancia : 5.0pf típico
- * Corriente de drenaje : 10ma dc
- * Rango de operación de temperatura : -40 a 85 grados centigrados



CARRY IN	UP/DOWN	PRESET ENABLE	RESET	ACTION
1	X	0	0	NO COUNT
0	1	0	0	COUNT UP
0	0	0	0	COUNT DOWN
X	X	1	0	PRESET
X	X	X	1	RESET

Este C.I. como se muestra en el dibujo tiene 16 pins, y cada pins tiene un determinado funcionamiento que a continuación se explica.

La alimentación de este circuito es en los pines 8 y 16 que son tierra (-) y voltaje (+) respectivamente.

El pin 1 llamado preset enable es una condición para que el contador se pueda poner en un determinado número, cuenta y descuento.

El pin 5 (carry in) es el acarreo de entrada que es como funciona un contador de cascada, es decir, cada vez que cuente 9 unidades pasa un pulso al siguiente C.I. que cuenta las decenas y así sucesivamente.

El pin 9 (reset) es para poner en ceros al contador.

El pin 10 tiene la modalidad de contar o descontar con solo poner este pin en voltaje o tierra respectivamente.

El pin 15 contiene el clock y es donde entran los pulsos para que el contador se vaya incrementando.

Los pines 4, 12, 13, 3 son para poner un determinado número del 0-9 en un display y para que se cumpla lo anterior los pines P.E. (1) y Reset (9) deberán estar en voltaje y tierra (ver tabla anterior).

Los pines 8, 11, 14, 2 son la salida del circuito integrado en código B C B que van directamente al decodificador.

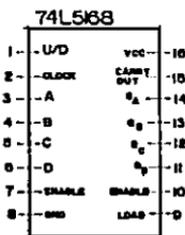
CONTADOR BCB (TTL)

Tenemos otra alternativa, con este tipo de contador de la familia TTL (Transistor-Transistor logic), el cual es semejante al anterior porque tiene las mismas funciones como: clock,

up/down, puede ser programado para que empiece a contar a partir de un número determinado, carry out y sus salidas para desplegar los números en un display, también puede ser conectado en cascada. A continuación se da la configuración y sus características:

CARACTERISTICAS DEL C.I. DM74LS168

- * Operación síncrono para conteo y programación
- * Interno look-ahead para conteo rápido.
- * Salida con carry para n-bit en cascada.
- * Independiente circuito de reloj.



	P	T	UP/DOWN
UP	0	0	1
DOWN	0	0	0

En este contador para que empiece a funcionar, debe tener las entradas P y T en nivel bajo y up/down en nivel alto. Para que descuenta ésta última debe de estar en nivel bajo.

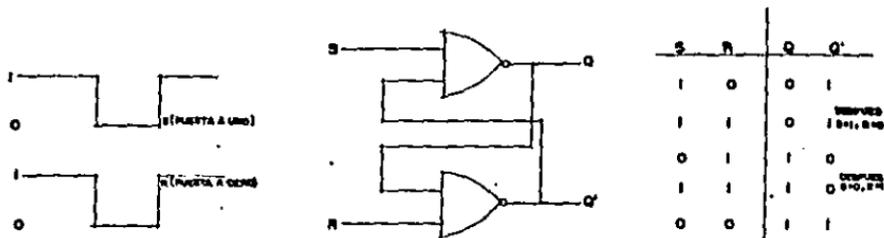
En el clock van a estar entrando los pulsos del sensor de entrada.

Su funcionamiento se puede decir que es igual al contador anterior solamente que algunos pins tienen diferentes nombres.

EXPLICACION DE LOS FLIP-FLOP

Un flip-flop puede mantener un estado binario indefinidamente, (siempre y cuando se esté suministrando potencia al circuito) hasta que se cambie por una señal de entrada para cambiar de estados. Hay varios tipos de flip-flop, las principales diferencias es el número de entradas que poseen, la manera en la cual las entradas afectan el estado binario y el tipo de compuertas que se utilizan para su construcción.

EL circuito básico de un flip-flop con compuertas nand se muestra a continuación y del cual se puede construir uno más complicado.



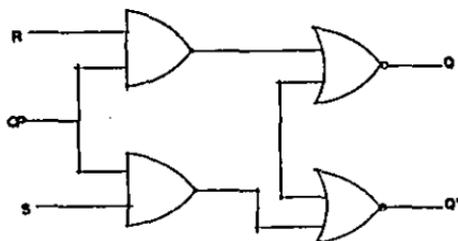
En este flip-flop básico se tienen dos salidas Q y Q'negada, dos entradas: set (puesta a uno) y reset (puesta a cero).

A este tipo de flip-flop R S se le llama flip-flop acoplado directamente o bloqueador RS, las iniciales S y R vienen de los nombres SET y RESET respectivamente.

FLIP-FLOP RS TEMPORIZADO

El flip-flop básico por sí solo, es un circuito secuencial asincrónico.

Agregando compuertas a las entradas del circuito básico, puede hacerse que el flip-flop responda a los niveles de entrada, durante la ocurrencia del pulso del reloj.



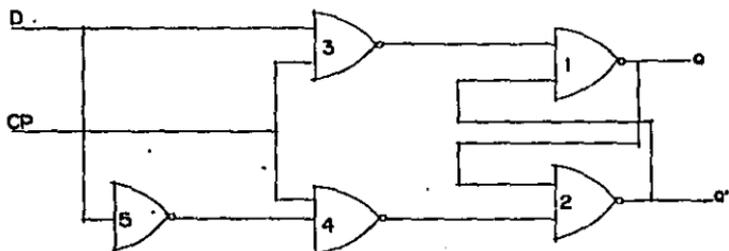
Q	R	S	Q(t+1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	INDETERMINADO
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	INDETERMINADO

El flip-flop mostrado anteriormente consiste en un flip-flop básico NOR y dos compuertas AND. Las salidas de las compuertas AND permanecen en cero mientras el pulso del reloj (abreviado en inglés cp) sea cero independientemente de los valores de entrada R y S. Cuando el pulso del reloj vaya a uno, la información de las entradas (S y R) permiten llegar al flip-flop básico. El estado de puesta a uno (set) se logra con $S=1, R=0$ y $CP=1$ y a la salida tenemos $Q=1$ y $Q'=0$. Para cambiar el estado de puesta a cero (reset) es decir tener a la salida $Q=0$ y $Q'=1$ las entradas deben ser: $S=0, R=1$ y $CP=1$. Si ponemos ambas entradas $S=1, R=1$ y

CP=1, causará que ambas salidas Q y Q' vayan momentaneamente a cero, cuando se quite el pulso del reloj, el flip-flop será indeterminado es decir, podriamos tener a la salida cualquier estado dependiendo de si la entrada de puesta a uno, o la de puesta a cero del flip-flop básico, permanezca el mayor tiempo, antes de la transición a cero al final del pulso.

FLIP FLOP TIPO D

El flip-flop mostrado a continuación es una modificación del flip-flop RS sincronizado (explicado anteriormente).



Las compuertas NAND 1 y 2 forman el flip-flop básico y las compuertas 3 y 4 las modifican para conformar flip-flop RS sincronizado. La entrada D va directamente a la entrada S y su complemento (una compuerta NAND) se aplica a la entrada R a través de la compuerta 5. Mientras que el pulso del reloj de entrada sea un cero, las compuertas 3 y 4 tienen un uno en sus

salidas, independientemente del valor de las otras entradas.

La entrada D se comprueba durante el pulso de reloj. Si es uno, la salida de la compuerta 3 va a cero, cambiando el flip-flop al estado de puesta a uno (a no ser que ya esté en este estado).

Si es cero, la salida de la compuerta 4 va a cero, cambiando el flip-flop al estado de borrado.

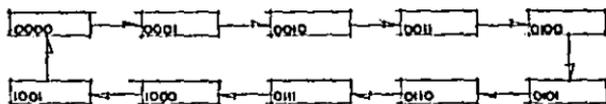
El flip-flop tipo D recibe su nombre por la habilidad de transmitir "datos" a un flip-flop. Es básicamente un flip-flop RS sincronizado con un inversor en la entrada R. El inversor agregado reduce el número de entradas de dos a uno.

CONTADORES DE RIZADO

En los contadores MSI (Medium Scale Integration) vienen en 2 categorías: Contadores de rizado y contadores síncronos. En un contador de rizado, la transición de salida del flip-flop sirve como fuente para disparar los otros flip-flop. En otras palabras las salidas CP de todos los flip-flop (con excepción de la primera) se disparan no por los pulsos de entrada, sino por la transición que ocurre en los otros flip-flop. En un contador síncrono, los pulsos de entrada se aplican a todas las entradas CP de todos los flip-flop. El cambio de estado de un flip-flop en particular es dependiente del estado presente de otros flip-flop.

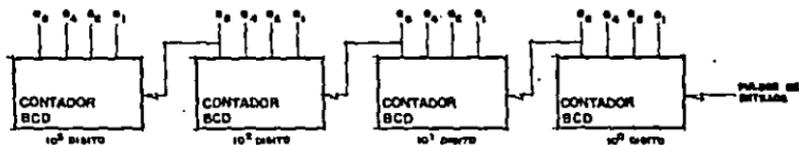
Un contador decimal sigue una secuencia de diez estados y regresa a 0 después de la cuenta de 9. Tal contador debe tener por lo menos cuatro flip-flops para representar cada dígito

Como un dígito decimal se representa por medio de un código binario en cuatro bits. La secuencia de estados en un contador decimal se deduce del código binario usado, para representar un dígito. Si se usa BCD, la secuencia de estados es como se muestra en el diagrama mostrado a continuación.



Esto es similar a un contador binario, excepto que el estado después de 1001 (código para el dígito decimal 9) es 0000 (código para el dígito decimal 0).

La forma como vamos a estar contando es mostrada en la siguiente figura:



A esto se le llama contador en década, ya que cuenta desde 0 hasta 9. Para contar en decimal de 0 hasta 9999 se necesitan

cuatro contadores en década. Los contadores multidécada pueden construirse conectando los contadores BDC en cascada como se muestra en la figura anterior. Las entradas de la segunda, tercera y cuarta década vienen de QB de la década previa. Cuando QB en una década vaya de 1 a 0, esta dispara la cuenta para la década contigua de mayor orden mientras que su propia década va de 0 a 9.

DECODIFICADOR

Un decodificador es un circuito combinacional que convierte la información binaria de n líneas de entrada a un máximo de 2^n a la n líneas ónicas de salida.

El nombre decodificador se usa conjuntamente con cierto tipo de convertidores de código tal como el decodificador BCD a siete segmentos.

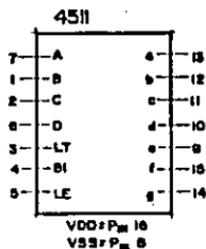
Este decodificador acepta un número decimal en BDC y genera las salida apropiadas, para la selección de segmentos en un display para mostrar el dígito decimal. Las salidas del decodificador son: a,b,c,d,e,f,g.

Estos decodificadores están contruidos con compuertas AND,NAND,OR NOR e inversores los cuáles están interconectados. El decodificador que vamos a utilizar es el MC14511 es construido con tecnología CMOS en una sencilla estructura monolítica. El circuito tiene entradas para 4 bits, éstos con un peso de 8,4,2,1, (siendo este último el menos significativo).

CARACTERISTICAS DEL C.I MC14511

- * Baja disipación de poder del circuito lógico
- * Alta corriente de salida (hasta 25 mA)
- * Almacenamiento de código
- * Entrada para parpadeo
- * Prueba de display
- * Indicación de salida con parpadeo sobre todas las combinaciones ilegales de entrada
- * Intensidad de display

INPUTS										DISPLAY				
LE	BI	LT	D	C	B	A	a	b	c		d	e	f	g
X	X	0	X	X	X	X	1	1	1	1	1	1	1	0
X	0	1	X	X	X	X	0	0	0	0	0	0	0	BLANK
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	0	1	1	0	1	1	1	5
0	1	1	0	1	1	0	0	1	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	0	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	0	0	1	1	1	9



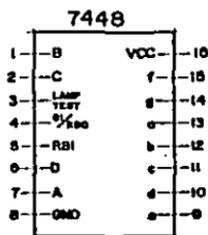
DECODIFICADOR BCD/7-SEGMENTOS.

Este es otra alternativa que podemos utilizar en nuestro circuito el cual se adapta a nuestras necesidades, es de la familia TTL y tiene sus salidas altas para manejar los display de cátodo común que requerimos. Sus entradas son D, C, B, A, éste último el menos significativo y sus salidas a,b,c,d,e,f y g los

cóales van conectados al display para que represente el número que tenemos en la entrada. Cuenta con prueba de display (LT), éste dispositivo puede ser ejecutado cuando BI/RBO estén en un nivel alto y LT en un nivel bajo.

A continuación se da la tabla de verdad y la configuración.

DECIM.	INPUT					BI / RBO	OUTPUT						
	LT	PSI	D	C	B		A	a	b	c	d	e	f
0	H	H	L	L	L	L	H	H	H	H	H	H	L
1	H	X	L	L	L	H	H	L	H	L	L	L	L
2	H	X	L	L	H	L	H	H	H	L	H	H	L
3	H	X	L	L	H	H	H	H	H	L	L	L	H
4	H	X	L	H	L	L	H	L	H	H	L	L	H
5	H	X	L	H	L	H	H	L	H	H	L	H	H
6	H	X	L	H	H	L	H	L	L	H	H	H	H
7	H	X	L	H	H	H	H	H	H	L	L	L	L
8	H	X	H	L	L	L	H	H	H	H	H	H	H
9	H	X	H	L	L	H	H	H	H	L	L	H	H



En seguida voy a dar alguna información breve sobre las dos familias de circuitos integrados. La TTL tiene una lista extensa de funciones digitales y es comunmente la familia lógica mas popular. La familia CMOS se usa para sistemas que requieren bajo consumo de poder y alta inmunidad al ruido, además ésta tecnología tiene un rango amplio, para la alimentación de los circuitos que va de 3 a 15 voltios.

A continuación se listan los voltajes de nivel alto y bajo para las familias de circuitos integrados.

TIPO DE FAMILIA DE CI	VOLTAJE DE FUENTE (V)	NIVEL ALTO DE VOLTAJE (VI)		NIVEL BAJO DE VOLTAJE (VI)	
		RANGO	TIPO	RANGO	TIPO
TTL	VCC=5	2.0-5	LS	0-0.8	0.8
BCL	VCC=+5.1	-0.95-0.7	-0.8	-1.0-1.5	-1A
CMOS	VDD=3-15	VDD	VDD	0, 0.8	0
LOWCA POSITVA			LOWCA 1		LOWCA 0
LOWCA NEGATIVA			LOWCA 0		LOWCA 1

En cada familia hay un rango de valores que el circuito puede reconocer como nivel bajo o alto, el valor típico es el que se usa más comunmente. Las compuertas CMOS pueden usar un voltaje de suministro Vdd en el rango de 3 a 15 voltios con voltajes típicos de 5 a 10 V.

Los parámetros más importantes que son comparados y evaluados son:

- * FAN-OUT
- * DISIPACION DE PODER
- * TIEMPO DE PROPAGACION
- * MARGEN DE RUIDO

FAN-OUT.-Especifica el número de cargas que puede accionar la salida de la compuerta, sin menoscabar su operación normal. Una carga normal se define como la cantidad de corriente necesaria para la entrada de otra compuerta en la misma familia de C.I. algunas veces se usa el termino CARGADO en vez de FAN-OUT.

Cada entrada consume cierta cantidad de potencia de la compuerta de entrada, de tal manera que cada conexión adicional se agrega a la carga de la compuerta, al exederse la carga máxima especificada se podría causar mal funcionamiento ya que el circuito, no puede suministrar el poder demandado. El FAN-OUT es

el número máximo de entradas que puede conectarse a la salida de la compuerta y se expresa con un número.

DISIPACION DE POTENCIA.- Es la potencia suministrada necesaria para operar la compuerta. Este parámetro se expresa en milivatios (mv) y representa la potencia real designada por la compuerta. El poder total disipado en un sistema es la suma total del poder disipado de todos los C.I.

RETARDO DE PROPAGACION.- Es el tiempo promedio de demora en la transición de propagación de una señal de la entrada a la salida, cuando las señales binarias cambian de valor. Las señales en una compuerta toman cierta cantidad de tiempo para propagarse de las entradas a las salidas. Se expresa en nanosegundos (ns), un nanosegundo es igual $10 \text{ exp } -9$ segundos.

MARGEN DE RUIDO.- Es el máximo voltaje de ruido agregado a la señal de entrada de un circuito digital que no cause un cambio indeseable a la salida del circuito. Hay dos tipos de ruido que deben considerarse: El ruido (DC) causado por la desviación en los niveles de voltaje de señal. El ruido (AC) es el pulso aleatorio que puede ser creado por otras señales conmutadas.

En seguida se muestra la tabla conteniendo los valores de los parámetros anteriormente señalados:

FAMILIA DE CI LÓGICO	FAN-OUT	DISIPACIÓN DE POTENCIA EN INW	DEMORA DE PROGRAMACION	MARGEN DE RUIDO (V)
TTL NORMALIZADA	10	10	10	0.4
ECL	25	25	2	0.4
CMOS	50	0.1	25	3

PORQUE SE DECIDIO A USAR C.I. CMOS

Existen dos puntos importantes que son:

PRIMERO.-Su margen de ruido es muy alto, lo cual nos beneficia ya que este contador es para ser utilizado en la industria donde puede haber ruido del tipo que señalamos anteriormente y puede afectar el funcionamiento del contador. Con el margen de ruido que nos proporciona los CMOS, es un punto muy importante para evitar el mal funcionamiento, el cual asimila mejor que la familia TTL.

SEGUNDO.-El bajo consumo de potencia para no necesitar de mucha corriente, porque el contador tendrá que ser alimentado por una fuente de voltaje en directa, el cual tendrá un dispositivo auxiliar (batería) para que cuando falte la luz eléctrica, entre a funcionar el dispositivo auxiliar y pueda seguir trabajando el contador.

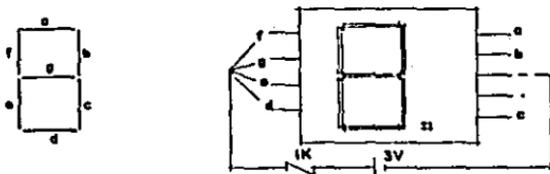
Con los puntos anteriormente citados es por lo que me decidí a utilizar los CMOS.

DISPLAYS

Es un dispositivo en el cual se pueden visualizar los números,

el cual está dividido en segmentos.

Primeramente se tiene que ver la configuración del display para ver que pins corresponde a cada segmento. Esto se puede hacer con una batería de 3Vdc y una resistencia de 1K ohms para proteger el segmento del display, probando cada uno de los pins del display y manteniendo el cable negativo de la batería como común para ver que segmento se enciende. A continuación se da la configuración del display usado:



Hay que mencionar que existen 2 tipos de display los cuales son: Anodo común (+) y cátodo común (-), el primero tiene este nombre porque el pin de alimentación del display siempre va a estar en $V(+)$ y el segundo porque la alimentación va a estar en $V(-)$. El que nosotros utilizamos es el de cátodo común. En la tabla anteriormente dada, se pueden hacer pruebas para saber si están trabajando bien tanto el decodificador como el display.

La figura del decodificador muestra la configuración de los pins:

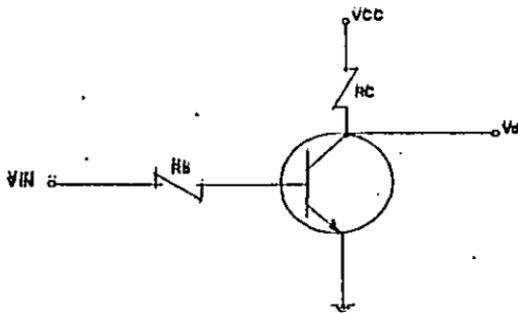
Los pins 7,1,2,6, son las entradas de los números en código BCD en donde el pin 7 es el dígito menos significativo y el pin 6 es

el dígito más significativo.

El pin 3 llamado prueba de lámpara (LT), 4 parpadeo (BI) y 5 latch enable (LE) son entradas para la prueba de display y las salidas para éstos son los pins 13, 11, 10, 9, 15, 14, (a,b,c,d,e,f,g) respectivamente y por último su alimentación en los pins 8 (-) y 16 (+).

EL TRANSISTOR COMO INTERRUPTOR

Además de su uso en amplificadores para señales variables en el tiempo, el transistor puede ser usado como interruptor; éste no duplica exactamente la acción de un interruptor de contactos mecánicos pero presenta ciertas ventajas sobre éstos.



La figura muestra un diagrama esquemático donde el transistor es empleado como interruptor. Aquí se muestra la resistencia de carga colocada en el circuito del colector y en serie con éste. El voltaje de entrada V_{IN} determina cuando el transistor como

interruptor se encuentra abierto, impidiendo el flujo de corriente por la carga, o cerrado, permitiendo el flujo de corriente. Cuando V_{in} es un voltaje bajo, no hay flujo de corriente por la union base-emisor. Con una corriente nula, no hay corriente de colector, y por tanto, no circulara corriente por la carga. Bajo esta condición el transistor opera como un interruptor abierto en serie con la carga. Cuando el transistor opera de esta manera se dice que esta cortado o en CORTE.

En resumen, un transistor puede operar como interruptor mecánico en serie con la carga; esto significa que la acción de abrir o cerrar el interruptor, la ejecuta el voltaje de entrada tal como un actuador mecánico, el pistón de un solenoide, o la armadura de un rele, que son métodos comunes para la operación de interruptores mecánicos.

CUALES SON LAS CARACTERISTICAS ELECTRO-OPTICAL DE UN LED

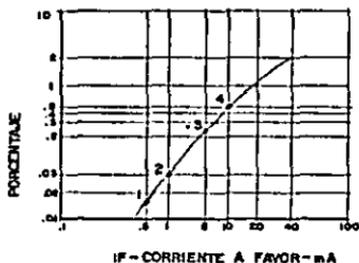
Larry B. Masten y otros (1981,6-1) provee información acerca de la intensidad de luz del LED como funcion de la corriente.

PARAMETRO	PRUEBA DE CONDICIONES	MIN	TYP	MAX	UNIDAD
Emission pico de longitud de onda	$I_f=20ma$	6300	6500	6700	Å

TABLA 2.1

La tabla 2.1 nos muestra las características de operación a 25

grados centígrados. Nótese que la longitud de onda típica es de 6500 nanómetros o 6500 Amstrong que es una intensa luz roja.



En un cuarto con luz ambiental

- 1.- Visible
- 2.- Fácil vista
- 3.- Atrae la atención
- 4.- Vista desde 20 pies

Fig. 2.2

La figura 2.2 muestra la relación entre la intensidad de luz y la corriente del diodo a favor. La escala puede ser interpretada en porcentajes con 1 siendo el 100%. Para usar esta gráfica se selecciona una corriente y se saca una línea vertical hasta que ésta intersecte la curva; entonces sacamos una línea horizontal de este punto a la izquierda y leemos la intensidad de luz. En nuestro caso, la I_f es 15mA, la intensidad de luz es de .7 o 70% y nos da 700 microceldas.

CARACTERISTICAS OPTICAS DEL LED

La característica óptica del LED incluye color (longitud de onda) ángulo desde donde es visto el led y el tipo de encapsulado usado por este dispositivo.

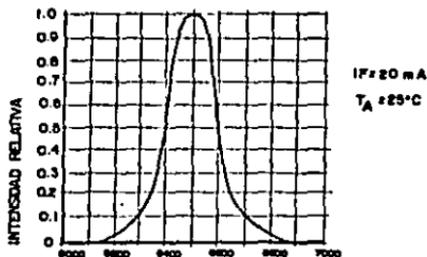


Fig. 2.3

La figura 2.3 muestra la curva de intensidad de luz como una función de longitud de onda, la máxima intensidad de luz es de 6500 Angstroms.

Otros datos importantes son acerca de la duración del led.

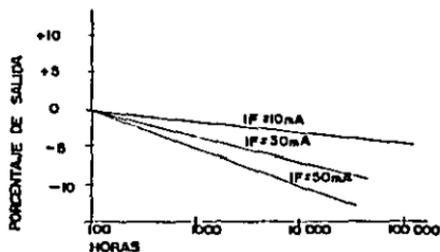


Fig. 2.4

La figura 2.4 muestra la duración de un led cuando éste es operado con una corriente alta, donde podemos observar que un led alimentado con una corriente de 50 mA puede perder el 20% de la duración normal de su vida que es aproximadamente de 10,000 horas continuas. Sin embargo con 10 mA el decremento de la vida es insignificante.

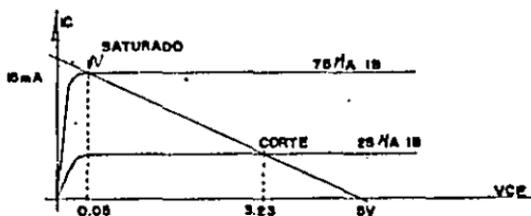
Tenemos que el circuito del colector es alimentado con 5 Vdc y queremos una corriente de 15 mA con lo cual tenemos:

$$V = I R \quad \text{donde} \quad R = V/I$$

$$R = 5/15\text{mA} \quad \text{donde} \quad R = 333 \text{ ohms}$$

Con este valor de resistencia es para que el led no le circule más de 15 mA. Posteriormente cuando grafiqué los puntos de operación del transistor vemos que con este valor de resistencia no dejamos que pase más de la corriente especificada anteriormente cuando trabajamos en la región de saturación (interruptor cerrado) al transistor que es lo que deseamos.

CURVA DE OPERACION DEL TRANSISTOR



En esta gráfica mostramos los puntos de operación del transistor en donde tenemos como dato I_{COP} de 15 mA. Esta corriente es la que necesitamos para que el led pueda encender adecuadamente (como expliqué anteriormente). El otro dato es la Beta del transistor que nos la da el fabricante que en este caso es de 200.

A continuación se hacen las operaciones, de las cuales salen los datos de la grafica anterior y del dispositivo de entrada.

DATOS: $Fot = 2.2K$ $Foto = 1K$ $ICsat = 15mA$ $BETA = 200$

TRANSISTOR SATURADO

$$I = V/Req \text{ ----> } 5v/3.2K = 1.56mA$$

$$Vp = I R \text{ ----> } 1.56(2.2K) = 3.43V \quad Vbb = 3.43 - 5 \text{ -->} 1.56V$$

$$IB = ICsat/B \text{ ---->} 15mA/200 = 75 \text{ MA}$$

$$RB = Vbb - Vbe/IB \text{ ---->} 1.56 - .7/75MA = 11.4K$$

$$Vcesat = Vcc - ICsat Rc \text{ ---->} 5 - 15mA(330) = .05V$$

TRANSISTOR EN CORTE

$$IcRc + Vce = Vcc \text{ ----> } Ic = Vcc - Vce/Rc$$

$$Ic = 5 - 3.2/330 \text{ ---->} 5.45mA$$

$$IB = Ic/B \text{ ----> } IB = 5.45mA/200$$

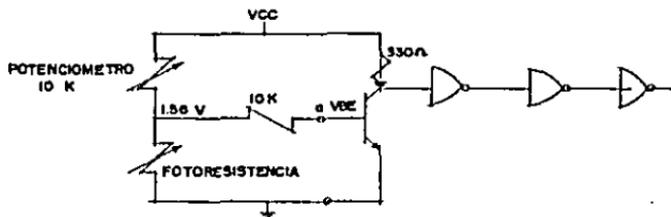
$$IB = 27Ma$$

Se sacan la corriente de saturación, la corriente de base, el voltaje de colector emisor y después la resistencia de base que voy a ocupar para poder manejar la corriente de colector que necesitamos.

Tenemos la ventaja en el transistor de que podemos manejar a través de la resistencia de base la corriente de colector, ésta resistencia de base lo que nos permite hacer es poder manejar la abertura entre el colector y emisor. Podemos no cerrar completamente el transistor para disminuir la corriente del colector ya que si lo tenemos completamente cerrado la corriente del colector es la mayor.

DISPOSITIVOS DE ENTRADA

Este dispositivo está construido con un transistor (2N2222) una fotoresistencia, un potenciómetro (10K) un led e inversores, el circuito es el siguiente:



Este dispositivo tiene la función de dar un nivel alto a la salida de los inversores cuando es obstruido el haz de luz que va a la fotoresistencia y un nivel bajo cuando el haz de luz coincide con la fotoresistencia.

El potenciómetro y la fotoresistencia están como un divisor de voltaje, con una resistencia de 10K que va a la base del transistor, el emisor está conectado a tierra, el colector está conectado a voltaje mediante un led y una resistencia de 330 ohm para proteger al led, esto con el fin de visualizar el pulso, los inversores son para que los pulsos que tenemos a la salida sean mas cuadrados.

La fotoresistencia es un dispositivo que varía la resistencia con la luz. Viendo la figura, tenemos que cuando coincide el haz de luz con la fotoresistencia, la resistencia disminuye por lo

que la mayor parte del voltaje va a tierra , entre la base y tierra tenemos un voltaje pequeño insuficiente para activar al transistor, entre colector y tierra tenemos un nivel alto, después obstruimos el haz de luz que pasa por la fotoresistencia y tenemos que parte del voltaje va a la base del transistor con lo cual activa a éste y el voltaje del colector se va a tierra con lo cual tenemos un nivel bajo en éste y entre la base y tierra tenemos un voltaje suficiente para que active al transistor, esto se hace repetidamente con lo que tenemos un tren de pulsos a la salida de los inversores de la siguiente forma:



El potenciómetro se utiliza para hacer más sensible a la fotoresistencia con el haz de luz. Este dispositivo es de mucha importancia ya que es el sensor del contador y la forma como vamos a estar contando las vueltas.

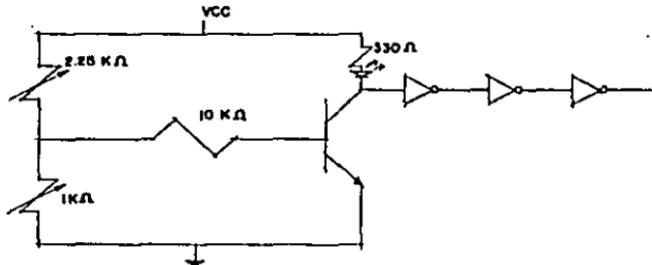
C A P I T U L O 3

ARMADO DEL CIRCUITO

El armado del contador lo realice en 3 etapas que son:

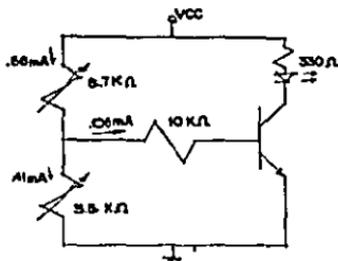
- 1.- DISPOSITIVO DE ENTRADA
- 2.- CONTADORES
- 3.- DECODIFICADORES

1.- DISPOSITIVOS DE ENTRADA. En esta primera etapa empecé con el dispositivo de entrada, el cual es de mucha importancia, ya que es la base para que funcione adecuadamente el contador, y el que nos marca la pauta para el conteo.

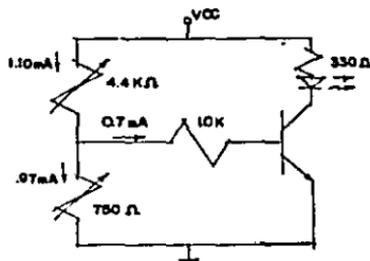


En este dispositivo tenemos la facilidad de regular la sensibilidad en la captación de luz en la fotoresistencia.

Lo que hacemos para hacer más sensible a la fotoresistencia es disminuir la resistencia del potenciómetro con lo cual tenemos más corriente para ser distribuida tanto a la base del transistor como a la fotoresistencia y este último con cualquier obstrucción aumenta la resistencia y provoca que por la fotoresistencia no se vaya toda la corriente, sino que una pequeña parte de la corriente se va al transistor y lo activa.



NO SENSIBLE

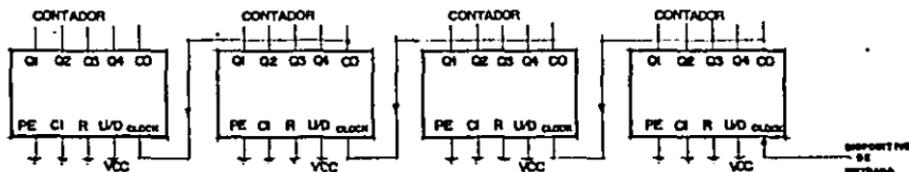


SENSIBLE

Por otro lado, cuando no lo queremos hacer tan sensible, aumentamos la resistencia del potenciómetro para tener menos corriente a ser distribuida por la base del transistor como a la fotoresistencia. En este caso, como tenemos poca corriente a ser distribuida entre la base del transistor y la fotoresistencia, tenemos que oponerle mayor resistencia a la corriente de la fotoresistencia, para que alcance a fluir la corriente por la base del transistor, con lo cual tenemos que aumentar mucho la resistencia del fotoresistor para que por éste no fluya toda la corriente. Esto lo hacemos tapando completamente y muy pegado a la fotoresistencia, por eso decimos que no es tan sensible, ya que una obstrucción a una distancia un poco retirada de la fotoresistencia no lo hará funcionar.

Después de hacer estas pruebas y de ajustar el potenciómetro para que la fotoresistencia tenga la sensibilidad que nosotros ocupamos, pasamos a cuadrar los pulsos, que van a entrar a los contadores y estos lo captan adecuadamente y no tener así ningún problema.

2.- CONTADORES. En la segunda etapa armé lo que corresponde a los contadores, los cuales van a estar conectados en cascada, porque voy a utilizar cuatro dígitos para tener un margen aceptable de conteo.



Se hacen las conexiones y se va probando cada contador para ver que todo lo que estamos armando funciona bien .

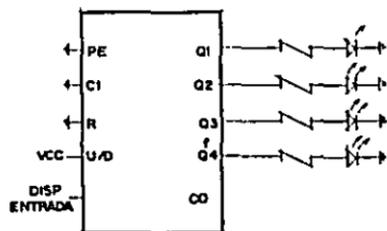


TABLA DE VERDAD

Q1	Q2	Q3	Q4
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1

Para poder probar los contadores, tenemos que conectar cuatro leds a la salida de éstos, para ver el conteo en código BCD, ya que aún no tenemos los displays . También se tiene que hacer las pruebas para resetear y descontar. En ésta etapa colocamos dos switch, uno para poder resetear los contadores,

éste tipo de switch es de un solo polo, con lo cuál siempre esta abierto.

Cambiamos la palanca del switch y tenemos un nivel alto, (conectado a voltaje) lo soltamos y se regresa a su estado anterior.

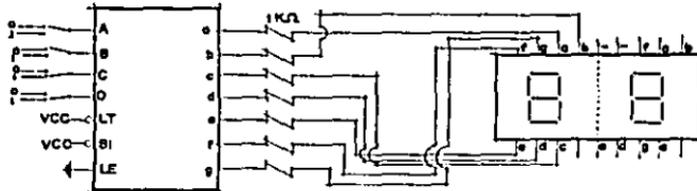
El otro switch es de dos polos, un polo conectado a voltaje y el otro polo conectado a tierra para que cuente y descuenta respectivamente.

Una vez que esten trabajando bien los contadores se unen con el dispositivo de entrada y se prueban juntos.

3.-DECODIFICADORES. Esta etapa es la instalación de los decodificadores y los displays. Utilizamos displays dobles, esto es: dos digitos en un solo display y lo colocamos en medio de dos decodificadores uno para cada dígito.

En seguida hice la conexión entre los decodificadores y los displays, aquí utilice resistencias de 1K para evitar que los displays enciendan mucho y éstos se acaben pronto.

Después hice la prueba de esta fase (como lo hice con las anteriores etapas por separado), la cual consiste en alimentar únicamente los decodificadores y display. En las entradas de los decodificadores (A,B,C,D) poner niveles altos o bajos, es decir hacer combinaciones para ver si en la salida de éstos es correcta y visualizarlos en los displays.



Una vez que terminamos esta prueba, proseguimos con la conexión entre los contadores y decodificadores.

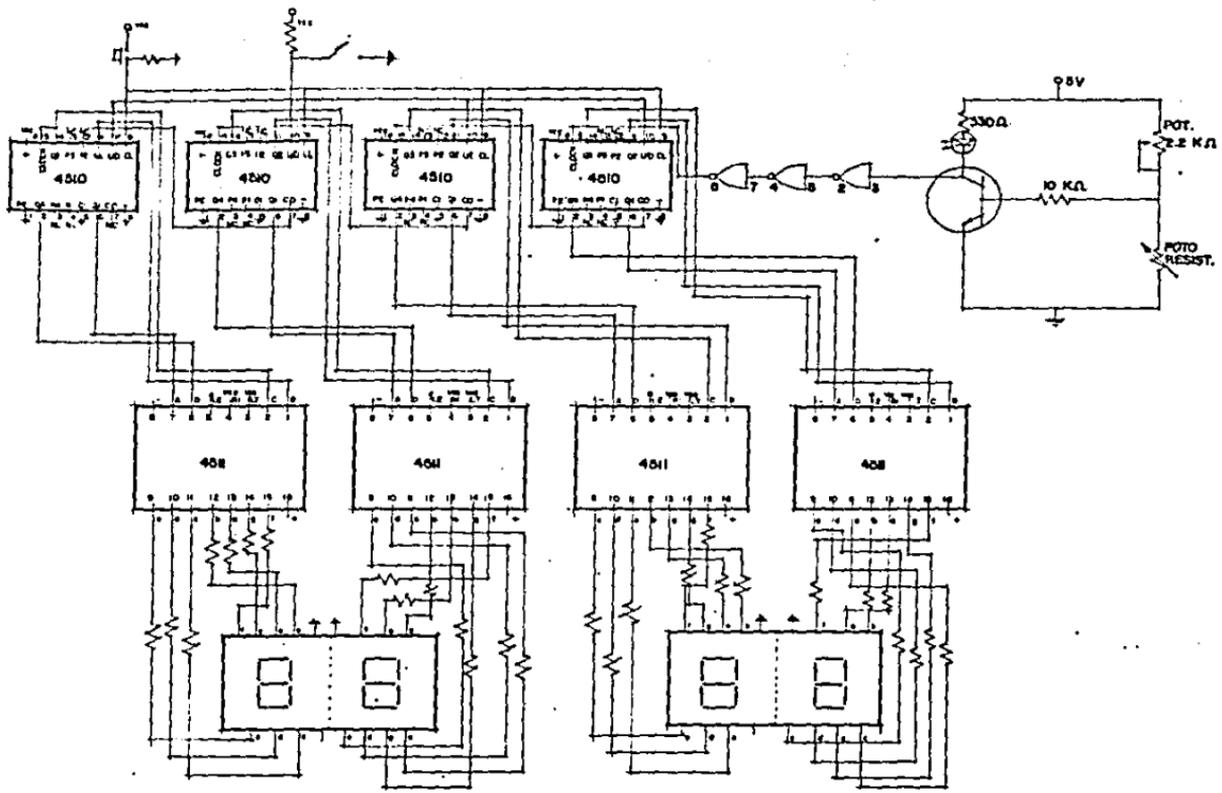
Estas pruebas que hice en cada una de las etapas es muy recomendable ya que estamos seguros de que todos los circuitos están trabajando adecuadamente, ya que si no hicieramos ésto a la hora de probar el contador digital completo y no funciona no sabríamos el motivo y tendríamos que empezar desde el inicio.

Todo esto se hace en la tableta de prueba (protoboard). Una vez que se esté completamente seguro que trabajo bien se pasa al circuito impreso y se volveran a hacer las pruebas, porque podemos tener alguna soldadura mal realizada, alguna pista cortocircuitada etc.

El funcionamiento del contador es el siguiente:

El primer paso a seguir es ajustar la sensibilidad de la fotoresistencia a la luz que se va a proyectar sobre ésta, para que al pasar cualquier artículo entre la fotoresistencia y la luz deberá de incrementarse en uno la cuenta.

Una vez que se tenga ésto, tendremos a la salida del dispositivo de entrada un tren de pulsos que es enviado al 4510 a la entrada del clock, que es la etapa de conteo y donde el primer circuito integrado es el encargado de recibirlos e ir contando; una vez que llegue a 9 la cuenta, el siguiente pulso lo tomará y volverá a empezar de cero, éste cada vez que haya efectuado el conteo de 1 a 9 mandará un pulso al siguiente circuito integrado para decirle que ha hecho un conteo completo (1 a 9), el cuál a su vez cuando llegue a 9, el siguiente pulso



que reciba lo cambiará también a cero y mandará un pulso al otro circuito integrado, y así sucesivamente hasta llegar al cuarto circuito integrado. Además la etapa de conteo tiene otra función que es enviar información a los decodificadores sobre que número se trata cuando éstos estén contando.

Al 4511 van a entrar cuatro señales que son el código del número que se tiene en la etapa de conteo en ese momento, que va ir cambiando conforme se incremente la cuenta, después este decodificador va a mandar siete señales a un dispositivo para que se puedan visualizar los números (display).

Esto se hace con cada uno de los contadores y decodificadores a su respectivo dispositivo de visualización.

A continuación se muestra el diagrama completo del contador digital.

CAPITULO 4

ANALISIS ECONOMICO Y CONCLUSIONES

Las características tecnológicas de cualquier proyecto están asociadas a las características económicas que hacen factible un bien o servicio .

En condiciones del mercado, la demanda (pensando en un número suficiente de usuarios y necesidades) está principalmente condicionada por la oferta, es decir, conforme van apareciendo nuevos dispositivos o servicios, en la medida que éstos estén al alcance monetario de los usuarios y satisfagan sus necesidades; tales bienes y servicios se comprarían.

En nuestro caso, nos encontramos con un proyecto en el campo de la industria, la oferta y la demanda está restringida, el precio de los productos puede variar de acuerdo a las fluctuaciones del peso con respecto al dólar.

Los factores antes mencionados son los que afectan la fijación de un precio de manufactura a un prototipo de este diseño.

Por otro lado, sacar a producción a gran escala el prototipo de este diseño, nos llevaría a considerar la contribución desde el punto de vista socio-económico como lo sería el crear un bien de capital con tecnología nacional. Este es un paso importante para pasar de una etapa de dependencia, imitación y retraso tecnológico, a otra de adecuación y creatividad, exigida como base material de un aparato productivo que debe superar la etapa de importación de tecnología.

Pasar de la etapa de diseño a la de producción nos da un

amplio espectro en cuanto a metodos de producción, con sus respectivos costos.

El analizar el mercado nacional y optimizar la producción de acuerdo a ese mercado va más alla de las metas de este análisis económico.

Buscamos presentar el costo aproximado de la fabricación de un prototipo de este diseño. Este costo total lo podemos dividir en dos partes: Costos Ingenieriles y costos de manufactura.

Dentro de los costos ingenieriles tenemos los siguientes: Investigación, diseño, fabricación, depuración, documentación.

Dentro de los costos de manufactura tenemos los siguientes: Gasto de herramientas, tarjeta de circuito impreso, costo de los circuitos integrados empleados y gastos diversos. Podemos conciderar dentro de esta categoria los gastos de pruebas de funcionamiento.

COSTOS DE FABRICACION

COSTOS INGENIERILES:

Investigación	-----	\$15,000.00
Diseño	-----	\$10,000.00
Fabricación	-----	\$ 5,000.00
Documentación	-----	\$ 5,000.00

COSTOS MANUFACTURA:

Herramienta	-----	\$ 5,000.00
Gastos diversos	-----	\$62,152.00

Los costos de fabricación presentados anteriormente son un estimado cálculo. La idea de presentarla, más que una referencia sobre el costo de producción de nuestro contador, tiene por objetivo mostrar los distintos costos que deben tomarse en cuenta en la fabricación de un diseño, así como el abaratamiento del costo, conforme aumentamos su producción.

Debido a que nuestro trabajo se limitó al diseño, no disponemos de datos precisos de producción, pero sí podemos presentarles el costo de los materiales empleados que a continuación se dan.

32 Resistencias de 1/4 W	-----	\$ 1,056.00
Un potenciómetro de 10K	-----	\$ 586.00
Un led	-----	\$ 248.00
Un transistor 2N2222	-----	\$ 1,500.00
Dos interruptores	-----	\$ 4,826.00
Dos display	-----	\$18,960.00
Una fotoresistencia	-----	\$ 1,800.00
Once bases	-----	\$ 3,350.00
Caja	-----	\$ 3,500.00
C. Impreso	-----	\$ 5,500.00
C. Integrados	-----	\$20,826.00
	-----	-----
Total	-----	\$62,152.00

ESTA TESIS NO DEBE
SALIR DE LA BIBLIOTECA

CONCLUSIONES

En esta tesis encontramos dos objetivos: El objetivo principal es el de resolver el problema que existe en las pequeñas empresas que se dedican a la reconstrucción de motores, transformadores etc. el cual ha sido resuelto con el diseño del contador digital. El otro objetivo es la de fomentar la investigación en México, en donde se pueden diseñar muchos dispositivos con nuestra propia tecnología y no tener dependencia de otros países.

Sacar a producción un diseño como el presente sería el trabajo de un equipo, en el cual se contara con una persona que conozca las condiciones de mercado, el abaratamiento de los costos al elevar la producción y muchas otras variables.

En la elaboración del contador, lo que nos dió un poco mas de problemas fue el dispositivo de entrada, el cual no daba los voltajes adecuados para los niveles lógicos por lo que no contaba bien, además el obtener la documentación técnica de los circuitos integrados CMOS fue entretenida porque manuales de CMOS no son muy manejados como los TTL .

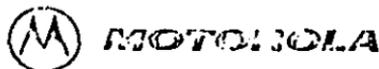
En cuanto a la confiabilidad del contador, es buena ya que el principal problema que se pudiera presentar sería el ruido, pero en su diseño se ha previsto con circuitos CMOS que son los mas inmunes al ruido.

Creo que los objetivos de esta tesis se han cumplido satisfactoriamente.

BIBLIOGRAFIA

- (1) Taub, Herbert. Circuitos digitales y microprocesadores.
Mc.Graw-Hill: U.S.A. 1982
- (2) Morris Mano, M. Logica digital y diseño de computadoras.
Prentice/Hall Internacional: Englewood Cliffs, N.J. 1979
- (3) Morris Mano, M. Arquitectura de computadoras.
Prentice/Hall International: Englewood Cliffs, N.J. 1982
- (4) National Semiconductor Corporation. Data Book Logic
Santa Clara, California. 1981
- (5) Larry y Billy Masten Entendiendo Optoelectronica
Texas Instrument: Dallas Texas. 1981
- (6) Timothy J. Maloney, Electronica Industrial
Prentice/Hall: U.S.A. 1982

A P E N D I C E S A B C



MC14049UB
MC14050B

HEX BUFFERS

The MC14049UB hex inverter/buffer and MC14050B noninverting hex buffer are constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. These complementary MOS devices find primary use where low power dissipation and/or high noise immunity is desired. These devices provide logic level conversion using only one supply voltage, VCC. The input signal high level (V_{ih}) can exceed the VCC supply voltage for logic level conversions. Two TTL/DTL Loads can be driven when the devices are used as CMOS to TTL/DTL converters (VCC = 5.0 V, VOL < 0.4 V, IOL > 3.2 mA). Note that pin 16 is not connected internally on these devices, consequently connections to this terminal will not affect circuit operation.

- High Source and Sink Currents
- High to Low Level Converter
- Quiescent Current = 20 nA (package typical @ 5 Vdc)
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Meets JEDEC UB Specifications - MC14049UB
- Meets JEDEC B Specifications - MC14050B

CMOS SSI

LOW POWER COMPLEMENTARY MOS

HEX BUFFERS

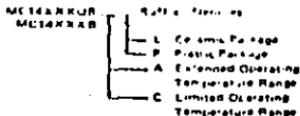
Inverting - MC14049UB
Noninverting - MC14050B



L SUFFIX
LIPAC PLASTIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

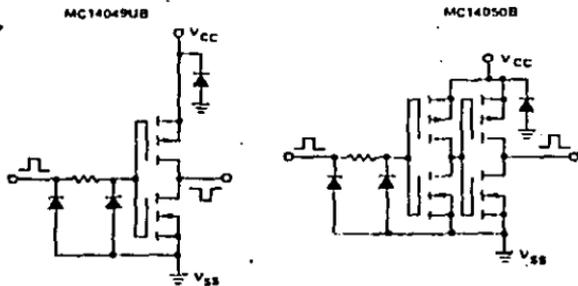
ORDERING INFORMATION



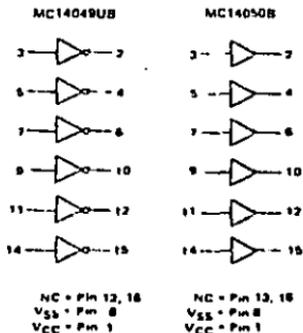
MAXIMUM RATINGS (Voltages referenced to Vcc, Pin 1)

Rating	Symbol	Value	Unit
DC Supply Voltage	V _{DD}	0.5 to +18	Vdc
Input Voltage All inputs	V _{in}	0.5 to +18	Vdc
DC Current In per Input Pin	I _i	10	mAdc
DC Current Drain per Output Pin	I _o	45	mAdc
Operating Temperature Range	AL Device	55 to +125	C
	CL/CP Device	40 to +85	C
Storage Temperature Range	T _{stg}	-65 to +150	C

CIRCUIT SCHEMATIC (1/6 OF CIRCUIT SHOWN)



LOGIC DIAGRAMS



ELECTRICAL CHARACTERISTICS

Symbol	VDD	T _{low} *		25°C			T _{high} *		Unit		
		Min	Max	Min	Typ	Max	Min	Max			
Output Level V _{OL} = V _{OH} = 0	VOL	5.0	-	0.05	-	0	0.05	-	0.05	Vdc	
		10	-	0.05	-	0	0.05	-	0.05		
		15	-	0.05	-	0	0.05	-	0.05		
"1" Level	VOH	5.0	4.95	-	4.95	5.0	-	4.95	-	Vdc	
		10	9.95	-	9.95	10	-	9.95	-		
		15	14.95	-	14.95	15	-	14.95	-		
Input Current (AL Device) ICL = 15 Vdc ICL = 0 Vdc ICL = 13.5 Vdc	"0" Level	VIL	5.0	-	1.0	-	2.25	1.0	-	1.0	Vdc
			10	-	3.0	-	4.50	2.0	-	2.0	
			15	-	2.5	-	6.75	2.5	-	2.5	
	"1" Level	VIH	5.0	4.0	-	4.0	2.75	-	4.0	-	Vdc
			10	8.0	-	8.0	5.50	-	8.0	-	
			15	12.5	-	12.5	8.25	-	12.5	-	
Input Current (CL/CP Device) ICL = 0.5 Vdc ICL = 1.0 Vdc ICL = 1.5 Vdc	"0" Level	VIL	5.0	-	1.5	-	2.25	1.5	-	1.5	Vdc
			10	-	3.0	-	4.50	3.0	-	3.0	
			15	-	4.0	-	6.75	4.0	-	4.0	
	"1" Level	VIH	5.0	3.5	-	3.5	2.75	-	3.5	-	Vdc
			10	7.0	-	7.0	5.50	-	7.0	-	
			15	11	-	11	8.25	-	11	-	
Output Drive Current (AL Device) VOH = 2.5 Vdc VOH = 9.5 Vdc VOH = 13.5 Vdc	Source	IOH	5.0	-1.6	-	-1.25	-2.5	-	-0.9	-	mAdc
			10	-1.6	-	-1.3	-2.5	-	-0.9	-	
			15	-4.7	-	-3.75	-1.0	-	-2.7	-	
	Sink	IOL	5.0	3.75	-	3.2	6.0	-	2.2	-	mAdc
			10	10	-	8.0	16	-	5.6	-	
			15	30	-	24	40	-	17.0	-	
Output Drive Current (CL/CP Device) VOH = 2.5 Vdc VOH = 9.5 Vdc VOH = 13.5 Vdc	Source	IOH	5.0	-1.5	-	-1.25	-2.5	-	-1.0	-	mAdc
			10	-1.5	-	-1.25	-2.5	-	-1.0	-	
			15	-4.5	-	-3.75	-1.0	-	-3.0	-	
	Sink	IOL	5.0	3.6	-	3.2	6.0	-	2.6	-	mAdc
			10	9.6	-	8.0	16	-	6.6	-	
			15	28	-	24	40	-	19	-	
Input Current (AL Device)	Iin	15	-	+0.1	-	+0.00001	+0.1	-	+1.0	μAadc	
Input Current (CL/CP Device)	Iin	15	-	+0.3	-	+0.00001	+0.3	-	+1.0	μAadc	
Input Capacitance (V _{in} = 0)	Cin	-	-	-	-	10	20	-	-	pF	
Quiescent Current (AL Device) (Per Package)	IDD	5.0	-	1.0	-	0.002	1.0	-	30	μAde	
		10	-	2.0	-	0.004	2.0	-	60		
		15	-	4.0	-	0.006	4.0	-	120		
Quiescent Current (CL/CP Device) (Per Package)	IDD	5.0	-	4.0	-	0.037	4.0	-	30	μAde	
		10	-	8.0	-	0.004	8.0	-	60		
		15	-	16	-	0.008	16	-	120		
Total Supply Current** (ID in mA plus Quiescent, Per Package) (ICL 50 pF on all outputs, all buffers switching)	It	5.0	It = (I _B μA/Hz) × IDD							μAde	
		10	It = (I _B μA/Hz) × IDD								
		15	It = (I _B μA/Hz) × IDD								

*T_{low} = 25°C for AL Device, -40°C for CL/CP Device.T_{high} = 125°C for AL Device, +85°C for CL/CP Device.

†To Calculate total supply current at loads other than 50 pF:

$$I_{CL} = I_{CL} + I_{CL} + 6 \times 10^{-3} I_{CL} - 50I_{VDD}$$

where I_B is μA (per package), C_L in pF, V_{DD} in Vdc, and I_V in mA (per package).**The I_B is μA per package for the typical characteristics only at 25°C

*Noise immunity specified for worst-case input combination

B Suffix Noise Margin for both "1" and "0" level =

1.0 Vdc min @ V_{DD} = 5.0 Vdc2.0 Vdc min @ V_{DD} = 10 Vdc2.5 Vdc min @ V_{DD} = 15 Vdc

UB Suffix Noise Margin for both "1" and "0" level =

0.5 Vdc min @ V_{DD} = 5.0 Vdc1.0 Vdc min @ V_{DD} = 10 Vdc1.0 Vdc min @ V_{DD} = 15 Vdc

FIGURE 2 - TYPICAL OUTPUT SOURCE CHARACTERISTICS

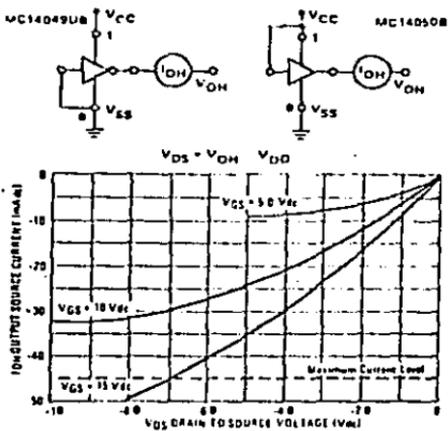


FIGURE 3 - TYPICAL OUTPUT SINK CHARACTERISTICS

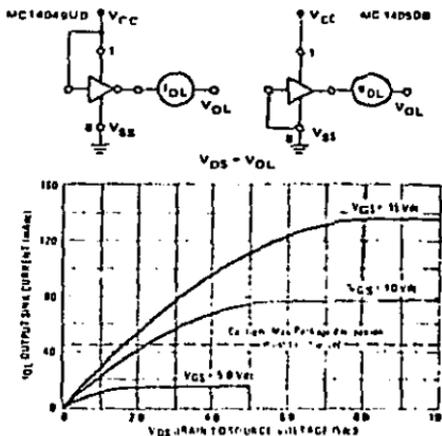


FIGURE 4 - AMBIENT TEMPERATURE POWER DERATING

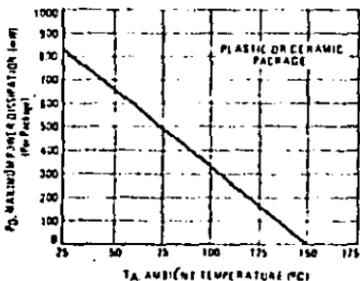
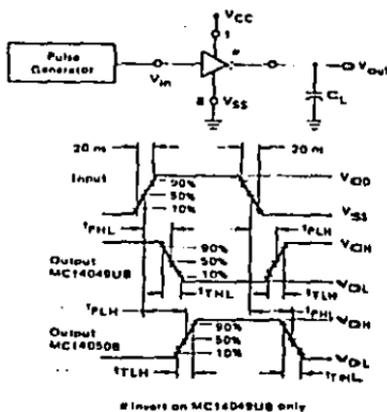


FIGURE 5 - SWITCHING TIME TEST CIRCUIT AND WAVEFORMS



This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} < (V_{in} \text{ or } V_{out}) < V_{DD}$.

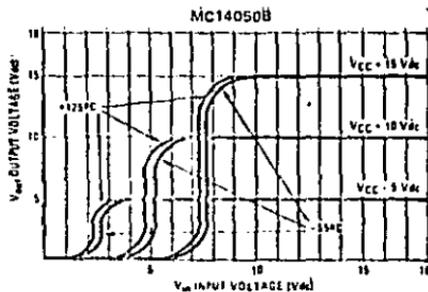
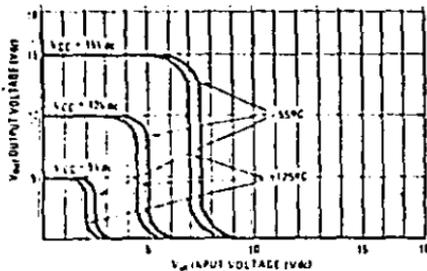
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

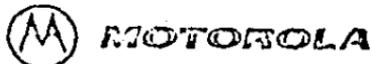
Inputs on MC14049UB only

SWITCHING CHARACTERISTICS¹ (CL = 50 pF, TA = 75°C)

Characteristic	Symbol	V _{DD} Vdc	Min	Typ	Max	Unit
MC14049B						
Output Rise Time	t _{rLH}	5.0 10 15	-	100 50 40	160 100 60	ns
Output Fall Time	t _{rHL}	5.0 10 15	-	40 20 15	60 40 30	ns
Propagation Delay Time	t _{pLH}	5.0 10 15	-	80 40 30	120 65 55	ns
Propagation Delay Time	t _{pHL}	5.0 10 15	-	30 15 10	60 35 20	ns
MC14050B						
Output Rise Time	t _{rLH}	5.0 10 15	-	100 50 40	160 100 60	ns
Output Fall Time	t _{rHL}	5.0 10 15	-	40 20 15	60 40 30	ns
Propagation Delay Time	t _{pLH}	5.0 10 15	-	80 40 30	140 80 60	ns
Propagation Delay Time	t _{pHL}	5.0 10 15	-	40 20 15	80 40 30	ns

¹The formula given is for the typical characteristics only.

 FIGURE 1 - TYPICAL VOLTAGE TRANSFER CHARACTERISTICS VERSUS TEMPERATURE
 MC14049B




MC14510B

BCD UP/DOWN COUNTER

The MC14510B BCD up/down counter is constructed with MOS P channel and N channel enhancement mode devices in a single monolithic structure. The counter consists of type D flip flop stages with a gating structure to provide type T flip flop capability. The counter can be cleared by applying a high level on the Reset line. This complementary MOS counter finds primary use in up/down and difference counting and frequency synthesizer applications where low power dissipation and/or high noise immunity is desired. It is also useful in A/D and D/A conversion and for magnitude and sign generation.

- Quiescent Current = 5.0 nA/package typical @ 5.0 Vdc
- Noise Immunity = 45% of VDD typical
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Low Input Capacitance = 5.0 pF typical
- Internally Synchronous for High Speed
- Logic Edge Clocked Design - Count Occurs on Positive Going Edge of Clock
- 5.0 MHz Counting Rate
- Asynchronous Preset Enable Operation
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range.

CMOS MSI

(LOW POWER COMPLEMENTARY MOS)

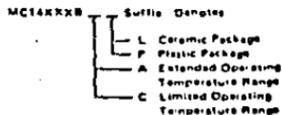
BCD UP/DOWN COUNTER



L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

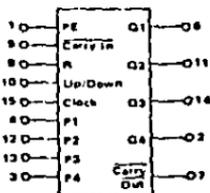
ORDERING INFORMATION



MAXIMUM RATINGS (Voltages referenced to VSS)

Rating	Symbol	Value	Unit
DC Supply Voltage	VDD	+7.5 to +18	Vdc
Input Voltage, All Inputs	Vin	-0.5 to VDD + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range - AL Device	TA	-55 to +125	°C
CLICP Device		-40 to +85	
Storage Temperature Range	Tstg	-65 to +150	°C

BLOCK DIAGRAM



VDD = Pin 16
VSS = Pin 8

TRUTH TABLE

CARRY IN	UP/DOWN	PRESET ENABLE	RESET	ACTION
1	X	0	0	No Count
0	1	0	0	Count Up
0	0	0	0	Count Down
X	X	1	0	Preset
X	X	X	1	Reset

X = Don't Care

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V _{DD} V _{dc}		T _{low} ^a		25°C		T _{high} ^b		Unit
		Min	Max	Min	Typ	Max	Min	Max		
Output Voltage V _{in} = V _{DD} or 0	"0" Level V _{OL}	50	-	0.05	-	0	0.05	-	0.05	V _{dc}
		10	-	0.05	-	0	0.05	-	0.05	
		15	-	0.05	-	0	0.05	-	0.05	
V _{in} = 0 or V _{DD}	"1" Level V _{OH}	50	4.95	-	4.95	5.0	-	4.95	-	V _{dc}
		10	9.95	-	9.95	10	-	9.95	-	
		15	14.95	-	14.95	15	-	14.95	-	
Input Voltage ^c	"0" Level V _{IL}	50	-	1.5	-	2.25	1.5	-	1.5	V _{dc}
		10	-	3.0	-	4.50	3.0	-	3.0	
		15	-	4.0	-	6.75	4.0	-	4.0	
	"1" Level V _{IH}	50	3.5	-	3.5	2.25	-	3.5	-	V _{dc}
		10	7.0	-	7.0	5.50	-	7.0	-	
		15	11.0	-	11.0	8.25	-	11.0	-	
Output Drive Current (AL Device)	Source I _{OH}	50	-1.7	-	-1.0	-1.7	-	-0.7	-	mA _{dc}
		10	-0.25	-	-0.7	-0.35	-	-0.14	-	
		15	-0.67	-	-0.5	-0.9	-	-0.35	-	
	Sink I _{OL}	50	0.64	-	0.51	0.88	-	0.36	-	mA _{dc}
		10	1.6	-	1.3	2.25	-	0.9	-	
		15	4.2	-	3.4	8.8	-	2.4	-	
Output Drive Current (CL/CP Device)	Source I _{OH}	50	-1.0	-	-0.8	-1.7	-	-0.6	-	mA _{dc}
		10	-0.2	-	-0.18	-0.38	-	-0.12	-	
		15	-0.5	-	-0.4	-0.9	-	-0.3	-	
	Sink I _{OL}	50	0.57	-	0.44	0.88	-	0.36	-	mA _{dc}
		10	1.3	-	1.1	2.25	-	0.9	-	
		15	3.6	-	3.0	8.8	-	2.4	-	
Input Current (AL Device)	I _{in}	15	-	10.1	-	10.00001	±0.1	-	110	μA _{dc}
Input Current (CL/CP Device)	I _{in}	15	-	10.3	-	10.00001	±0.3	-	110	μA _{dc}
Input Capacitance (V _{in} = 0)	C _{in}	-	-	-	-	5.0	7.5	-	-	pF
Quiescent Current (AL Device) (Per Package)	I _{DD}	50	-	5.0	-	0.005	5.0	-	15.0	μA _{dc}
		10	-	10	-	0.010	10	-	300	
		15	-	20	-	0.015	20	-	1100	
Quiescent Current (CL/CP Device) (Per Package)	I _{DD}	50	-	70	-	0.005	20	-	150	μA _{dc}
		10	-	40	-	0.010	40	-	300	
		15	-	80	-	0.015	80	-	600	
Total Supply Current ^d (Dynamic plus Quiescent, Per Package)	I _T	50	I _T = (0.58 μA/Hz) f + I _{DD}							
		10	I _T = (1.2 μA/Hz) f + I _{DD}							
		15	I _T = (1.7 μA/Hz) f + I _{DD}							

^aT_{low} = -55°C for AL Devices, -40°C for CL/CP Device.

^bT_{high} = 125°C for AL Device, 85°C for CL/CP Device.

^cNoise immunity specified for worst case input combination.

Noise Margin for both "1" and "0" level = 1.0 V_{dc} min @ V_{DD} = 5.0 V_{dc}

2.0 V_{dc} min @ V_{DD} = 10 V_{dc}

2.5 V_{dc} min @ V_{DD} = 15 V_{dc}

^dTo calculate total supply current at loads other than 50 pF.

$$I_T (CL) = I_T (50 \text{ pF}) + f \times 10^{-3} (CL - 50) \text{ VDD}$$

where I_T is in μA per package, CL in pF, V_{DD} in V_{dc}, and f in kHz is input frequency.

^eThe formulae given are for the typical characteristics only at 25°C.

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range V_{SS} ≤ V_{in} or V_{out} ≤ V_{DD}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

SWITCHING CHARACTERISTICS $t_{CL} = 50 \text{ pF}$, $T_A = 25^\circ\text{C}$

Characteristic	Symbol	V_{DD}	All Types			Unit
			Min	Typ	Max	
Output Rise Time $t_{TLH} = (2.0 \text{ ns/pF}) C_L + 30 \text{ ns}$ $t_{TLH} = (1.5 \text{ ns/pF}) C_L + 15 \text{ ns}$ $t_{TLH} = (1.1 \text{ ns/pF}) C_L + 10 \text{ ns}$	t_{TLH}	5.0 10 15	— — —	180 90 65	260 180 130	ns
Output Fall Time $t_{FHL} = (1.5 \text{ ns/pF}) C_L + 25 \text{ ns}$ $t_{FHL} = (1.0 \text{ ns/pF}) C_L + 12.5 \text{ ns}$ $t_{FHL} = (0.55 \text{ ns/pF}) C_L + 9.5 \text{ ns}$	t_{FHL}	5.0 10 15	— — —	100 50 40	200 100 80	ns
Propagation Delay Time Clock to Q $t_{PLH}, t_{PHL} = (2.7 \text{ ns/pF}) C_L + 230 \text{ ns}$ $t_{PLH}, t_{PHL} = (2.0 \text{ ns/pF}) C_L + 97 \text{ ns}$ $t_{PLH}, t_{PHL} = (1.5 \text{ ns/pF}) C_L + 75 \text{ ns}$ Clock to Carry Out $t_{PLH}, t_{PHL} = (1.7 \text{ ns/pF}) C_L + 230 \text{ ns}$ $t_{PLH}, t_{PHL} = (1.0 \text{ ns/pF}) C_L + 97 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.5 \text{ ns/pF}) C_L + 75 \text{ ns}$ Carry In to Carry Out $t_{PLC}, t_{PHL} = (1.7 \text{ ns/pF}) C_L + 95 \text{ ns}$ $t_{PLC}, t_{PHL} = (1.0 \text{ ns/pF}) C_L + 47 \text{ ns}$ $t_{PLC}, t_{PHL} = (0.5 \text{ ns/pF}) C_L + 35 \text{ ns}$ Preset or Reset to Q $t_{PLH}, t_{PHL} = (1.7 \text{ ns/pF}) C_L + 230 \text{ ns}$ $t_{PLH}, t_{PHL} = (1.0 \text{ ns/pF}) C_L + 97 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.5 \text{ ns/pF}) C_L + 75 \text{ ns}$ Preset or Reset of Carry Out $t_{PLH}, t_{PHL} = (1.7 \text{ ns/pF}) C_L + 465 \text{ ns}$ $t_{PLH}, t_{PHL} = (1.0 \text{ ns/pF}) C_L + 192 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.5 \text{ ns/pF}) C_L + 125 \text{ ns}$	t_{PLH}, t_{PHL}	5.0 10 15	— — —	315 130 100	630 260 200	ns
Clock Pulse Width	t_{WH}	5.0 10 15	350 170 140	200 100 75	— — —	ns
Clock Pulse Frequency	f_{cl}	5.0 10 15	— — —	3.0 6.0 8.0	1.8 3.0 4.0	MHz
Preset or Reset Removal Time**	t_{rem}	5.0 10 15	80 320 180	375 115 90	— — —	ns
Clock Rise and Fall Time	t_{rHL}, t_{fHL}	5.0 10 15	— — —	— — —	18 18 18	ps
Carry In Setup Time	t_{su}	5.0 10 15	200 120 100	130 60 50	— — —	ns
Up/Down Setup Time	t_{su}	5.0 10 15	500 300 178	250 100 75	— — —	ns
Preset Enable Pulse Width	t_{WH}	5.0 10 15	200 100 80	100 50 40	— — —	ns

*The formula given is for the typical characteristics only.

**The Preset or Reset Signal must be low (or to a positive going transition of the clock).

FIGURE 1 - POWER DISSIPATION TEST CIRCUIT AND WAVEFORM

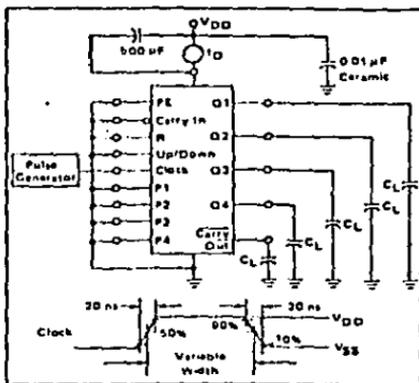
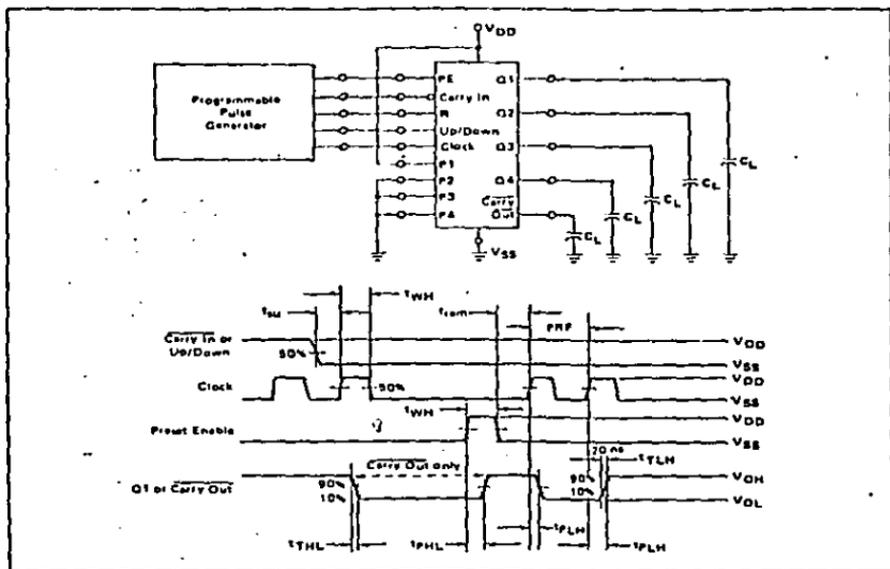
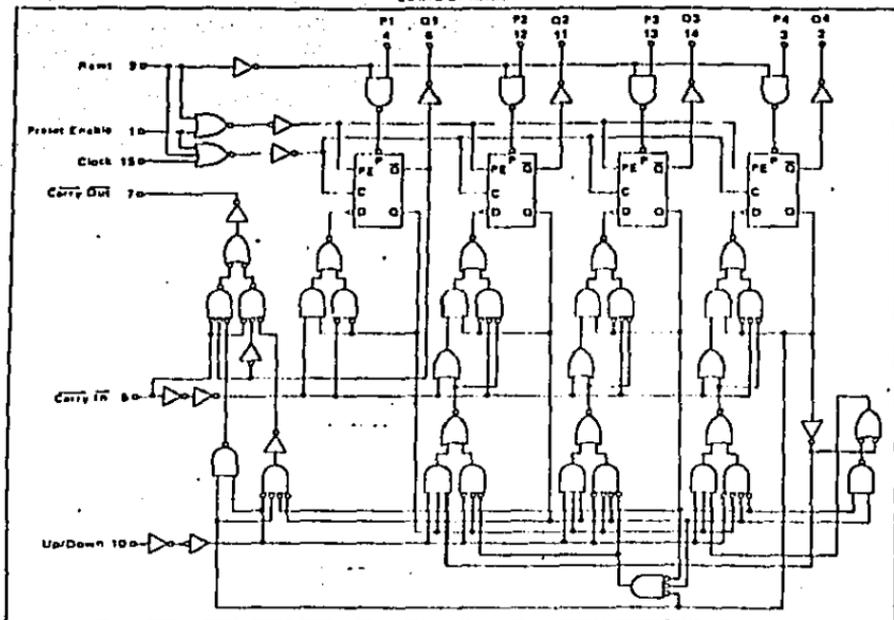


FIGURE 2 - SWITCHING TIME TEST CIRCUIT AND WAVEFORMS



LOGIC DIAGRAM



TIMING DIAGRAM

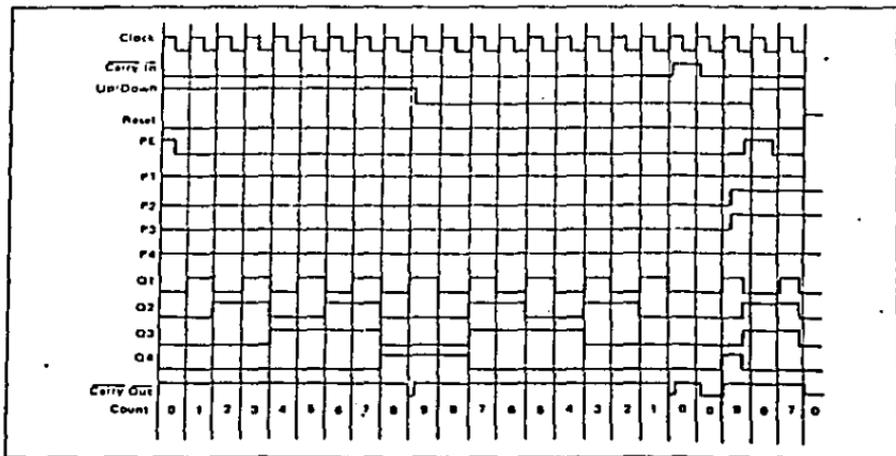


FIGURE 3 - PRESETTABLE CASCADED UP/DOWN COUNTER

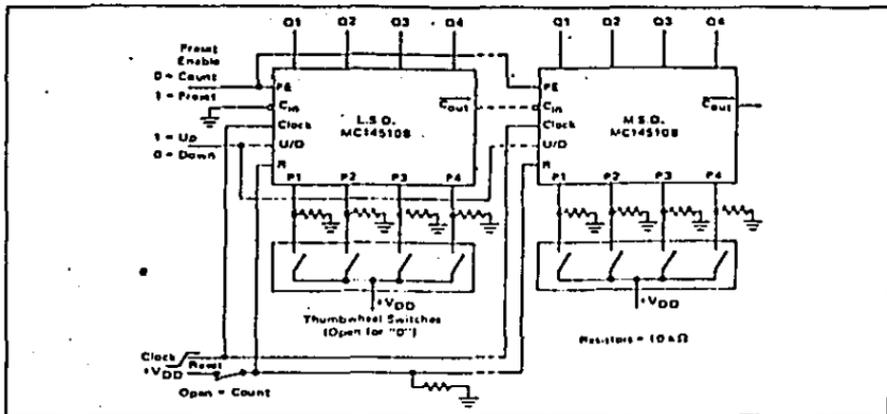
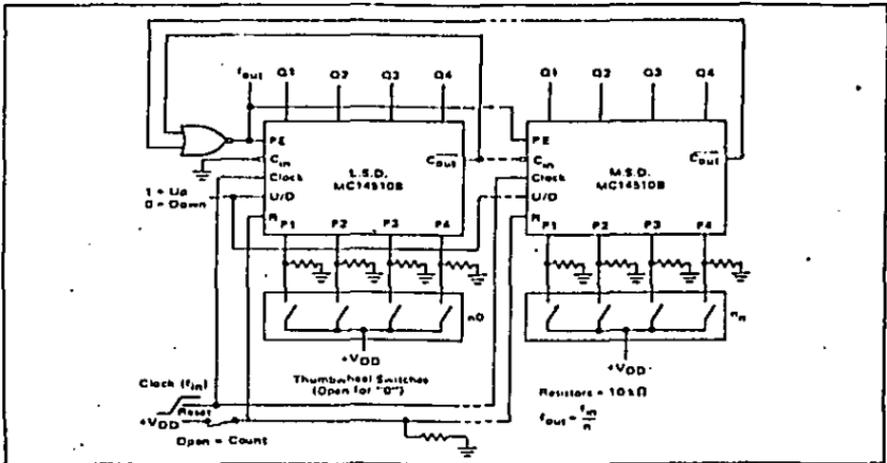


FIGURE 4 - PROGRAMMABLE CASCADED FREQUENCY DIVIDER



Circuit diagrams utilizing Motorola's products are included as a means of illustrating typical semiconductor applications; consequently, complete information sufficient for construction purposes is not necessarily given. The information has been carefully checked and

is believed to be entirely reliable. However, no responsibility is assumed for inaccuracies. Furthermore, such information does not convey to the purchaser of the semiconductor devices described any license under the patent rights of Motorola Inc. or others.



MC14511B

BCD-TO-SEVEN SEGMENT LATCH/DECODER/DRIVER

The MC14511B BCD to seven segment latch/decoder/driver is constructed with complementary MOS (CMOS) enhancement mode devices and \overline{NPN} bipolar output drivers in a single monolithic structure. The circuit provides the functions of a 4 bit storage latch, an B421 BCD to seven segments decoder, and an output drive capability. Lamp test (LT), blanking (BT), and latch enable (LE) inputs are used to test the display, to turn off or pulse modulate the brightness of the display, and to store a BCD code, respectively. It can be used with seven segment light emitting diodes (LED), incandescent, fluorescent, gas discharge, or liquid crystal displays either directly or indirectly.

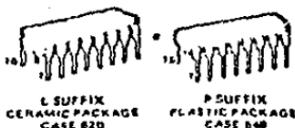
Applications include instrument (e.g., counter, DVM, etc.) display driver, computer/calculator display driver, cockpit display driver, and various clock, watch, and timer uses.

- Quiescent Current = 50 nA/package typical @ 5 Vdc
- Low Logic Circuit Power Dissipation
- High Current Sourcing Outputs (Up to 25 mA)
- Latch Storage of Code
- Blanking Input
- Lamp Test Provision
- Readout Blanking on all (legal) Input Combinations
- Lamp Intensity Modulation Capability
- Time Share (Multiplexing) Facility
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range

CMOS MSI

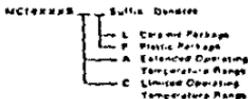
(LOW POWER COMPLEMENTARY MOS)

BCD-TO-SEVEN SEGMENT LATCH/DECODER/DRIVER



L SUFFIX CERAMIC PACKAGE CASE 620
P SUFFIX PLASTIC PACKAGE CASE 648

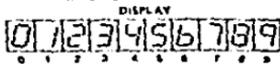
ORDERING INFORMATION



MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to $V_{DD} + 0.5$	Vdc
DC Current Drain per Input Pin	I	10	mAdc
Operating Temperature Range - AL Device	T_A	-55 to +125	$^{\circ}C$
Operating Temperature Range - CLICP Device		-40 to +85	
Storage Temperature Range	T_{stg}	-65 to +150	$^{\circ}C$
Maximum Output Drive Current (Source) per Output	I_{OHmax}	25	mA
Maximum Continuous Output Power (Source) per Output †	P_{OHmax}	50	mW

† $P_{OHmax} = I_{OH}(V_{DD} - V_{OH})$



TRUTH TABLE

INPUTS				OUTPUTS							
LE	BT	LT	BCD	A	B	C	D	E	F	G	DISPLAY
0	0	0	0	0	0	0	0	0	0	0	Blank
0	0	0	1	0	0	0	0	0	0	0	Blank
0	0	0	0	1	0	0	0	0	0	0	Blank
0	0	0	1	0	1	0	0	0	0	0	Blank
0	0	0	0	1	0	1	0	0	0	0	Blank
0	0	0	1	0	0	1	0	0	0	0	Blank
0	0	0	0	1	0	0	1	0	0	0	Blank
0	0	0	1	0	0	0	1	0	0	0	Blank
0	0	0	0	1	0	0	0	1	0	0	Blank
0	0	0	1	0	0	0	0	1	0	0	Blank
0	0	0	0	1	0	0	0	0	1	0	Blank
0	0	0	1	0	0	0	0	0	1	0	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0	0	0	0	1	Blank
0	0	0	1	0	0	0	0	0	0	1	Blank
0	0	0	0	1	0	0					

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V _{DD} Vdc	T _{typ} ^a		25°C			T _{high} ^a		Unit		
			Min	Max	Min	Typ	Max	Min	Max			
Output Voltage V _{in} = V _{DD} or 0	"0" Level	V _{OL}	5.0	--	0.05	--	0	0.05	--	0.05	Vdc	
		10	--	0.05	--	0	0.05	--	0.05			
		15	--	0.05	--	0	0.05	--	0.05			
	"1" Level	V _{OH}	5.0	4.1	--	4.1	4.57	--	4.1	--	Vdc	
		10	9.1	--	9.1	9.58	--	9.1	--			
		15	14.1	--	14.1	14.59	--	14.1	--			
Input Voltage ^a	"0" Level	V _{IL}	5.0	--	1.5	--	2.75	1.5	--	1.5	Vdc	
		10	--	3.0	--	4.50	3.0	--	3.0			
		15	--	4.0	--	6.75	4.0	--	4.0			
	"1" Level	V _{IH}	5.0	3.5	--	3.5	2.75	--	3.5	--	Vdc	
		10	7.0	--	7.0	5.50	--	7.0	--			
		15	11.0	--	11.0	8.25	--	11.0	--			
Output Drive Voltage (AL Device) Source	V _{OH}	5.0	4.10	--	4.10	4.57	--	4.1	--	Vdc		
			I _{OH} = 0 mA dc	--	--	4.24	--	--	--			
			I _{OH} = 5.0 mA dc	--	--	4.12	--	3.5	--			
			I _{OH} = 10 mA dc	3.90	--	3.90	4.12	--	3.5	--		
			I _{OH} = 15 mA dc	--	--	--	3.94	--	--	--		
			I _{OH} = 20 mA dc	3.40	--	3.40	3.75	--	3.0	--		
		10	I _{OH} = 25 mA dc	--	--	--	3.54	--	--	--		
			I _{OH} = 0 mA dc	9.10	--	9.10	9.58	--	9.1	--	Vdc	
			I _{OH} = 5.0 mA dc	--	--	--	9.28	--	--	--		
			I _{OH} = 10 mA dc	9.00	--	9.00	9.17	--	8.6	--		
			I _{OH} = 15 mA dc	--	--	--	9.04	--	--	--		
			I _{OH} = 20 mA dc	8.00	--	8.00	8.00	--	8.2	--		
	15	I _{OH} = 25 mA dc	--	--	--	8.75	--	--	--			
		I _{OH} = 0 mA dc	14.1	--	14.1	14.59	--	14.1	--	Vdc		
		I _{OH} = 5.0 mA dc	--	--	--	14.27	--	--	--			
		I _{OH} = 10 mA dc	14.0	--	14.0	14.18	--	13.6	--			
		I _{OH} = 15 mA dc	--	--	--	14.07	--	--	--			
		I _{OH} = 20 mA dc	13.6	--	13.6	13.95	--	13.2	--			
	Output Drive Voltage (GL/CP Device) Source	V _{OH}	5.0	4.10	--	4.10	4.57	--	4.1	--	Vdc	
				I _{OH} = 0 mA dc	--	--	4.24	--	--	--		
				I _{OH} = 5.0 mA dc	--	--	4.12	--	3.5	--		
				I _{OH} = 10 mA dc	3.60	--	3.60	4.12	--	3.5	--	
				I _{OH} = 15 mA dc	--	--	--	3.94	--	--	--	
				I _{OH} = 20 mA dc	2.80	--	2.80	3.75	--	2.6	--	
10			I _{OH} = 25 mA dc	--	--	--	3.54	--	--	--		
			I _{OH} = 0 mA dc	9.10	--	9.10	9.58	--	9.1	--	Vdc	
			I _{OH} = 5.0 mA dc	--	--	--	9.26	--	--	--		
			I _{OH} = 10 mA dc	8.75	--	8.75	9.17	--	8.45	--		
			I _{OH} = 15 mA dc	--	--	--	9.04	--	--	--		
			I _{OH} = 20 mA dc	8.10	--	8.10	8.00	--	7.8	--		
15		I _{OH} = 25 mA dc	--	--	--	8.75	--	--	--			
		I _{OH} = 0 mA dc	14.1	--	14.1	14.59	--	14.1	--	Vdc		
		I _{OH} = 5.0 mA dc	--	--	--	14.27	--	--	--			
		I _{OH} = 10 mA dc	13.75	--	13.75	14.18	--	13.45	--			
		I _{OH} = 15 mA dc	--	--	--	14.07	--	--	--			
		I _{OH} = 20 mA dc	13.1	--	13.1	13.95	--	12.8	--			
Output Drive Current (AL Device) Sink		I _{OL}	5.0	0.64	--	0.51	0.88	--	0.56	--	mA dc	
		10	1.8	--	1.3	2.25	--	0.9	--			
		15	4.2	--	3.4	8.8	--	7.4	--			
Output Drive Current (GL/CP Device) Sink		I _{OL}	5.0	0.52	--	0.44	0.88	--	0.36	--	mA dc	
		10	1.3	--	1.1	2.25	--	0.9	--			
	15	3.6	--	3.0	8.8	--	7.4	--				

(Continued)

ELECTRICAL CHARACTERISTICS (Continued)

Characteristic	Symbol	V _{DD} Vdc	T _{low} *		25°C			T _{high} *		Unit
			Min	Max	Min	Typ	Max	Min	Max	
Input Current (AL Device)	I _{in}	15	-	-10.1	-	10.0/0001	10.1	-	-	μA/dc
Input Current (CL/CP Device)	I _{in}	15	-	+0.3	-	10.0/0001	10.3	-	±1.0	μA/dc
Input Capacitance I _V in DI	C _{in}	-	-	-	-	5.0	7.5	-	-	pF
Quiescent Current (AL Device) (Pwr Package)	I _{DD}	5.0	-	5.0	-	0.005	5.0	-	150	μA/dc
		10	-	10	-	0.010	10	-	300	
		15	-	20	-	0.015	20	-	600	
Quiescent Current (CL/CP Device) (Pwr Package)	I _{DD}	5.0	-	70	-	0.005	70	-	150	μA/dc
		10	-	40	-	0.010	40	-	300	
		15	-	80	-	0.015	80	-	600	
Total Supply Current**† † Dynamic plus Quiescent, Pwr Package	I _T	5.0				I _T = 11.9 μA/(Hz)† + 100				μA/dc
10				I _T = 13.8 μA/(Hz)† + 100						
15				I _T = 15.7 μA/(Hz)† + 100						

*T_{low} = -55°C for AL Device, -40°C for CL/CP Device.
 †T_{high} = +125°C for AL Device, +85°C for CL/CP Device.
 ‡Static immunity specified for worst case input combination.
 †† See margin for both "1" and "0" level.

10 Vdc min @ V_{DD} = 5.0 Vdc
 20 Vdc min @ V_{DD} = 10 Vdc
 25 Vdc min @ V_{DD} = 15 Vdc

† To calculate total supply current at loads other than 50 pF:
 I_T(CL) = I₁150 pF† + 3.5 × 10⁻³ I_CL - 50 I_VDD†
 where I₁ is in μA (per package), C_L in pF, V_{DD} in Vdc,
 and I_V is input frequency.
 ** The formulas given are for the typical characteristics only at 25°C.

SWITCHING CHARACTERISTICS* I_CL = 50 pF, T_A = 25°C†

Characteristic	Symbol	V _{DD} Vdc	Min	Typ	Max	Unit
Output Rise Time †TLH = (11.5 ns/pF) C _L + 50 ns †TLH = (0.75 ns/pF) C _L + 37.5 ns †TLH = (0.55 ns/pF) C _L + 37.5 ns	†TLH	5.0	-	40	80	ns
		10	-	30	60	
		15	-	26	50	
Output Fall Time †THL = (11.5 ns/pF) C _L + 50 ns †THL = (0.75 ns/pF) C _L + 37.5 ns †THL = (0.55 ns/pF) C _L + 37.5 ns	†THL	5.0	-	125	250	ns
		10	-	75	150	
		15	-	65	130	
Data Propagation Delay Time †PLH = (0.40 ns/pF) C _L + 620 ns †PLH = (0.25 ns/pF) C _L + 237.5 ns †PLH = (0.20 ns/pF) C _L + 165 ns †PHL = (11.3 ns/pF) C _L + 655 ns †PHL = (0.60 ns/pF) C _L + 260 ns †PHL = (0.35 ns/pF) C _L + 182.5 ns	†PLH	5.0	-	640	1280	ns
		10	-	250	500	
		15	-	175	350	
	†PHL	5.0	-	720	1440	ns
		10	-	290	580	
		15	-	200	400	
Blank Propagation Delay Time †PLH = (0.30 ns/pF) C _L + 305 ns †PLH = (0.25 ns/pF) C _L + 117.5 ns †PLH = (0.15 ns/pF) C _L + 97.5 ns †PHL = (0.85 ns/pF) C _L + 442.5 ns †PHL = (0.45 ns/pF) C _L + 177.5 ns †PHL = (0.35 ns/pF) C _L + 142.5 ns	†PLH	5.0	-	600	750	ns
		10	-	200	300	
		15	-	150	220	
	†PHL	5.0	-	485	970	ns
		10	-	200	400	
		15	-	160	320	
Lamp Test Propagation Delay Time †PLH = (0.45 ns/pF) C _L + 290 ns †PLH = (0.25 ns/pF) C _L + 112.5 ns †PLH = (0.20 ns/pF) C _L + 80 ns †PHL = (11.3 ns/pF) C _L + 248 ns †PHL = (0.45 ns/pF) C _L + 102.5 ns †PHL = (0.35 ns/pF) C _L + 77.5 ns	†PLH	5.0	-	313	625	ns
		10	-	125	250	
		15	-	90	180	
	†PHL	5.0	-	313	625	ns
		10	-	125	250	
		15	-	90	180	
Setup Time	t _{su}	5.0	180	90	-	ns
		10	75	38	-	
		15	40	20	-	
Hold Time	t _H	5.0	0	-90	-	ns
		10	0	-38	-	
		15	0	-20	-	
Latch Enable Pulse Width	t _{WL}	5.0	520	260	-	ns
		10	220	110	-	
		15	130	65	-	

*The formulas given are for the typical characteristics only.

FIGURE 1 - DYNAMIC POWER DISSIPATION SIGNAL WAVEFORMS

Input LE low, and Inputs D, \overline{BT} and \overline{LT} high.
 t in respect to a system clock.
 All outputs connected to respective C_L loads.

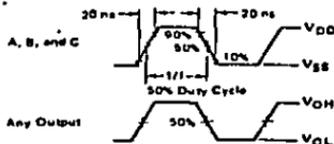
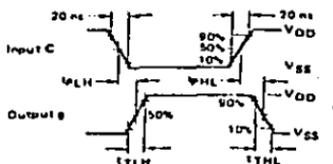
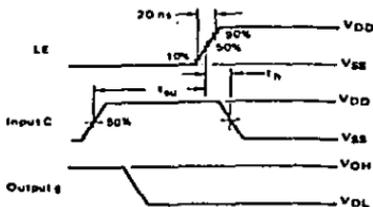


FIGURE 2 - DYNAMIC SIGNAL WAVEFORMS

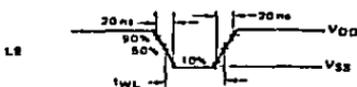
(a) Inputs D and LE low, and Inputs A, B, \overline{BT} and \overline{LT} high.



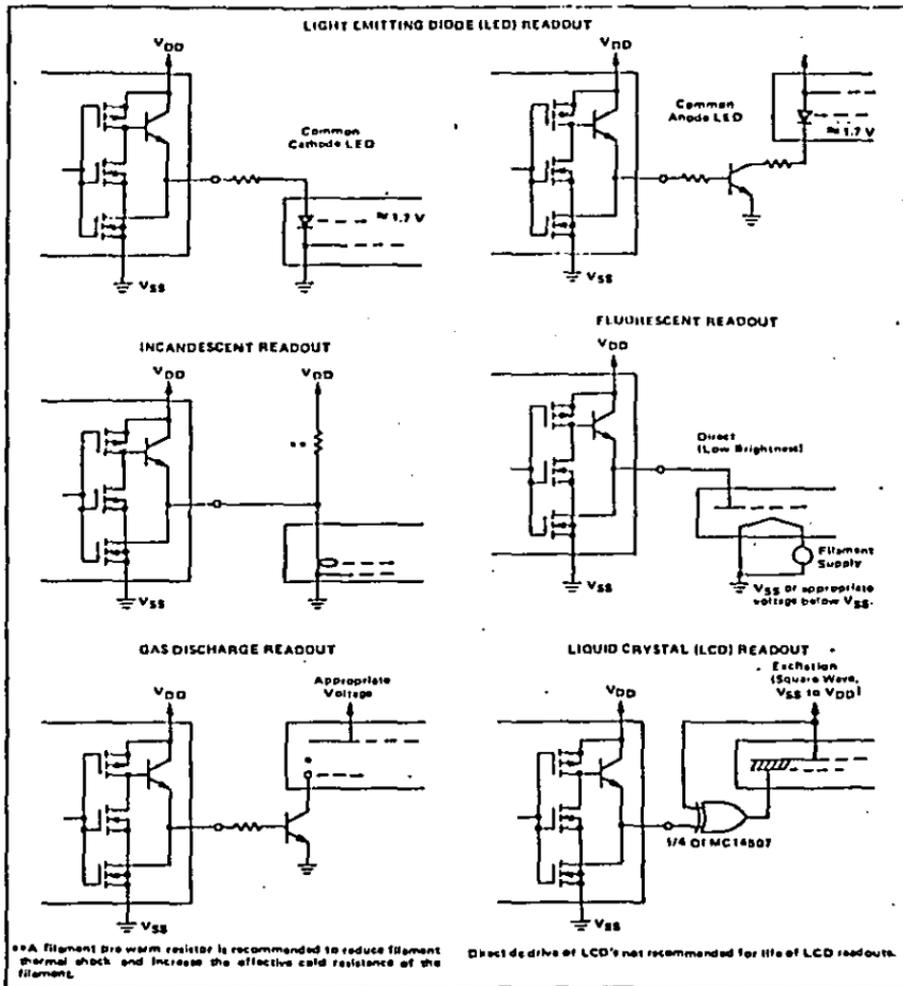
(b) Input D low, Inputs A, B, \overline{BT} and \overline{LT} high.



(c) Data DCBA strobed into latches.



CONNECTIONS TO VARIOUS DISPLAY READOUTS



LOGIC DIAGRAM

