

45
2ej



UNIVERSIDAD LA SALLE

Escuela de Ingeniería
Incorporada a la U.N.A.M.

**"DISEÑO DE UN TABLERO ELECTRONICO INTERCONECTADO
POR MEDIO DE OPTOACOPLADORES Y CONTROLADO POR
UN MICROCOMPUTADOR".**

Tesis Profesional

Que para obtener el Título de
**INGENIERO MECANICO ELECTRICISTA
(ELECTRONICA)**

presenta

FRANCISCO JOSE SORDO CALVA

**TESIS CON
FALLA DE ORIGEN**

México, D. F.

1986



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

**TITULO: DISEÑO DE UN TABLERO ELECTRONICO INTERCONECTADO
POR MEDIO DE OPTOACOPLADORES Y CONTROLADO POR
UN MICROCOMPUTADOR.**

INTRODUCCION

- I. OBJETIVOS DE DISEÑO Y FIJACION DE RESTRICCIONES**
 - 1.1 EVALUACION DE DIVERSAS OPCIONES
 - 1.2 SELECCION DE LA OPCION OPTIMA
- II. ESTUDIO CUALITATIVO DE MICROPROCESADORES DE 8 BITS**
 - 2.1 ANALISIS COMPARATIVO DE DIVERSOS MICROPROCESADORES DE 8 BITS
 - 2.2 LOS MICROPROCESADORES APLICADOS EN DIVERSAS AREAS
 - 2.3 SELECCION DEL MICROPROCESADOR Y SU JUSTIFICACION
- III. DESARROLLO DEL MICROCOMPUTADOR CON EL MICROPROCESADOR SELECCIONADO**
 - 3.1 GENERALIDADES
 - 3.2 UNIDAD CENTRAL DE PROCESO
 - 3.2.1 CIRCUITO DEMULTIPLEXOR DEL CANAL DE DATOS/DIRECCIONES
 - 3.3 MEMORIAS, CAPACIDAD REQUERIDA Y DIRECCIONAMIENTO
 - 3.3.1 MEMORIA EPROM
 - 3.3.2 MEMORIA RAM
 - 3.4 DECODIFICADOR DE MEMORIA Y DISPOSITIVOS AUXILIARES
 - 3.5 DISPOSITIVOS DE ENTRADA/SALIDA
 - 3.5.1 PUERTO EN PARALELO 8255
 - 3.5.2 CONTROLADOR DE "DISPLAY" Y TECLADO 8279
 - 3.6 CONTROL DE TIEMPO POR MEDIO DE INTERRUPCIONES
 - 3.6.1 CIRCUITO DE TIEMPO
- IV. INTERFAZ DE LA ETAPA DE POTENCIA CON EL MICROCOMPUTADOR**
 - 4.1 GENERALIDADES ACERCA DE OPTOACOPLADORES Y TIRISTORES DE POTENCIA
 - 4.1.1 OPTOACOPLADORES
 - 4.1.2 TIRISTORES DE POTENCIA
 - 4.2 DISEÑO DE LA ETAPA DE POTENCIA
 - 4.3 INTERCONEXION DEL MICROCOMPUTADOR CON LA ETAPA DE POTENCIA Y DIAGRAMA DE CONEXION DE LA MISMA
 - 4.3.1 PUERTOS EN PARALELO
 - 4.3.2 DECODIFICADOR - JUSTIFICACION -
 - 4.3.3 ETAPA DE POTENCIA

V. DESARROLLO DEL SISTEMA OPERATIVO

- 5.1 GENERALIDADES
- 5.2 DIAGRAMA DE BLOQUES DEL SISTEMA OPERATIVO
- 5.3 DESARROLLO Y DESCRIPCION DEL SISTEMA OPERATIVO
 - 5.3.1 INICIALIZACION DE DISPOSITIVOS Y BLANQUEO DE "DISPLAY'S"
 - 5.3.2 ENTRADA, CONVERSION Y VERIFICACION DE CARACTERES
 - 5.3.3 SUBROUTINAS DE ERROR
 - 5.3.4 CREACION DE TABLAS
 - 5.3.5 DESPLIEGUE Y BARRIDO DE "DISPLAY'S"
 - 5.3.6 ACTUALIZACION DEL RELOJ

CONCLUSIONES

APENDICES

- A: C.P.U. (8035-A)
- B: DEMULTIPLEXOR DEL CANAL DE DATOS Y DIRECCIONES (8212)
- C: MEMORIA "EPROM" (2716)
- D: MEMORIA "RAM" (2111A-4)
- E: CONTROLADOR DE "DISPLAY" Y TECLADO (8279)
- F: PUERTOS EN PARALELO (8255)
- G: CIRCUITO DE TIEMPO PROGRAMABLE (8253)

PLANO

BIBLIOGRAFIA

INTRODUCCION

INTRODUCCION

A manera de introducción, se mencionará el objetivo del proyecto: es decir, la posible utilización del mismo en la vida diaria. Es un proyecto netamente publicitario ya que permite el despliegue de cierta información la cual puede variar dependiendo de las necesidades del usuario. Como por ejemplos se pueden citar: el despliegue de cierta información en el aeropuerto, el anuncio de alguna película en los cines, para un reloj calendario en la sala del edificio de alguna compañía o para cualquier tipo de despliegue de anuncios en general.

Con el avance que éste puede realizarse como simples circuitos digitales, lo cual es un poco complicado, como el número de los cables o utilizando una tecnología más sofisticada como son los microprocesadores con los cuales se reduce considerablemente el diseño, la fabricación y el mantenimiento.

Puede ser que los microprocesadores aparecieron ya hace varios años actualmente se están imponiendo con gran fuerza y las nuevas generaciones de profesionistas en este ramo, perceptivos de las nuevas innovaciones tecnológicas, han comprendido que el microprocesador está destinado a transformar el mundo de la electrónica. Presente, éste está abriendo nuevos horizontes, facilitando el diseño de sistemas con alto grado de complejidad además de ofrecer una gran versatilidad en cuanto a su diseño o para la actualización de sistemas ya construidos.

Otra razón también una disminución de costos debido a la reducción de la innumerable cantidad de circuitos integrados que se requerirían para suplir el microprocesador y sus dispositivos Auxiliares.

Los microprocesadores han sido y serán utilizados, como se verá en un capítulo posterior, en aplicaciones comerciales tales como microcomputadoras personales, impresoras y graficadores así como para juegos electrónicos, equipos e instrumentación en diversas áreas, aplicaciones militares, procesamiento de datos, etc.

Para desarrollar un sistema como el que se va a tratar se requiere de la utilización de un "Software" y de un "Hardware". En pocas palabras se puede definir "Hardware" como todo aquello "físico" que compone nuestro sistema, mientras que el "Software" es todo que concierne a la programación del mismo. En efecto, muchas veces uno no está familiarizado con el "Software", pero se cuenta en la actualidad con sistemas de soporte o desarrollo para facilitar el desarrollo del sistema en cuestión con lo que el trabajo se vuelve mucho más sencillo.

Los computadores digitales se caracterizan por estar formados con componentes electrónicos que operan en base a señales con 2 niveles: el "1" y el "0" lógico, llamado Sistema Binario. Las microcomputadoras están constituidas básicamente por: una Unidad Central de Procesamiento, un bloque de memoria y un bloque con Dispositivos de E/S.

Los Microprocesadores son subsistemas digitales relativamente complejos y por lo tanto pueden ser fabricados con tecnología de alta escala de integración. En lo que se refiere a la arquitectura interna de los Microprocesadores, ésta es muy semejante, inclusive muchos son compatibles en ciertos aspectos.

La electrónica analógica-digital está constituida por los Optoacopladores. Estos dispositivos utilizan la luz como medio de interconexión entre una señal digital y una señal analógica.

Son dispositivos que acoplan señales digitales con señales analógicas; recibe por un lado señales digitales provenientes de los Puertos y por el otro lado manda señales digitales para el manejo de cargas con C.A. Esto ofrece grandes ventajas tales como inmunidad al ruido, gran aislamiento eléctrico entre la etapa del microcomputador y la etapa de potencia y el evitar colocar relevadores que son de mayores dimensiones.

Estos dispositivos pueden manejar Corriente Alterna (C.A.) en pequeñas magnitudes; es por tanto necesario colocar ciertos dispositivos analógicos (Triacs) en serie con los Optoacopladores para el manejo de mayores corrientes. Estos son dispositivos que pueden manejar desde corrientes relativamente pequeñas hasta corriente muy elevadas (40 Amos. por ejemplo). Son dispositivos semiconductores de silicio utilizados como interruptores para aplicaciones de alta corriente o alto voltaje.

Una vez que se han mencionado ciertos aspectos acerca de los Microprocesadores y de los "Optoacopladores"/"Triacs", se dará un breve resumen introductorio acerca de lo que se pretende realizar con este proyecto.

Se escogió un Microprocesador por la gran versatilidad que posee con ciertos dispositivos auxiliares tales como los "Puertos", el "Timer" y el Controlador de "Display" y Teclado inclusive con "Software" para configurar el sistema que deseamos.

Este sistema pretende el despliegue de cierta información en un tablero. Esta información es en una porción constante y en otros variables; esto es, se quiere que el tablero despliegue por ejemplo: "Aeropuertos y Servicios Auxiliares México, D.F. 6 - de - de 19 -".

Los espacios con -- se reservan para colocar la información que el usuario vaya a proporcionar (el día, mes, año, hora y minutos).

Este montaje pretende ser de unas dimensiones suficientemente grandes como para que se distingan desde el nivel del suelo estando colocado el tablero en la parte superior del edificio de "15".

Lo anterior lleva consigo la necesidad de interconectar una etapa de potencia (focos de C.T.). Para ello se requiere que el Microprocesador se auxilie de ciertos dispositivos (Puertos en Paralelo) para el manejo de la información y que estén acoplados en cierta forma a la sección analógica de potencia. El medio que se utiliza para interconectar a estos Puertos es el "JPTOACCPLEJCR".

El sistema cuenta con un grupo de conectores o "Jumper"s con los cables se interconecta a los Puertos con la etapa de Potencia o con el "Display" Monitor. Este último sirve para observar lo que se está desplegando en el tablero sin necesidad de estar frente a él.

Como el "Fan-Out" o corriente de salida de los Puertos es muy débil se colocan paquetes de transistores para aumentarla y poder disparar los fotocaptores.

El sistema posee un circuito integrado que es el encargado de actualizar el reloj que tendrá nuestro sistema. Esto se efectuará mediante la interrupción no enmascarable de alta prioridad que posee el microprocesador (Trap).

La información variable se introducirá mediante un teclado y un "Display". En el "Display" se verán cuáles son los datos que se están tecleando, además de saber si en algún momento existe un error. Para el control del teclado se ha incluido un Controlador de "Display" y teclado que se encargará del rastreo de las teclas y de mandar la información a los "Display"s.

Cabe aclararse que todos los dispositivos auxiliares son programables por medio de "Software" lo que facilita realmente el trabajo sobre el "Hardware". Además como nota extra se dirá que el sistema solo se podrá interrumpir por medio del "Reset" externo.

CAPITULO I

I. OBJETIVOS DE DISEÑO Y FIJACION DE RESTRICCIONES

Antes de entrar un poco en detalles se verá cuál es el enfoque u objetivo con el cuál se planeó este proyecto. Es un proyecto para efectos meramente publicitarios ya que puede colocarse en lo alto de un edificio y por el cuál puede mandarse información constantemente. Como ejemplo puede citarse aquel instalado en la Torre del Banco Banobras. Además de poder utilizarse en el campo publicitario puede ser utilizado por ejemplo en un aeropuerto para el despliegue del mensaje que se desee. Este puede variarse; esto es, no ser solamente un calendario autoactualizable como es el objetivo principal de este trabajo.

Es un tablero electrónico que desplegará un calendario y que se estará actualizando internamente por medio del sistema implementado en el Microcomputador.

La restricción mas importante es la de tener capacidad de entrada de datos restringida a los datos correspondientes a un calendario. Esto es lo correspondiente a la información que introduciría el usuario. Se aclara esto ya que puede, por medio de una tabla, desplegarse algún otro mensaje aunado a los datos antes mencionados.

Está basado en un Microprocesador que tiene por objeto que él mismo lleve el conteo (reloj) además de desplegar la información deseada. Si esto se decidiera realizar con un dispositivo que no fuera un Microprocesador seguramente se requerirían 2 circuitos por separado. Inclusive con un Microprocesador se puede trabajar toda esa información conjuntamente y el sistema se reduciría grandemente en cuanto a la circuitería.

Otro punto que apoya el uso de los Microprocesadores es el auge que hoy en día impulsa la utilización de éstos. Tienen un precio mucho mas reducido en comparación con los dispositivos que suplen, su tamaño es menor cada día que pasa, su capacidad aumenta y el diseño con ellos se vuelve mucho mas sencillo. Un punto muy importante es que el sistema (en cuanto al despliegue de la información) puede ser modificado con solo regrabar el "EPROM" lo que con otros circuitos tendría que diseñarse todo de nuevo, aunque realmente esto viene siendo una restricción del sistema.

El sistema consta básicamente de 2 partes: la parte del MICROPROCESADOR y la parte de la etapa de potencia. La 1a. parte está constituida por una Unidad Central de Proceso, bloques de Memoria y Dispositivos Auxiliares. La etapa de potencia la constituye el tablero con los focos donde se desplegará la información junto con los dispositivos que la interconectan con el Microcomputador.

Cabe aclarar que no es forzosamente necesario conectar al microcomputador con una etapa de potencia para manejar corriente alterna ya que puede conectarse a un simple tablero con diodos luminosos de 3 volts o simples focos de 12 volts (tipo autom6vil). Con lo anterior se hace patente la versatilidad del sistema y una de las ventajas mas importantes.

Puede a~adirse que la memoria del Microcomputador es expandible facilmente (con sus respectivos selectores de memoria) de tal forma que se pueda almacenar y desplegar mayor cantidad de informaci6n.

Por otra parte no resulta demasiado complicado a~adir un Puerto Serie con lo que el sistema pudiera convertirse de un sistema de despliegue de informaci6n fija a uno en el cual el usuario podria introducir cualquier tipo de informaci6n (todo caracter imprimible) en el momento que lo deseara, pero debe aclararse que debe modificarse el Sistema Operativo.

CAPITULO II

II. ESTUDIO CUALITATIVO DE DIVERSOS MICROPROCESADORES DE 8 "BITS"

2.1 ANALISIS COMPARATIVO DE DIVERSOS MICROPROCESADORES DE 8 "BITS".

Generalidades:

Los Microprocesadores son subsistemas digitales relativamente complejos y por lo tanto, aptos para ser fabricados mediante la tecnología de integrados a gran escala. Existen diversas tecnologías empleadas en la fabricación de Microprocesadores digitales; así mismo se explican los varios refinamientos que tienden a mejorar a estos subsistemas.

Entre las diversas tecnologías se encuentran: "P-MOS, C-MOS, BIPOLAR, TTL", etc. Los Microprocesadores (MP) aparecen en el mercado en 1971 cuando INTEL presentó su 4004 de 4 "bits" y hasta la fecha han aparecido más de 80 nuevos modelos y prácticamente todas las fábricas de semiconductores producen o planean producir Microprocesadores.

Los Microprocesadores que se pueden nombrar de la 1a. generación que utilizaron tecnología "P-MOS" aparecieron en 1971, 1972 y 1973. Después surgen con tecnología "N-MOS" y "C-MOS" (llamados de la 2a. gen.) los cuales consiguieron mayor eficiencia de proceso en el circuito integrado. La ventaja de los circuitos "C-MOS" es su bajo consumo de energía, gran inmunidad al ruido y su buena velocidad.

En lo referente a la arquitectura de estos, la organización interna de los registros y las unidades operativas, todos ellos siguen esquemas comunes, aunque luego haya diferencias notables entre unos y otros. Todos disponen de una unidad operativa, la A.L.U. (Unidad Lógica Aritmética), un conjunto de registros de trabajo y un sistema de decodificación y ejecución de instrucciones.

Existen varios Microprocesadores que aunque en la nomenclatura de las instrucciones es algo distinta, los procesos básicos de cómputo lógico son semejantes en todos los dispositivos. Entre los Microprocesadores más utilizados tenemos el 8080 y 8085 (Intel), el M6900 (Motorola) y el 180 (Zilog).

INTEL 8080/8085

Estos Microprocesadores ambos fabricados por la compañía Intel manejan datos de 8 "bits". El 8080 sale al mercado en 1973, con lo que inicia la 2a. generación y en 1977 se lanza al mercado un nuevo Microprocesador, el "8085". Este es una versión mejorada del 8080, con una estructura y conjunto de instrucciones 100% compatible con el 8080.

Desde el punto de vista de la programación son sumamente semejantes por lo cual se considerarán al 8030 y al 8035 como un simple microprocesador denotado como 8030/8085.

Así como el 6800, el 8030/8085 fue diseñado para procesar palabras de 8 "bits" en la C.P.U. y en la memoria principal. Se requieren 16 "bits" de dirección para acceder la memoria, con lo cual puede acceder 64K "bytes". El 8030/8085 usa algunas líneas más de control que el 6800 debido a lo cual hay una insuficiencia de terminales usados por el 8030/8085 que permitan que todas las líneas del canal del sistema se conecten directamente al 8030/8085. Ambos, el 8030 y el 8085 están multiplexados, esto es, con tiempo compartido.

Una Unidad Central de Proceso requiere mínimo de 3 CI.: el 8080 y dos circuitos de soporte. El 10. provee la señal de reloj y el 20. es un almacenador temporal de estado que permite el control de la información en el canal multiplexado del 8080.

El 8080 y el 8085 tienen una organización interna muy similar. Tienen una Unidad Lógica Aritmética (ALU) de 8 "bits", un acumulador "A" de 8 "bits", un registro de banderas (5 "bits") y 6 registros de propósito general B, C, D, E, H y L. Los 5 "bits" del registro de estado poseen una función específica: CY (acarreo), Z (cero), S (signo), AC (acarreo auxiliar) y P (paridad).

Hay 2 registros direccionables de propósito específico de 16 "bits", el contador de programa (PC) y el apuntador del "Stack" (SP). A diferencia del 6800, el 8030/8035 no posee registros indexados pero con la característica de poder manejar los 6 registros de propósito general como registros dobles o registros pares de 16 "bits": BC, DE y HL. Tiene la capacidad de Acceso Directo a Memoria ("DMA") y de procesamiento de interrupciones vectoriales, con una sola aclaración: el 8085 tiene mayor número de interrupciones que el 8030. El 8085 además posee un puerto de E/S serie que no posee el 8080.

Respecto al 8030, el 8085 posee una gran ventaja ya que solo requiere de un solo voltaje de alimentación. El primero requiere 3 tensiones de alimentación. Tienen cerca de 70 tipos de instrucciones, aproximadamente el mismo número que el 6800.

El 8085 posee 2 instrucciones que difieren del juego de instrucciones del 8080: las instrucciones RIM y SIM para efectos de lectura y escritura de un determinado estado. Fuera de ellas, el resto de las instrucciones son idénticas.

El 8080 requiere de una fuente de reloj externa como el 6800, a diferencia del 8085 que puede generar su propia señal de reloj con una simple conexión de un cristal de cuarzo entre sus terminales X1 y X2. El 8035 provee inclusive una señal de reloj (CLK) necesaria en algunos dispositivos auxiliares en un sistema.

Además el uP 8080/8085 tiene una línea (READY) con la cuál se puede comunicar con dispositivos de bajo tiempo de respuesta con lo cuál se tiene una comunicación asíncrona. Tiene un registro especial de 1 "byte" llamado "RSTART" (reinicio) el cuál se usa en el 8080/8085 en procesos de tipo vectorial, que con las combinaciones posibles entre ciertos "bits" pueden designarse diferentes localidades de memoria.

El 8080/8085 responde a la solicitud de interrupción recibida por la línea INT/INTR solo si está habilitado el "Flip-Flop" llamado INTE. INTE corresponde a la bandera de mascarillado del 6800. INTE pueda ser fijada 0 no mediante instrucciones EI (habilitador de interrupciones) y DI (desnabilitador de instrucciones) del 8080/8085.

El 8085 posee 4 líneas de interrupción, además de la línea INTR, las cuáles provocan una instrucción de reinicio ("Rstart") a una localidad predeterminada. La 4a. línea es la línea del TRAP o línea de interrupción no mascarillada, y tiene la mayor prioridad. Los RST 5.5 (RST 5.5, RST 6.5 y RST 7.5) tiene habilitadores individuales mascarillables por medio de las instrucciones SIM y RIM. Estos Microprocesadores se aplican principalmente en el área de control.

MOTOROLA 6800.

Este Microprocesador fué introducido por la compañía Motorola en 1974. Es un Microprocesador de 8 "bits" comparable en complejidad y eficiencia al 8080 del Intel. Las arquitecturas del 8080 y 6800 difieren en aspectos severamente importantes, por ejemplo, el 6800 tiene mayor número de modos de direccionamiento y el 8080 posee mas registros.

Este uP fué diseñado para procesar palabras de 8 "bits" y direcciones de 16 "bits". Posee un encapsulado de 40 terminales al cuál están conectados el canal de datos y el de direcciones. El 6800 posee un número muy reducido de señales de control.

Posee 6 registros programables: un par de registros de datos de 8 "bits" de propósito general A y B, un registro de estado (CC) de 8 "bits" y 3 registros direccionables de 16 "bits" (un contador de programa PC, un apuntador de stack SP y el registro indexado X). Los registros A y B son comúnmente referidos como "acumuladores" ya que son usados como la fuente o el destino de algunos operandos de ciertas instrucciones.

El registro CC almacena el código de condición que consiste en 6 "bits" de banderas: C (acarreo), V (sobrecarrollo), Z (cero), N (signo), I (máscara de interrupción) y M (acarreo medio). Posee además un juego de 72 instrucciones.

Contiene 9 líneas de control externo como se muestra en la tabla siguiente:

Control de transferencia de datos	R/W VMA	Habilitador de lectura y escritura Dirección de memoria válida
Control de acceso al canal	MALT	Solicitud del "DMA"
	BA	Disponibilidad del canal
	TSC	Control del 3er. estado
Solicitud de interrupción	D3E	Habilitador del canal de datos
	RES: T	Reinicializador
	NMI	Solicitud de interrupción no mascarillable
	IRQ	Solicitud de interrupción no mascarillable

Este Microprocesador posee un circuito de interrupciones mascarillables de 4 niveles. Todos los elementos de entrada y salida generan interrupciones sobre una línea de interrupción, de manera que el dispositivo que interrumpe debe ser detectado por rastreo. Cuando aparece una solicitud de interrupción, el procesador guarda automáticamente los registros y los estados en el "Stack" y el retorno al programa principal los restaura también automáticamente. Su aplicación ha sido mas en el área de control que en el área administrativa.

ZIL0. Z-80

Microprocesador lanzado al mercado en 1976 por la compañía Zilog, con el objetivo de superar al 8080. Es básicamente un Microprocesador de un solo encapsulado que incluye esencialmente las mismas características de "Software" y "Hardware" que el 8080 con ciertas adiciones significativas. Posee también un encapsulado de 40 terminales. Al igual que el 8080, posee 16 líneas de dirección en paralelo y 3 líneas bidireccionales de datos conectadas directamente al I/O. Este μP contiene su propio generador de reloj y se usa una simple señal de reloj en lugar de las 2 del 8080. Requiere de una sola tensión de alimentación de +5V. en lugar de tres que utiliza el 8080.

El Z80 tiene solo una línea mas de solicitud de interrupción no mascarillable similar a la línea NMI del 6800 y la línea de TRAP del 8085, además de poseer casi el doble de los registros e instrucciones de los Microprocesadores 8080 y 8085. Los registros principales de propósito general, el acumulador A, el registro de estado o banderas F y los registros B, C, D, E, H y L son copiados en un juego de registros auxiliares designados por registros primos: A', F', B', C', D', E', H' y L'.

El 130 tiene un par de registros indexados IX e IY con lo que permite manejar los modos de direccionamiento de los Microprocesadores 6800, 8080 y 8085, inmediato, directo, indirecto, indexado y relativo. Posee además un nuevo registro de 8 "bits" I o registro de direccionamiento de la interrupción de página y provee la mitad alta de la dirección de interrupción requerida en algún proceso de interrupción.

Contiene un registro de 8 "bits" R llamado Contador de Refresco de Memoria que no se encuentra en ninguno de los uPs. mencionados anteriormente. Tiene como propósito el generar ciertas señales periódicas para el refresco de los circuitos de memoria dinámica externos.

Su "Software" es compatible con el del 8080 a nivel lenguaje máquina. Tiene cerca de 153 códigos de operación de lenguaje ensamblador; las correspondientes 72 del 8080 y algunas otras. La mayoría de las nuevas instrucciones del 130 usan 2 "bytes" como código de operación a nivel lenguaje máquina. Se utiliza actualmente en aplicaciones administrativas (Microcomputadores Personales).

2.2 LOS MICROPROCESADORES APLICADOS EN DIVERSAS AREAS

El auge en la industria de la electrónica ha hecho que ésta se desarrolle grandemente, pasando de circuitos sencillos (de baja escala de integración) a circuitos con un gran número de dispositivos internos (alta escala de integración), con mejores características: mas pequeños, menor consumo de energía, menor costo y mayor eficiencia. De ahí que surgieran los hoy conocidos como Microprocesadores que, con la ayuda de ciertos dispositivos auxiliares se puede formar todo un sistema llamado Microcomputador.

La mayoría de las aplicaciones con Microprocesadores a las cuáles se harán referencia a continuación fueron realizadas con el único fin de reemplazar los sistemas con lógica aleatoria, es decir sistemas implementados con compuertas lógicas y almacenadores "Flip-Flop"s interconectados de una cierta forma no repetitiva. Estos sistemas pueden ser diseñados para trabajar en paralelo, mientras que el Microprocesador ejecuta su programa secuencialmente.

Para estos sistemas donde los Microprocesadores pueden ser sustitutos de la lógica aleatoria, existen ciertas ventajas en su utilización: El trabajo duro de desarrollo "Hardware" es substituido por un trabajo duro en programación "Software", lo cuál incrementa la capacidad y versatilidad del sistema y las compuertas lógicas son substituidas por unidades de memoria.

En sistemas extremadamente pequeños, el Microprocesador no tiene mucha aplicación. Un sistema microcomputarizado siempre requiere de un mínimo de circuitería (Microprocesador, Memoria y Dispositivos de E/S); Esto es, un mínimo de costos asociados con su utilización independientemente de la simplicidad de su implementación.

Los sistemas que utilizan Microprocesadores deben ser divididos en dos categorías: aquellos cuya función principal sea la computación y aquellos cuya función primordial sea el control. En un sistema de computación el trabajo del Microprocesador es el producto $F(X)$ como resultado de una función F con una información de entrada X . En un sistema de control el propósito del Microprocesador es el de mantener (junto con límites de operación específicos) algunos otros sistemas S , los cuales están sujetos a disturbios D , los cuales tienden a sacar a S fuera de los rangos aceptables de operación.

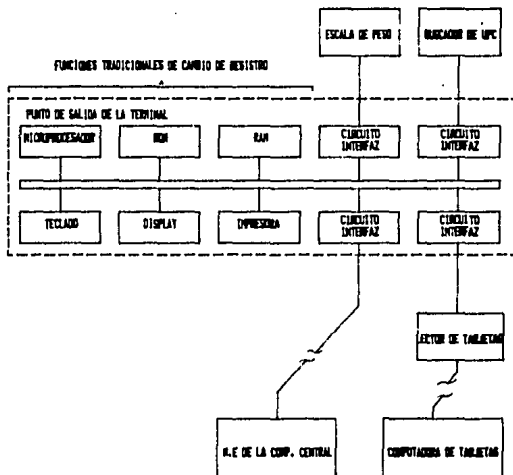
La terminal P.O.S. es un claro ejemplo de un sistema microcomputarizado cuyas funciones principales son la de computar y la de control respectivamente. Se dará una breve descripción de una terminal P.O.S. a continuación.

Terminal registradora P.O.S.- Las cajas registradoras electromecánicas han sido modernizadas de tal modo que ahora las cajas registradoras poseen mayor eficiencia y menor costo. Lo anterior se logró gracias a la implementación de un sistema controlado con un Microprocesador y a lo que se denomina terminal de venta (P.O.S. = "Point-Of-Sale terminal").

La figura siguiente muestra la estructura de una terminal P.O.S. típica. Esta posee mas o menos la misma configuración de algunas computadoras de propósito general.

Como punto central del sistema, posee un Microprocesador (μP) que actúa como controlador del sistema; el resto está definido por los programas definidos por el usuario en el bloque de Memoria "ROM". Está constituido por un canal compartido para la comunicación interna y conectado a este se encuentran diversos dispositivos de E/S, incluyendo un teclado electrónico, una unidad de despliegue digital y una impresora.

Claramente con los dispositivos anteriormente mencionados pueden implementar electrónicamente todas las funciones de las cajas registradoras electromecánicas. Los programas deben ser escritos y colocados en la Memoria "ROM" de la terminal, con lo cual el sistema podrá operar; esto es, podrá buscar y decodificar información del teclado, computar el total de ventas y transferir información del "Display" a la impresora. Estas tareas son relativamente simples y usan solo una pequeña porción de la capacidad del μP .



En una terminal P.O.S. el UP es usado también para realizar una serie de tareas las cuales una registradora tradicional nunca podría realizar. Como se ve en la figura anterior, la terminal puede ser conectada a una gran variedad de dispositivos de E/S. De hecho si existe una cadena de tiendas, estas pueden ser interconectadas entre sí formando una red y de esta forma ser conectadas a una computadora central que supervise todas las operaciones de los subsistemas.

Puede estar conectada con la central de tarjetas de crédito para la verificación de las mismas. Lo anterior se realiza por medio de líneas telefónicas y dicho proceso lleva normalmente una fracción de un segundo. De esta manera el uso del Microprocesador en la terminal P.O.S. permite el ahorro de tiempo en el control de inventario o en algún otro proceso de tipo administrativo.

Los Microprocesadores han sido incorporados dentro de dispositivos domésticos relativamente simples tales como hornos, máquinas lavadoras, máquinas de aire acondicionado, juegos de televisores y alarmas contra ladrones.

Un sistema de aire acondicionado controlado con un μP , por ejemplo, puede ser programado para ajustar automáticamente los complejos cambios entre la temperatura exterior y el interior del cuarto con lo cual se obtiene una reducción substancial de energía.

Los Microprocesadores pueden ser utilizados en la rama automotriz para el control del tiempo de ignición, la inyección de combustible, la emisión de gases contaminantes, para el frenado y control del tablero de jufa.

Los Microprocesadores han sido utilizados extensamente en aplicaciones comerciales e industriales, como computadoras de propósito general con un bajo costo los cuales permiten automatizar sistemas de inventarios, control de boletos, almacenamiento en cintas y operaciones contables semejantes.

En los últimos años han sido introducidos Procesadores de Palabra y Microprocesadores a oficinas donde puedan incrementar la eficiencia en cuanto a la escritura de cartas, reportes y algún otro material de texto.

En la industria, éstos han sido introducidos en máquinas y herramientas, en procesos de control, además de los numerosos "robots" que se encuentran ya en funcionamiento en muchas líneas de ensamble de varias compañías. En estas aplicaciones el objetivo es la productividad y la calidad del producto. Otro ejemplo, aunque algo exótico es el misil, el cual se conduce el mismo a un determinado blanco por medio de la detección e identificación de ciertas características del terreno sobre el que vuela.

Avances muy significativos en la Medicina, particularmente en el área del monitoreo del paciente y en el diseño de órganos artificiales y prótesis se han logrado con la ayuda de los Microprocesadores.

Un Microprocesador con ciertos dispositivos de E/S como Puertos en Paralelo puede ser acoplado con el medio exterior de tal forma que controle un tablero de información con etapa de potencia como lo es el caso de esta Tesis o también a un proceso donde se requiera de manejar mucha información rápidamente con el objetivo de tomar acciones correctivas o preventivas a tiempo evitando así posibles accidentes.

También se tiene acoplado en Cámaras de Televisión que se utilizarán en el Mundial México 86, en las cuales la finalidad es autodiagnosticar los posibles errores que puedan ocurrir en las mismas, los que al ser humano tardaría mucho mas en encontrar, independientemente a los errores, ajusta el diafragma, controla la velocidad de obturación, enfoca las lentes automáticamente, etc. siendo esto de gran ayuda para el operario de la cámara.

Usados son en sistemas de Microcomputadoras Personales (para lenguajes de alto nivel o lenguaje ensamblador), en terminales inteligentes y graficadoras, en impresoras y en sistemas de desarrollo de otros sistemas.

Se utiliza también en los registradores del sistema colectivo de la Cd. de México (METRO) en el cual se utiliza como controlador del flujo de personas a cada estación, verifica las contraseñas (boletos) y lleva un conteo de que tanto número de personas entran, además de notificar cuando el depósito recolector de contraseñas está lleno y no permite ningún otro acceso hasta que este se vacíe.

En la tabla siguiente se enlistan algunas de las muchas aplicaciones de los Microprocesadores en diversas áreas de la vida:

Juegos electrónicos	Calculadoras de bolsillo
Equipo biomédico	Instrumentos de medición
Equipo de navegación	Equipo de telecomunicaciones
Controlador de luces de tráfico	Sistemas de alarma y seguridad
Instrucción computarizada	Para detectores ópticos

2.3 SELECCION DEL MICROPROCESADOR Y SU JUSTIFICACION

La primera cuestión que se nos va a plantear al utilizar un Microprocesador es la elección del mismo. Para centrar el problema se presentaron en la tabla siguiente ciertos factores importantes para la acertada selección del Microprocesador.

CONSIDERACIONES GENERALES PARA LA SELECCION DEL MICROPROCESADOR

PROGRAMACION ("SOFTWARE")

Tamaño de palabra	!Dato e instrucción
Registros complementarios	!Número y flexibilidad
Juego de instrucciones	!Tipo y núm. de instrucciones
Tiempo del ciclo de instrucciones	!Rapidez de ejecución de instrucciones
Capacidad de direccionamiento	!Núm. de memorias y disp. de E/S direccionables directamente
Modos de direccionamiento	!Directo, indirecto, indexado, relativo, etc.
Stack	!Longitud y localización

"HARDWARE"

Tamaño del encapsulado	:Número de terminales del encapsulado
Mínimo de componentes del sistema	:Número de encapsulados mínimos para formar el sistema
Compatibilidad con componentes la misma familia	:Compatibilidad entre las memorias y disco de C/S
Requerimiento de potencia	:Número de fuentes de alimentación y potencia disipada
Compatibilidad lógica	:Niveles lógicos de entrada y salida
Capacidad de carga	:Número de cargas que puede soportar
Estructura de interrupción	:Número y tipo de interrupciones de entrada
"DMA"	:Capacidad de "DMA", requerimiento de "hardware" adicional
Disponibilidad	:Disponibilidad actual y soporte

SOPORTE

Documentación	:Existencia de manuales y de hojas de especificaciones
Sistemas de desarrollo	:Flexibilidad, eficiencia y rango de los sistemas de desarrollo
Software de desarrollo	:Ensambladores, compiladores, editores, depuradores y librerías de subrutinas
Notas de aplicación	:Ejemplos de diseño de sistemas y de dispositivos de interfaz
Prototipo físico	:Prototipo físico con tabletas simples y tabletas múltiples
Diagnóstico del "hardware"	:Analizadores específicos del sistema
Soporte de aplicación	:Soporte de Ingeniería en el campo de aplicación

Entre algunas de las características comunes a todos los Microprocesadores antes mencionados tenemos: Todos manejan aritmética binaria, poseen la capacidad de acceso directo a memoria ("DMA"), son compatibles con la lógica "TTL", fabricados con tecnología "NMOS", y el tamaño de su palabra es de 8 "bits".

Además tienen encapsulados de 40 terminales, sus niveles de "Stack" están en memoria "RAM", poseen líneas de interrupción, pueden direccionar directamente hasta 64K de memoria con sus 16 líneas de dirección y manejan lenguajes de alto nivel así como lenguajes de máquina, entre otras que se expondrán en la tabla siguiente.

1	2	3	4	5	6	7	8	9
INTEL	8080	2	8	78	+5,+12,-12	1000	NO	NO
INTEL	8085	1.3	8	80	+5	1500	SI	2
MOTOROLA	6800	2	0	72	+5	--	NO	NO
ZILO6	Z-80	1	14	150	+5	--	NO	NO

- 1.-Fabricante
- 2.-Número
- 3.-Ciclo de instrucción (useqs.)
- 4.-No. de registros internos
- 5.-No. de instrucciones básicas
- 6.-Tensiones de alimentación
- 7.-Potencia disipada (mws)
- 8.-Reloj interno
- 9.-Líneas de E/S internas

INTEL 8080:

Uno de los inconvenientes de este Microprocesador desde el punto de vista del programador, es la ausencia del direccionamiento indexado; y desde el punto de vista del "Hardware" es molesto tener que alimentar con 3 diferentes tensiones. La velocidad de respuesta es muy lenta (aproximadamente 2 useqs.). Además solo contamos con la interrupción de una sola línea por rastreo a diferencia de las interrupciones de múltiples niveles del 8085.

MOTOROLA 6800:

El 6800 posee un número muy reducido de señales de control. No tiene registros internos, su ciclo de instrucción es aljo lento no tiene generador de reloj interno ni líneas de E/S internas.

ZILO6 Z-80:

Requiere de una sola tensión de alimentación y de una sola señal de reloj "FYL" puesto que la lógica del reloj está integrada dentro del circuito integrado. Respecto a la programación se requieren mas instrucciones en un programa del 8085 que en uno con el Z-80 y su velocidad de respuesta es menor.

INTEL 8035:

Por tener multiplexado el canal de datos requiere de circuitos externos que memoricen la parte baja de la dirección, pero de este modo el número de circuitos es mucho menor comparado con los otros Microprocesadores. Tiene bastantes circuitos compatibles directamente para formar un sistema bastante completo. Por sus diversos niveles de interrupción se utiliza grandemente en control ya que podemos tener diversos niveles de prioridad, además de contar con la interrupción de una sola línea por rastreo.

Cuenta con una señal de interrupción NO MASCARILLABLE por "Software" ("TRAP"); esto es, solo se puede habilitar por "Hardware". Se alimenta con una sola tensión (+5 V.) comparado con las tres alimentaciones del 8080.

El set de instrucciones es compatible con algunas de las instrucciones del I-80. Posee una línea de entrada de datos serie y otra de salida (SID y SOD) por medio de las cuales se puede conectar a un circuito externo que pueda mandar cierta información a una grabadora, por ejemplo.

Otra ventaja es que solo se conecta al cristal de cuarzo y el Microprocesador genera la frecuencia de reloj que requieren los otros dispositivos, (ya que posee la circuitería interna), sin requerir de circuitos externos con compuertas "TTL" para obtener la frecuencia del oscilador.

Una de las justificaciones de mayor importancia es el contar con un sistema de desarrollo "INTELLEC SERIES II", el cual posee dentro de uno de los accesorios un "Emulador" para la prueba del sistema en desarrollo.

Se puede decir que es un sistema de desarrollo con múltiples Microprocesadores. En este caso posee 2 solamente; los cuales comparten canales de comunicación comunes además del sistema de dispositivos de E/S. Uno de los Microprocesadores, el "maestro" maneja ayuda al prototipo con aquellas tareas que este no pueda ejecutar, tales como: manejo de archivos, editor de textos, sistema de dispositivos de E/S, paquetes de utilería del sistema y funciones de depuramiento.

El procesador "esclavo" para el cual se está desarrollando el programa ejecuta un lenguaje ensamblador, en código objeto en la fase de depuración y alguna función específica de E/S del prototipo.

El sistema cuenta además con un programador de "Eprom's" con lo cual, ya habiendo depurado el sistema se puede programar el circuito integrado de Memoria Residente o Sistema Operativo del prototipo.

Gracias al Emulador se puede desarrollar el sistema del prototipo mas facilmente con los paquetes de utileria que posee este sistema de desarrollo.

Su costo es relativamente bajo además de contar con gran cantidad de soporte de circuitos auxiliares que se pueden conseguir en México. También existe la suficiente información además de existir un prototipo que utiliza circuitos auxiliares semejantes al de nuestro sistema.

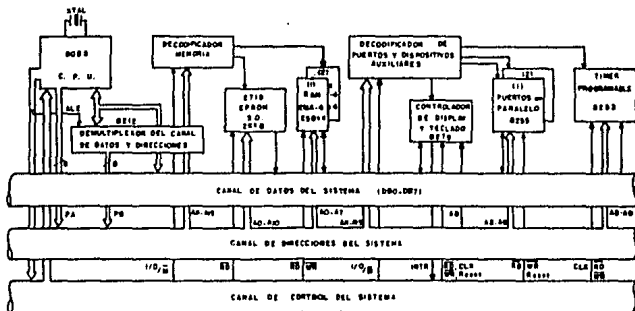
CAPITULO III

III. DESARROLLO DEL MICROCOMPUTADOR CON EL MICROPROCESADOR SELECCIONADO

3.1 GENERALIDADES

Una computadora digital típica está constituida básicamente por 3 componentes principales o subsistemas: la Unidad Central de Proceso (C.P.U.); un bloque de Memoria principal y un bloque o sistema de dispositivos de entrada y salida.

La C.P.U. posee el control absoluto de la computadora y es la responsable de la búsqueda, interpretación y ejecución de las instrucciones; el bloque de memoria principal almacena las instrucciones y datos a ser procesados por la C.P.U. y el bloque de dispositivos de E/S que comunica al Microprocesador con el resto del sistema vía circuitos especiales de interconexión.



ARQUITECTURA DEL MICROCOMPUTADOR

Para poder entender el funcionamiento del Microcomputador diseñado, éste será explicado brevemente por bloques. Como puede verse en el diagrama de bloques siguiente, todos los bloques se encuentran conectados de una forma ó otra a la red de canales del sistema.

En algunos casos el canal es bidireccional, es decir entra y sale información a través del mismo (como lo es el canal de datos); el canal de direcciones sale únicamente de la C.P.U. (unidireccional) y el canal de control entra y sale de la C.P.U. pero por líneas independientes, es decir, es unidireccional en ambos sentidos.

La Unidad Central de Proceso (C.P.U.) (3085-2) genera 3 tipos de señales; Datos, Señales de Control y Señales de Dirección, con las cuáles se forma el Canal del Sistema. A su vez los canales están constituidos por diversas líneas:

CANAL DE DATOS.-Formado por 8 líneas bidireccionales por donde pasan los datos; CANAL DE DIRECCIONES.-Formado por 16 líneas unidireccionales provenientes de la C.P.U.. Determinadas líneas de este Canal llegan a ciertos dispositivos externos tales como Puertos de E/S, Memorias, "Timers" y el Controlador de "Display" y Teclado con las cuáles el dispositivo puede llevar el control interno del mismo; CANAL DE CONTROL.-Por medio de este canal los dispositivos externos llaman una sincronía respecto a la C.P.U.

3.2 UNIDAD CENTRAL DE PROCESO (C.P.U.)

UNIDAD CENTRAL DE PROCESO. El Microprocesador utilizado es el 8085-A de Intel. Utiliza un cristal de cuarzo de 0.144 MHz. entre las entradas X1 y X2. La señal controlada por este cristal se divide internamente entre 2 y sale una señal de 3.6072 MHz por la línea de CLK OUT la cuál se conecta a aquellos dispositivos que requieran la señal de reloj (CLK).

La línea de RESET IN proviene del interruptor externo y con el cuál se inicializa al Contador de Programa (PC) en la dirección 0300H. En el instante en que se oprima éste, la señal se encontrará también en la línea de RESET OUT con la cuál se inicializarán o reinicializarán los Dispositivos Externos. ("Timers", Puertos de E/S y el Controlador de "Display" y Teclado.

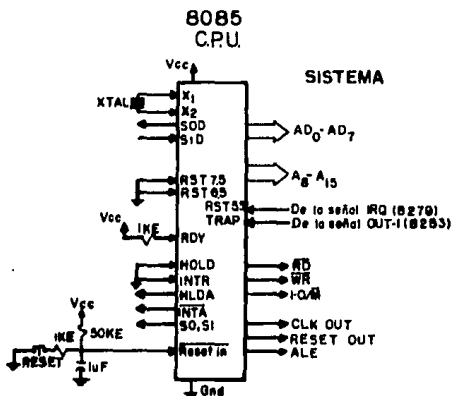
La C.P.U. posee dos líneas de comunicación serie, una de entrada (SID) y la otra de salida (SOD) que son programadas por "Software". En el caso de este sistema no se utilizan y se dejan al aire. Posee diversas entradas de interrupción cada una con diferente prioridad.

La señal de TRAP es la de mayor prioridad, no es mascarillable y se habilita solo por "HARDWARE". Al habilitar ésta interrupción ocurre un brinco a la dirección 24H donde se encuentra una rutina de servicio dentro del Sistema Operativo (O.S.)

La interrupción de sucesiva prioridad es la del RST 7.5 y después la del RST 6.5 que no se utilizan en este sistema por lo que se mandan a tierra por características de la C.P.U.. La interrupción RST 5.5 ocasiona un brinco a la dirección 3CH donde se encuentra una rutina de servicio y la cuál se ejecuta al mandar una señal de interrupción desde el Dispositivo Controlador de "Display" y Teclado (de la señal IRQ del 8279).

La interrupción INTR es una interrupción de una sola línea por rastreo pero no se utiliza ya que se cuenta con interrupciones de múltiples niveles por lo que se manda a tierra. Por su parte la señal INTA es la línea de reconocimiento de la señal INTR y se deja al aire ya que es salida. El canal de control posee señales de lectura (RD) y escritura (WR), señales que utilizan la mayoría de los dispositivos para escribir y leer datos de o en ellos.

La señal de HOLD se utilizaría si se fuera a manejar Acceso Directo a Memoria; se manda a tierra. La señal HLDA es la señal que notifica a la C.P.U. que un dispositivo externo (INTELIGENTE) requiere del uso de los Canales del Sistema (D.M.A.); se deja al 'aire'. La señal READY se utiliza en caso de tener dispositivos de memoria con tiempo de acceso muy lentos por lo que se requieren de ciclos de espera (WAIT), además esta señal avisa a la C.P.U. cuando está lista la memoria para ser accedida.



8 de los 16 "bits" de dirección, A8 a A15 son provistos directamente en las salidas triestables A8 - A15. Las restantes 8 A0 - A7 salen de las líneas triestables bidireccionales AD0 - AD7. Las terminales de dato y dirección están multiplexadas en el tiempo: un tiempo es dirección y otro es dato.

La información de dirección es dada en las terminales de datos y direcciones del 8085-A al inicio de cada referencia a memoria y es almacenada durante el resto de la referencia de memoria para proveer los "bits" A0 a A7.

El almacenador (8212) de 8 "bits" guarda la información de las terminales de datos/direcciones cuando se genera la señal ALE. El 8085 genera esta señal en su tiempo apropiado cuando provee información de dirección en las terminales de datos/direcciones. El multiplexado en el tiempo reduce el número de terminales del encapsulado. En otra parte durante la referencia a memoria, un "BYTE" de dato es transferido de o hacia la memoria por medio de las terminales de datos/direcciones. El 8085 genera además 2 pulsos de control para cuando está escribiendo (WR) o leyendo (RD) un registro externo.

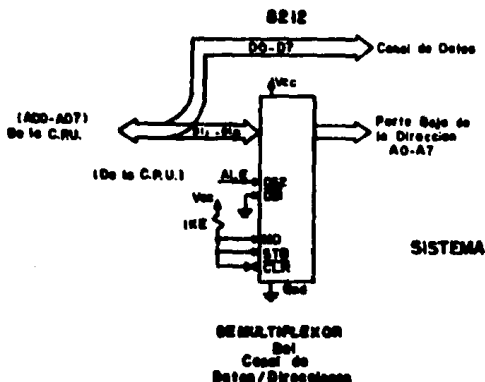
El 8085 puede direccionar directamente hasta 256 puertos de entrada y 256 puertos de salida, usando instrucciones especiales de E/S con una dirección de 8 "bits". Estos 8 "bits" se repiten en las terminales A00 - A07 y A8 - A15 cuando un dispositivo de E/S es direccionado y este dispositivo requiere de decodificar solo una de estas direcciones idénticas. Otra señal de control IO/M generada por el 8085 indica cuando el Microprocesador requiere de leer o escribir memoria o dispositivos de E/S. Las señales IO/M, RD y WR son utilizadas conjuntamente en el diseño del sistema para el control de escritura o lectura de memoria o dispositivos de E/S. La alimentación en todos los dispositivos que se describirán es de +5 Vcc con referencia a Tierra o Vss.

3.2.1 CIRCUITO DEMULTIPLEXOR DEL CANAL DE DATOS/DIRECCIONES

Las señales A00 a A07 provenientes de la C.P.U. se conectan a un circuito (8212) que demultiplexa el canal de datos y direcciones. Durante el primer ciclo de reloj estas líneas son líneas de dirección (parte baja) y el resto del ciclo son líneas de datos. Este dispositivo se utiliza para demultiplexar líneas aunque puede utilizarse como "Buffer".

Pese a 8 líneas de entrada D01 n por las cuáles entran las señales A00 a A07. De este dispositivo saldrán por medio de las líneas D01 a D08 las líneas A0 a A7 del canal de direcciones del sistema. De estas mismas líneas (A00 a A07) se toman las líneas para el canal de datos del sistema. La señal ALE de la C.P.U. se conecta a la entrada D52 del 8212 para que por medio de la cuál se almacene la parte alta de la dirección mientras se demultiplexan las líneas antes mencionadas.

Las señales D51 y D52 se utilizan para seleccionar el dispositivo. D51 se manda a tierra con lo cuál la selección se reduce solo a la señal D52 (proveniente de la señal ALE) la cuál hace que se encuentre en 3er. estado o que funcione como "Latch" de datos.



Peseo además un biestable ("Flip-Flop") para la solicitud de servicio cuando hay que generar y controlar interrupciones del Microprocesador. \overline{SIB} y \overline{MD} están en 1 lógico y conjuntamente con la señal $\overline{DS1}$ y $\overline{DS2}$ en "0" hacen que los datos sean almacenados. Las salidas Q de los biestables siguen a la entrada mientras las entradas C están en 1. En modo de enclavamiento (no utilizado en este sistema), la señal de CLR (estando en 0) borraría la información de los biestables por lo que se mandan a Vcc. Con \overline{MD} en 1 todos los "Buffers" quedan habilitados permanentemente.

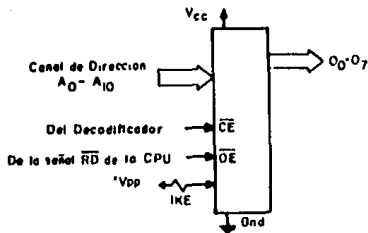
3.3 MEMORIAS. CAPACIDAD REQUERIDA Y DIRECCIONAMIENTO.

El bloque de Memoria está constituido por 2 tipos de memoria: Memoria del Sistema (Memoria EPROM) que contiene todo el Sistema Operativo y Memoria del Usuario en la cuál se almacena la información para luego ser procesada por la C.P.U.

3.3.1 MEMORIA "EPROM"

La memoria 2716 es una Memoria EPROM de 2K bytes (2K x 8 "bits") de datos. Las líneas de entrada A0 a A17 se conectan al canal de direcciones del sistema. Este número de líneas depende de la magnitud de la memoria a direccionar como se verá posteriormente en la sección de decodificación. D0 a D7 son las líneas de salida de datos (unidireccionales). La entrada de voltaje V_{pp} se utiliza, conectada a +25 V para cuando se desea programar; de otro modo se manda a +5V. \overline{CE} es la entrada de habilitación de lectura de datos de la C.P.U. sobre la memoria y se conecta a la señal de salida $\overline{R0}$ de la C.P.U..

2716
MEMORIA
EPROM



* 5V si no se va a programar

La entrada $\overline{CE}/\overline{PGM}$ es el habilitador general del dispositivo y proviene del Decodificador de Memoria. También se usa cuando se va a programar. Para mayor información de los voltajes de programación refiérase al Apéndice C.

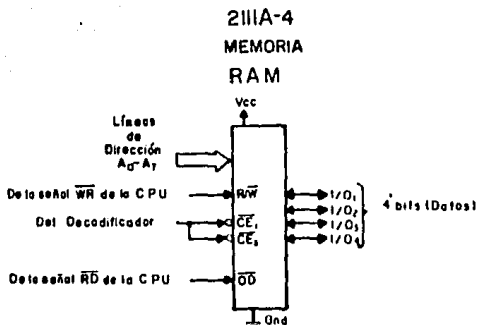
3.3.2 MEMORIA "RAM"

En lo referente a la memoria "RAM", ésta consta de 1/4K "Bytes" (256 x 4 "bits") de datos y debido a que se requieren de 8 "bits" para conectarse al canal de datos se utilizan dos de estos dispositivos con los selectores del dispositivo en paralelo y de este modo se acceden los 8 "bits" simultáneamente. Exceptuando las líneas de datos todas el resto de las líneas van en común.

Cada dispositivo consta de 4 líneas de E/S de datos, dependiendo si son entradas o salidas de la función que se realice (lectura o escritura). Las líneas de entrada A0 a A7 se conectan al canal de direcciones del sistema y el número de éstas depende también de la magnitud de memoria que se vaya a direccionar.

Ambos selectores del dispositivo se habilitan con lógica negada por lo que se colocan conjuntamente a la salida del decodificador de memoria.

La señal R/\overline{W} se utiliza para leer y escribir datos de o sobre la memoria.

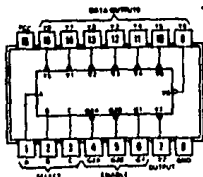


"Se requieren 2 CI para tener 8 "bits".

La señal de lectura está controlada por la señal \overline{OD} (deshabilitador de salida) y que se conecta a la señal de lectura (\overline{RD}) de la C.P.U. La razón de colocar tan poca memoria es la siguiente: El objetivo del proyecto es el de desplegar cierta información fijada de antemano por lo que conociendo la capacidad requerida ésta no excede el 1/4K.

3.4 DECODIFICACION DE MEMORIA Y DISPOSITIVOS AUXILIARES.

Ambos decodificadores son tecnología "TTL 74138". Son decodificadores de 3 entradas a 8 salidas. En lo que concierne a la decodificación de memoria se conectan las líneas A_{11} , A_{12} y A_{13} a las entradas A, B y C. De este modo cada salida del decodificador estará en rangos de 2K. Además posee 3 habilitadores (2 con lógica negada y el tercero con lógica positiva).



A uno de ellos se conecta la salida de una compuerta "AND" a la cual se conectaron las señales \overline{RD} y \overline{WR} . (Lo anterior es para simple sincronía). Las líneas A14 y A15 se conectan a una compuerta "OR" y la salida de ésta junto con la señal IO/\overline{O} se conectan a otra compuerta "OR", con lo que se aprovecha una compuerta mas sin tener que utilizar mas circuitos integrados de compuertas.

IO/\overline{O}	A15	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	2k
0	0	0	1	1	1	1	1	1	1	1	1	1	1	EPROM
0	0	1	0	0	0	0	0	0	0	0	0	0	0	2k
0	0	1	1	1	1	1	1	1	1	1	1	1	1	RAM

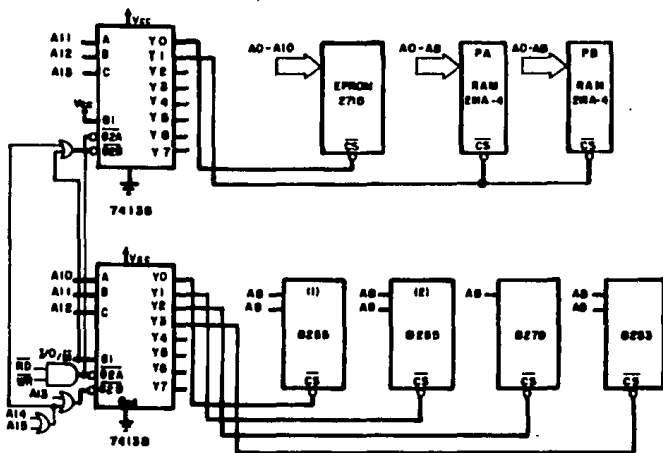
Se observa que A11 y A15 siempre estan en cero para asegurar que se inicie el direccionamiento en la dirección 0000H. Como se ve, puede direccionarse un total de 2k de "RAM" en dicha combinación, aunque solo exista físicamente 1/4k; esto es, habrá información repetida cada 1/4K.

La salida de la 2da. compuerta "OR" se conecta a la 2da. entrada de habilitación negada del decodificador. La entrada con lógica positiva como no se utiliza se manda a un "Pull-Up" (esto es, por medio de una resistencia que se conecta a Vcc); con lo que la tabla de combinaciones se reduce solo a 4 combinaciones.

La 1a. salida del decodificador se conecta a la Memoria "Egrom", la 2da. a la Memoria "RAM" y la 3a. y 4a. se dejan al aire para futuras expansiones.

En lo que concierne a los dispositivos de E/S estos se conectan como sigue: las líneas A3 y A7 se conectan a cada dispositivo para la selección interna del mismo. Al decodificador se conectan las líneas A10, A11 y A12 en las entradas A, B y C. De las 8 posibles combinaciones solo 4 se aprovechan.

La 1a. es la que selecciona al primer Dispositivo de Puertos en Paralelo 8255, la 2da. para el 2do. dispositivo 3255, la 3a. para el Controlador de "Display" y Teclado 8279 y la 4a. para el Dispositivo Controlador de Tiempo 8253.



DECODIFICACION DE MEMORIA Y DISPOSITIVOS DE E. Y S.

De la salida de la compuerta donde se conectaron A14 y A15 se conecta junto con A13 a una compuerta "OR" y la salida de ésta se conecta en la 2a. entrada de habilitación negada. A la primera entrada de habilitación negada se conecta la misma salida de la compuerta de sincronía mencionada anteriormente. Por último a la entrada de habilitación sin negar se le conecta la señal IO/M.

IO/M	A15	A14	A13	A12	A11	A10	A9	A8	DIRECCIONES	DISPOSITIVO
1	0	0	0	0	0	0	X	X	00 01 02 03	8255 (1)
1	0	0	0	0	0	1	X	X	04 05 06 07	8255 (2)
1	0	0	0	0	1	0	X	X	08 09 0A 0B	8279
1	0	0	0	0	1	1	X	X	0C 0D 0E 0F	8253

Donde XX generan las 4 combinaciones posibles

Con la conexión de las compuertas anteriores se asegura también que dichos dispositivos se encuentren en el rango de direcciones 00H - 0FH.

Nota: Hay que recordar que en Dispositivos de E/S solo se requieren de 3 líneas de direccionamiento por lo que se utiliza la parte alta de la dirección aunque podía haberse utilizado la parte baja.

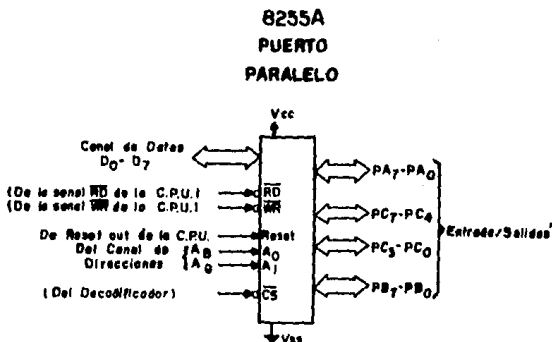
Una de las 4 combinaciones resultantes representa la dirección de comando y las 3 restantes son direcciones de datos (03 comando y 00, 01 y 02 dato). Para el 8279 que solo requiere de 2 líneas se puede tomar cualquier pareja, esto es, 09 comando y 04 dato o 08 comando y 0A dato.

3.5 DISPOSITIVOS DE ENTRADA/SALIDA.

3.5.1 PUERTO EN PARALELO "8255"

El microcomputador consta además con un bloque (Puertos en Paralelo) por medio de los cuales se comunica con el exterior a una etapa de visualización y también lo hace con el usuario por medio del teclado.

Los Puertos en Paralelo se programan (en este proyecto) como Puertos de salida de información. Se utilizan 2 de ellos, cada uno conteniendo 3 Puertos de 8 "bits" (dependiendo del modo en que se utilice), siendo el primero de éstos utilizado con sus tres Puertos como líneas de datos (24 líneas PA0-PA7, PB0-PB7, PC0-PC7) de las 25 que se requieren. La 25a. línea se toma de una línea del puerto A del segundo dispositivo (PA0).



* En este sistema son Salidas

Del Puerto 8 se utilizan 6 líneas para control, 2 de ellas (PB2 y PB3) se conectan a los habilitadores de un decodificador de 4 entradas a 16 salidas (para el manejo de los 16 "Displays"). Las 4 restantes (PB4-PB7) se conectan en las entradas A, B, C y D del mismo para la selección del "Display".

El canal de datos es también común a este dispositivo (D0-D7) al igual que las señales RD y WR. Tiene un habilitador del dispositivo (CS) el cual proviene de la salida correspondiente del Decodificador de Puertos.

Requiere de 2 líneas de dirección A0 y A1 para que con las 4 combinaciones posibles se controlen los bloques internos del dispositivo. Estas pueden ser A8 y A9 y de esta forma evitamos el agregar circuitos de retardo debido al demultiplexado de los canales.

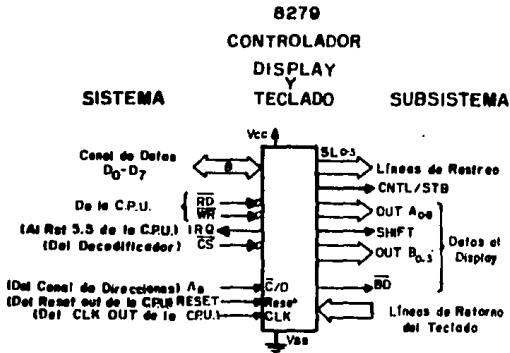
Al encender el sistema una señal de RESET aplicada al 8255A pone en un nivel "flotante" a las 2 terminales asociadas con estos tres puertos de E/S. El dispositivo se mantiene en esta condición hasta que el programa del sistema escriba una palabra en el registro de control la cual defina el modo subsecuente de operación del 8255A. Estos 3 modos son: 1) Modo 0 de entrada y salida básicas; 2) Modo 1 de entrada y salida con señal de "Strobe" y el Modo 2 como canal bidireccional.

3.5.2 CONTROLADOR DE DISPLAY Y TECLADO 8279

En este dispositivo se requiere de una sola línea de dirección que puede ser A0 o A8 por razones anteriormente mencionadas. También el canal de datos y las líneas de RD y WR son comunes. La entrada de reloj proviene directamente de la salida del CLK OUT de la C.P.U.. El habilitador del dispositivo también proviene de su respectiva salida del Decodificador de Puertos.

Posee 2 Puertos independientes de 4 "bits" (A0-A3 y B0-B3) que pueden utilizarse como uno solo de 8. Cada "bit" de ese Puerto (en caso de manejarlo como uno solo) constituirá un solo segmento de un "Display" y con las líneas de rastreo (SL1-SL3) conectadas a un decodificador nos dirá cuál de los "Display" será habilitado.

Estas señales en modo de rastreo se utilizan para verificar si alguna tecla ha sido oprimida al cerrar el circuito por medio de 4 líneas de retorno (SL0-SL3) y se almacenará en un registro del "FIFO".



Cuenta además con una señal (IRQ) de solicitud de interrupción hacia la C.P.U. que se conecta a la interrupción RST 5.5 de la C.P.U. por medio de la cual la C.P.U. sabe que el dispositivo 8279 tiene la información de que una tecla ha sido oprimida. La señal BD habilitada por "Software" blanquea al "Display" seleccionado. Existen también 2 teclas (SHIFT y CNTL/STB) que son para propósito específico y que no se utilizan en este proyecto. (Para mayor información refiérase al apéndice E).

Cuenta con registros de despliegue, manda la información registro por registro y por medio de las líneas de rastreo (SL₀-SL₃) habilita a un "Display" a la vez. Como la frecuencia es muy rápida para el ojo humano parece que todos están encendidos al mismo tiempo pero en realidad solo está encendido uno a la vez. La frecuencia del reloj se toma tal cual de la salida del CLK OUT de la C.P.U. y este dispositivo la divide internamente por medio de programación, esto es, la divide entre un determinado número (2 al .1) con lo cual se da la frecuencia de Jarrid .

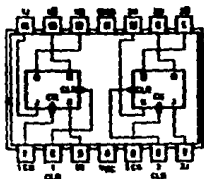
3.6 CONTROL DE CONTEO DE TIEMPO POR MEDIO DEL INTERRUPTIONES.

3.6.1 CIRCUITO DE TIEMPO

Cuenta con un circuito de tiempo (8253) el cual se utiliza como un "divisor" de frecuencia. Se conectan las líneas A₈ y A₉ (o A₀ y A₁) para que con la combinación entre ellas se seleccionen los contadores internos del dispositivo. Como entradas del canal de control solo tienen la entrada de escritura y lectura (RD, WR).

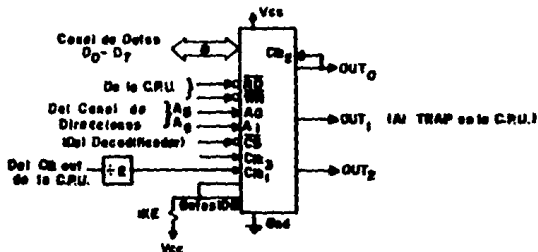
73, 7473, 173
FUNCTION TABLE

INPUTS				OUTPUTS	
CLEAR	CLOCK	J	K	Q	Q̄
L	X	X	X	L	H
H	\downarrow	L	L	Q ₀	Q̄ ₀
H	\downarrow	H	L	H	L
H	\downarrow	L	H	L	H
H	\downarrow	H	H	TOGGLE	



La señal de reloj de 3.072 Mhz que proviene de la C.P.U. debe ser dividida entre 2 por medio de un biestable "FLIP-FLOP" (7473) para que la frecuencia de salida de este sea menor a 2 Mhz., rango máximo admisible de entrada del dispositivo 8253.

8253
TIMER
PROGRAMABLE



Las compuertas ("Gate" 0 y "Gate" 1) de los 2 contadores utilizados se mandan a Vcc para que estén siempre habilitados. La señal de 1.5 Mhz se conecta a la entrada del contador 0 (CLK 0) y la salida OUT 0 se alimenta a la entrada del contador 1 (CLK 1) para reducirlo a 60 Mhz. Esta se conectará a la entrada de la interrupción TRAP de la C.P.U. con la cual se estará actualizando el reloj cada minuto y de ésta forma se actualiza la información que depende de la hora (año, mes, día, hora y minutos).

CAPITULO IV

IV. INTERFAZ DE LA ETAPA DE POTENCIA CON EL MICROCOMPUTADOR

4.1 GENERALIDADES ACERCA DE OPTOACOPLADORES Y TIRISTORES DE POTENCIA.

4.1.1 OPTOACOPLADORES.

El primer punto a tratar en este inciso es el definir lo que es un SISTEMA OPTOACOPLOADO. Las fuentes de luz y los detectores de luz son manejados siempre juntos. De hecho puede decirse que no se puede tener un detector sin fotoemisor y viceversa. De esta forma todo lo que maneja luz y contenga mas de uno de estos dispositivos será llamado SISTEMA OPTOACOPLOADO.

El haz de luz debe viajar desde el fotoemisor hacia el fotodetector a través de un medio, al cual llamamos medio de transmisión, éste puede ser el aire, el vacío o algún otro. Por esto puede decirse que un sistema optoacoplado consiste de un fotoemisor, un medio de transmisión y un fotodetector.

El fotoemisor y el fotodetector están colocados físicamente muy cercanos y el espacio entre ellos está ocupado con un medio que es transparente a la banda de frecuencias para las cuales el fotodetector es sensible. Estos 2 elementos no pueden cambiar su trabajo dentro del dispositivo y debido a la interconexión eléctrica entre ellos, las señales pasan en una sola dirección. El fotoemisor será un diodo emisor de luz y el fotodetector puede ser un fotodiodo, un fototransistor, un fotoDIAC, etc..

Para lograr un buen diseño con optoacopladores es necesario un claro entendimiento de sus parámetros. Debido a que se trabajará solo con circuitos de baja frecuencia, se definirán solo parámetros de C.D. El área, la sensibilidad y la ganancia del detector juegan también un papel muy importante.

Los parámetros de C.D. de entrada definen los parámetros eléctricos del diodo infrarrojo. Estos son: corriente del diodo en directa I_f , voltaje del diodo en directa V_f y el máximo voltaje en inversa V_r .

Los optoacopladores que utilizan switches bilaterales ("DIAC") en sus salidas son designados para aplicaciones que requieran un disparo para "Triac" pero en forma aislada, para switcheo de corriente alterna con baja corriente de entrada y con gran aislamiento.

Para este tipo de dispositivo (el "Diac") los parámetros son: máxima corriente "RMS" en estado activo $I_{t(rms)}$, voltaje máximo repetitivo en la terminal de salida en estado inactivo V_{drm} y voltaje pico en estado activo V_{tm} .

Entre algunas de las características de los optoacopladores tenemos:

- 1) Relación de transferencia de corriente (Ganancia de I).
- 2) Respuesta de frecuencia.
- 3) Grado de aislamiento eléctrico.

1) Relación de transferencia de corriente (CTR).

Es la relación de la corriente de entrada respecto a la corriente de salida de un optoacoplador con una determinada polarización. Este valor depende de la eficiencia del diodo infrarrojo "(IR-ED)" y del espacio entre los elementos de salida y entrada, es decir depende del medio de transmisión.

2) La respuesta de frecuencia.

La respuesta de frecuencia es una medida que indica que tan rápido un sistema responde a un cambio en la señal de entrada.

3) Grado de aislamiento eléctrico.

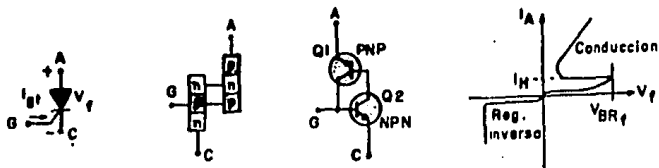
De ésta depende el que no existan lazos de tierra, además de que exista buen aislamiento de ruidos eléctricos generados en el fotoemisor y el fotodetector. Si la señal de entrada es C.D., ésta puede ser interconectada a un circuito lógico usando un optoacoplador sin tener compatibilidad de señales eléctricas; por ejemplo, los dos circuitos no comparten tierras comunes. La ventaja de esto es que cualquier ruido o voltaje de pico en la señal de tierra del circuito no son reflejados directamente en la tierra del circuito.

MCP 3010
ESPECIFICACIONES

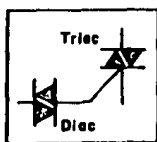
		TÍPICA	MAXIMA	UNIDADES
ENTRADA	I_f		50	mA
	$V_f (I_f=10mA)$	1.2	1.5	V
	V_r		3	V
SALIDA	$I_t(rms)$		100	mA
	V_{drw}		250	V
	$V_{tm} (I_t=100mA)$	2.5	3.0	V
PARAMETROS COMUNES	I_f	8.0	16	mA
	I_h	100		µA

Un optoacoplador puede ser usado también para convertir señales C.A. a niveles lógicos "TTL", aislando el circuito lógico del alto voltaje de C.A.

3) "TRIACS".-UN "TRIAC" es un SRC bidireccional. Se utilizan generalmente en circuitos de C.A. de onda completa.



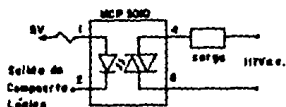
4) "QUADRACS".-UN "QUADRAC" es un ensamblaje "DIAC-TRIAC" en un mismo encapsulado. Esto nos ahorra tener los dos dispositivos por separado.



4.2 DISEÑO DE LA ETAPA DE POTENCIA.

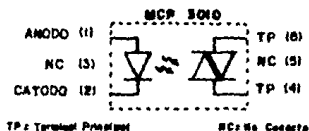
Cuando se interconecta un circuito lógico con el mundo real, se requiere normalmente una compuerta lógica de salida que controle cargas con corriente alterna de 117 Volts. Un circuito con relevador puede ser usado para dichas aplicaciones aunque ciertos circuitos pueden excluir el uso del relevador. Los diseños con optoacopladores proveen aislamiento eléctrico y control sin las desventajas del relevador. Como puede verse en la fig. siguiente, el circuito puede manejar pequeñas cargas de corriente alterna.

Cuando la salida de la compuerta lógica es pequeña, la corriente fluye a través del diodo "IRED" del optoacoplador. Si I_f es igual a I_{ft} , la salida del switch bilateral pasa al estado de conducción. Debido a que el switch conduce en ambos sentidos, la potencia es entregada a la carga durante los semiciclos positivo y negativo del ciclo de corriente alterna. Si es reducido por abajo de I_h , del MCP 3010 el switch se desactiva.



El circuito integrado optoacoplado que se va a utilizar es el circuito "MCP 3010", forrado por un "led" emisor de luz infrarroja (fabricado con Arseniuro de Galio), el cuál está conectado a las terminales de entrada (1 y 2) y por un diodo bidiraccional ("DIAC") usado como fotodetector que está conectado a las terminales de salida (4 y 6). Las terminales 3 y 5 no tienen conexión alguna. La carga máxima que pueden manejar es de 12 watti.

DIAGRAMA DE DISPOSICION DE TERMINALES:



OPTOISOLATED TRIAC DRIVER

Este circuito se utiliza para la interconexión entre circuitos electrónicos y etapas de potencia (en nuestro caso constituida por "TRIACS") para manejo de cargas resistivas e inductivas con voltajes de operación de hasta 250 V de C.A.

Previamente al cálculo de los elementos pasivos, se hará mención de algunas de las características mas importantes de estos dispositivos ("TRIACS").

CAPACIDAD MAXIMA ABSOLUTA

TODO EL CIRCUITO:

Temperatura de almacenamiento	-55°C a 150°C
Temperatura de operación	40°C a 130°C
Temperatura de soldado (10 segs.)	260°C
Dissipación total de potencia a 25°C	330mw
Decremento lineal a 25°C	4.0mw/°C
Aislamiento de voltaje	7500 Vc.a. pico

DIODO DE ENTRAJA

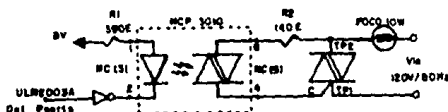
Corriente en directa	67 mA
Voltaje en inversa	3 V
Corriente pico en directa	3 Amp
Disipación de potencia a 25°C	100 mW
Decaimiento lineal a 25°C	1.33 mW/°C

"DIAC"

Voltaje entre terminales de salida, desactivado	250 V
Corriente RMS activado a 25°C	100 mA
Corriente pico no repetitiva	1.2 A
Disipación de potencia a 25°C	300 mW
Decaimiento cerca de los 25°C	4.0 mW/°C

VENTAJAS:

Requiere una baja corriente de entrada (típicamente de 10 mA). La designación de terminales es similar a la del circuito "MCP 3011" y "MCP 3009". Gran aislamiento de voltaje (mínimo 7500 VCA Pico). Reconocido por los laboratorios "UNDERWRITERS" (JL).

**ACOPLAMIENTO PUERTOS/ ETAPA de POTENCIA****FIGURA #1**

Como puede verse en la figura # 1, la terminal no. 1 (ánodo) se conecta por medio de una resistencia R1 a +5v. Esta resistencia se coloca para controlar la corriente a través del diodo, ya que éste requiere de una corriente fija. En este caso esta resistencia es aproximadamente de 390E para proveer una corriente un poco mayor a 10 mA.

$$V = R \cdot I$$

Despejando R:

$$R = V/I = 5 \text{ V} / 10 \text{ mA} = 500 \text{ ohms.}$$

Con esto puede verse que se toma una resistencia (390E) que da un límite de corriente un poco mayor al mínimo. A la terminal no.2 se conecta la salida del circuito electrónico que va a controlar la etapa de potencia, siendo en este diseño la salida de un puerto en paralelo del microcomputador.

Entre la salida del puerto y la terminal no.2 (cátodo) se coloca un amplificador Darlingtón ULN 2033A, ya que la corriente de salida o "FAN-OUT" (1 mA) del puerto es demasiado débil para poder disparar el diodo.

La terminal no.4 se conecta a la terminal compuerta de un "TRIAC" y la terminal no. 6 se conecta a la terminal principal 2 a través de una resistencia R2 para controlar la corriente de disparo del "TRIAC". Esta resistencia se toma entre 130E y 390E dependiendo de la sensibilidad del "TRIAC".

De esta misma terminal se conecta la carga; a un polo de los focos del tablero y el otro polo del foco se conecta a 120 V C.A., 60 Hz. La terminal principal 1 (MT1) del "TRIAC" se conecta a la línea de retorno de 120 V.C.A. El circuito de la figura # 1 permite mayor manejo de corriente del optoacoplador. Se utilizaron "TRIACS" Q2004L3 debido a su bajo costo y a que tienen la capacidad de manejo de corriente requerida por el tablero. Como puede verse respecto a las características que se listarán a continuación, el "TRIAC" está algo sobrado, ya que maneja menor corriente de la que puede soportar, además se utiliza con voltaje de 120 V C.A., pudiendo manejar hasta 250 Volts C.A.

La señal de C.A. en la compuerta del "TRIAC" debe ser idéntica a la señal de entrada en la carga excepto en amplitud; esto es, debe ser un poco menor.

El "TRIAC" debe dispararse con C.A. cuando en la carga maneje C.A. (como se utiliza en este proyecto) o con C.D. en caso de manejar los "TRIACS" con C.D..

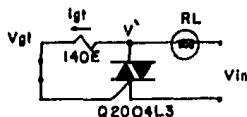


FIGURA #2

Como se ve en la fig. #2, cuando el "TRIAC" está conduciendo, éste se comporta como un circuito en corto. Como la señal en la compuerta debe ser menor en amplitud debe haber una caída de potencial debida a una resistencia (R2). Vgt es el voltaje mínimo para el disparo y V' es la caída de potencial en el "TRIAC". Despejando "R2" de la fórmula siguiente:

$$V' - V_{gt} = I_{gt} R_2$$

Queda:

$$\frac{V^* - V_{gt}}{I_{gt}} = R_2$$

Que con especificaciones del "TRIAC" utilizado:

$$V_{tm} = 1.6 \text{ volts máx. a } 25^\circ\text{C} = V^* = V_{pico}$$

$$V_{gt} = 0.2 \text{ volts mín a } 100^\circ\text{C}$$

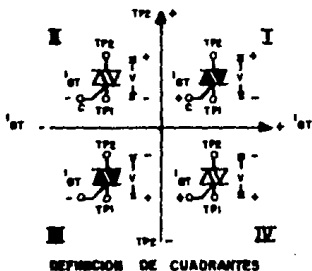
$$= 2.0 \text{ volts máx. a } 25^\circ\text{C}$$

$$I_{gt} = 10 \text{ mA. cuadrantes I y III máx.}$$

Substituyendo:

$$R_2 = 140 \text{ ohms.}$$

Como podrá observarse en la figura siguiente el "TRIAC" puede dispararse dependiendo del cuadrante en que se opere, esto es, por ejemplo si se trabaja con C.A. el "TRIAC" se disparará en los cuadrantes I (semiciclo positivo) y III (semiciclo negativo) y la señal estará en fase. En cambio si se trabaja con C.D. se utilizará el primer o el tercer cuadrante pero de ninguna manera simultáneamente.



Entre algunas características importantes tenemos:

•Capacidad de manejo de corriente (activado)	4 A. máx.
•Voltaje Pico de Bloqueo (repetitivo)	200 V. mín.
•Corriente Directa de disparo en la compuerta dependiendo el cuadrante de operación. (I)	10 mA. máx.
•Corriente de retención	20 mA. máx.
•Voltaje mínimo de disparo a 25°C	0.2 V mín.

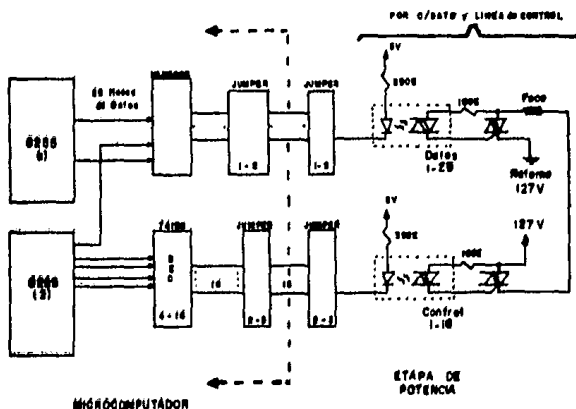
4.3 INTERCONEXION DEL MICROCOMPUTADOR CON LA ETAPA DE POTENCIA Y DIAGRAMA DE CONEXION DE LA MISMA.

4.3.1 PUERTOS EN PARALELO.

Debido a la necesidad de comunicar al microcomputador con dispositivos externos (tales como impresoras, terminales, etc.) se utilizan dispositivos lógicos llamados Puertos. Estos pueden ser en Serie o en Paralelo, dependiendo del tipo de comunicación que quiera establecerse. Para este caso se requirieron de dos Puertos en Paralelo (8255). Este dispositivo nos permite manejar gran cantidad de información.

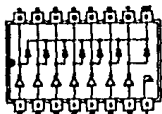
Se utilizó uno (8255 (1)) para líneas de datos y el segundo (8255 (2)) como líneas de control para el decodificador que se explicará posteriormente. El direccionamiento de estos puertos es por medio de un decodificador de puertos/memoria, del cual sale una sola señal verdadera a la vez que habilita al selector del dispositivo a manejar (\overline{CS}).

A estos puertos le llegan 8 líneas comunes (líneas de datos), además de las señales de escritura (\overline{WR}), y lectura (\overline{RD}) y las líneas de dirección A8 y A9 tomadas del canal de direcciones. Estas últimas dan las 4 posibles combinaciones que van a requerirse para direccionar los puertos internos y para el manejo de las líneas de control internas.



Llega también la señal de RESET que inicializa al dispositivo. Del Puerto de datos (6255 (1)) se utilizan 24 líneas (de las 25 que se requieren) y se toma una línea del segundo dispositivo 8255 para completarla. Seis de las líneas del Puerto 3 se toman como líneas de control que van a un decodificador que controla el borrado de los "Display's". Cuatro de ellas se utilizan en las entradas A, B, C y D del decodificador y las dos restantes son las señales de habilitación del decodificador mismo. (G1 y G2).

Debido a que la magnitud de la corriente o "FAN-OUT" (aproximadamente 1 mA.) es muy débil se colocaron amplificadores tipo Darlington (ULN2003A de Texas Instruments) para aumentar la corriente (un poco mas de 10 mA.) y poder disparar los dispositivos que manejan la etapa de potencia.

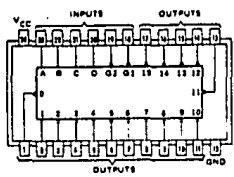


El ULN2003A es un conjunto de transistores Darlington de alta tensión y alta corriente. Cada encapsulado contiene siete pares de transistores Darlington NPN. Todas las salidas tienen diodos de enclavamiento de cátodo común. Este circuito se utiliza en la conmutación de cargas resistivas o inductivas.

La capacidad de corriente de cada par Darlington es de 500 mA. Las salidas y entradas pueden ser conectadas en paralelo para tener una mayor capacidad de corriente. Este circuito tiene una resistencia adecuada en serie a la entrada para permitir su operación directa con circuitos "CMOS" y "PMOS", (como lo es el 8255) usando tensiones de alimentación entre 6 y 15 volts. En este proyecto no se utilizan los diodos de enclavamiento. La corriente de entrada máxima a 12V es de 1.45 mA. y la disipación continua del dispositivo a o debajo de 25°C es de 1150 mW.

4.3.2 DECODIFICADOR. Justificación.

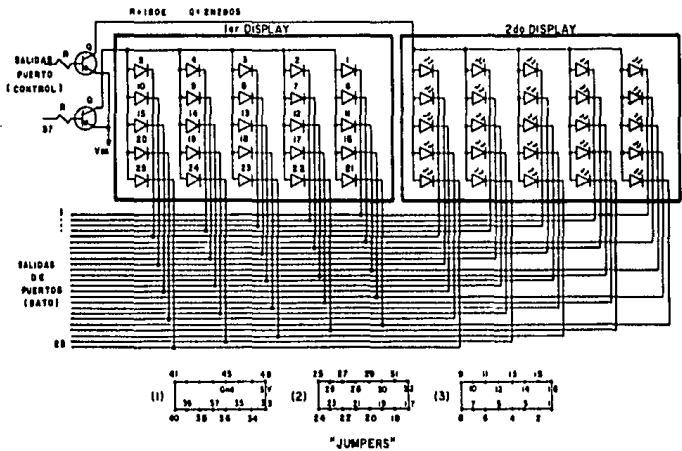
Podría haberse evitado el uso del decodificador si se hubieran tomado 15 líneas del segundo 8255 para control de cada uno de los 16 "Display's" de salida. De esta manera se hubiera restringido en cierta forma su posible expansión. Con este dispositivo, que requiere de solo 6 señales, se dejan libres las demás líneas del dispositivo, las cuales pueden utilizarse para conectar otros decodificadores y así mas "Display's".



Con este decodificador podríamos llegar a manejar hasta 65,536 arreglos matriciales de "Display's" al utilizar las 16 líneas de salida ($2^{16} = 65,536$). El decodificador utilizado es un Decodificador/Demultiplexor "TTL 74154". Requiere 4 líneas o señales de entrada (A, B, C y D) y dos líneas para los habilitadores (G1 y G2). En este diseño se utiliza como decodificador.

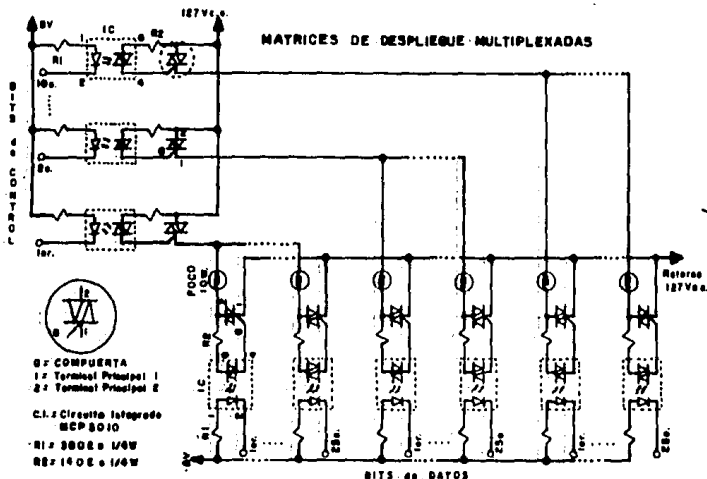
4.3.3 ETAPA DE POTENCIA.

Debido a que el microcomputador y las tabletas de control de potencia están separadas físicamente, se hace uso de unos conectores para interconectarlos. Son tres conectores por los cuáles se mandan las líneas de dato, Vcc y Tierra. En la fig. siguiente se muestra la disposición del tablero "monitor" configurado con "led's" y la disposición de las terminales de los conectores.



Como puede verse en la figura siguiente la etapa de potencia está manejada en forma matricial, ya que requiere de 2 señales para que se cierre el circuito. La primera es la señal propia del dato y la segunda es la señal de control. No se puedan manejar como líneas independientes. Se cuenta con 16 arreglos de 5 x 5 focos de 127 V c.a., 60 Hz, 10 watts que son manejados por una sola línea de control. Cada línea, ya sea de dato o de control cuenta con un circuito de disparo de "TRIAC" por medio de OPTIGACOPLADORES. Como se explicó anteriormente la entrada a estos circuitos proviene de los amplificadores ULN2303A que están conectados a los puertos en paralelo.

El voltaje de alimentación pasa inicialmente por el circuito de control (por el "TRIAC") si éste se encuentra activado y luego continúa hacia el circuito de disparo de datos (también pasa por el "TRIAC") y a través de éste se cierra el circuito claro está si este se encuentra activado, de otra forma cierra el circuito solo donde haya conducción. (Con esto solo se prende el foco deseado). Hay una línea de control por cada arreglo de focos.



INTERCONEXION DE LA ETAPA DE POTENCIA

CAPITULO V

V. DESARROLLO DEL SISTEMA OPERATIVO

5.1 GENERALIDADES

Antes de hablar propiamente del SISTEMA OPERATIVO (S.O.), se puede decir que un microcomputador no puede trabajar sin la debida programación; Ésto es, aquello que inicializa y programa a los determinados dispositivos que constituyen el sistema.

Esta programación se realiza por fuera del sistema. Se "escribe" dentro de un circuito integrado de Memoria "EPROM" aquel programa que constituirá el S.O. del sistema en cuestión. De este modo la C.P.U. sabrá lo que tiene que hacer en el momento de encender el sistema.

Debido a que todos los dispositivos auxiliares son programables por "Software" ; estos deben ser inicializados en los primeros renglones del S.O. para evitar que se ejecute el resto del programa y que algun dispositivo no se encuentre listo.

Toda la información que durante el proceso no varía se graba dentro del S.O., mientras que la información que sufre variación ya sea por el mismo programa o debido a que es la información dada por el usuario se almacenará en la memoria "RAM". Esta memoria "RAM" es muy reducida ya que la información que el usuario puede introducir es mínima.

5.2 DIAGRAMA DEL SISTEMA OPERATIVO POR BLOQUES

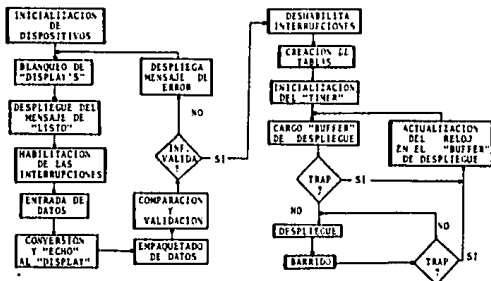


DIAGRAMA DE BLOQUES DEL SISTEMA OPERATIVO

5.3 DESARROLLO Y DESCRIPCION DEL SISTEMA OPERATIVO

5.3.1 Inicialización de Dispositivos y blanqueo de "Display's"

En el momento mismo de "encender el sistema", éste realiza ciertas funciones primordiales antes de que el usuario tenga acceso al mismo. Entre ellas tenemos: la inicialización de los diversos dispositivos, blanqueo de "Display's" y mascarilleo de la interrupción correspondiente.

Se explicará brevemente cada uno junto con las instrucciones que constituirían dicho bloque. Se aclara que los "bytes" de direcciones de los diversos dispositivos se enumeran en la tabla siguiente.

DISPOSITIVO	DIRECCION	FUNCION
8255(1)	00H	PA1
	01H	P32
	02H	PC3
	03H	COMANDO
8255(2)	04H	PA2
	05H	PB2 (AL DECODIFICADOR)
	06H	PC2 (NO SE USA)
	07H	COMANDO
8279	08H	DATO
	09H	COMANDO
	0AH	NO SE USA
	0BH	NO SE USA
8253	0CH	1ER. CONTADOR
	0DH	2DO. CONTADOR
	0EH	3ER. CONTADOR
	0FH	COMANDO

ESTAS DIRECCIONES RESULTAN DE LAS DIFERENTES COMBINACIONES DE LA TABLA QUE SE MUESTRA A CONTINUACION:

A15	A14	A13	A12	A11	A10	A9	A8	
0	0	0	0	0	0	X	X	8255 (1)
0	0	0	0	0	1	X	X	8255 (2)
0	0	0	0	1	0	X	X	8279
0	0	0	0	1	1	X	X	8253

Donde XX constituyen las combinaciones internas de cada dispositivo.

Nota: Hay que recordar que para dispositivos de E/S solo requieren 8 líneas de dirección que en nuestro caso se usaron las líneas de la parte alta del canal de dirección.

INICIALIZACION DE DISPOSITIVOS

```

TABLER: LXI SP,08FFH  ICARGO EL APUNTAJOR DEL "STACK" EN LA
                    ULTIMA LOCALIDAD DE MEMORIA RAM
MVI A,00H           IDATO PARA PROGRAMAR LOS PUERTOS EN
                    IPARALELO EN MODO O Y COMO SALIDAS
                    IUNICAMENTE
OUT 03H            ISACO EL DATO ANTERIOR (00H) POR LAS
                    IDIRECCIONES DE COMANDO (03H,07H)
OUT 07H            IDE AMBOS DISPOSITIVOS
MVI A,10H          IDATO PARA PROGRAMAR AL 0279 EN MODO DE
                    IENTRADA DE DATOS POR LA DERECHA Y MANEJO
                    IDE 8 "DISPLAY'S" Y CON EL RASTRO ES EN
                    IPORNA CODIFICADA
OUT 09H            ISACO EL DATO ANTERIOR (10H) POR LA
                    IDIRECCION DE COMANDO DEL 0279
MVI A,0CCH         IDATO PARA BLANQUEAR LOS "DISPLAY'S"
OUT 09H            ISACO EL DATO ANTERIOR (0CCH) POR LA
                    IDIRECCION DE COMANDO DEL 0279
MVI A,36H          IINICIALIZA AL 1ER. CONTADOR DEL 0253,
                    ILEVENDO Y CARGANDO PRIMERO EL "BYTE
                    ILS8" Y DESPUES EL "MS8" CONTANDO EN
                    IPORNA BINARIA
OUT 0FH           ISACO EL DATO ANTEIOR (0FH) POR LA
                    IDIRECCION DE COMANDO DEL 0253

```

En lo respecta a la inicialización del dispositivo de tiempo, éste se verá en la sección correspondiente a la actualización del reloj, en el inciso último de este capítulo por razones que ahí serán mencionadas.

Habiendo inicializado los dispositivos se procede a mandar un mensaje ("liste" en el caso de este sistema) por medio del cual el usuario sabe que puede empezar a introducir los datos pre-determinados.

La definición de los "bits" encendidos o apagados para la creación de cierta letra se define por medio del "byte" siguiente:

```

d c b a . g f e
0 1 1 1 1 1 0 0

```

```

      a
    ----
  f(  ib
    ----
  e(  g lc
    ----
      d

```



```

LXI M,LISTO ;APUNTA A LA LOCALIDAD DE MEMORIA DONDE
;SE ENCUENTRA LA TABLA DE DATOS PARA EL
;MENSAJE A DESPLEGAR
MVI A,90H ;DATO DE COMANDO DE ESCRITURA DE LA
;MEMORIA "RAM" DE DESPLIEGUE, SIENDO ESTA
;EN FORMA AUTOMATICA
OUT 09H ;DIRECCION DE SALIDA DEL DATO ANTERIOR
MVI C,00H ;CARGO UN CONTADOR DEL NUMERO DE "BYTES"
;QUE CONTIENE EL MENSAJE PARA PODER LLEVAR
;UN CONTROL Y UNA SECUENCIA PARA SABER
;CUANDO SE HA TERMINADO DE MANDAR EL
;MENSAJE
VV: MOV A,M ;CARGO EL CONTENIDO DE LA MEMORIA APUNTADA
;POR LA DIRECCION DE LA TABLA "LISTO"
OUT 0BH ;SACO EL DATO ANTERIOR POR LA DIRECCION DE
;DATO DEL 8279 PARA LA SALIDA DE CADA
;LETRA POR LOS "DISPLAY'S"
INX H ;ME POSICIONO EN LA SIGUIENTE DIRECCION DE
;LA TABLA PARA TOMAR EL DATO DE LA LETRA
;SIGUIENTE DEL MENSAJE
DCR C ;DECREMENTO EL CONTADOR DEL NUMERO DE
;"DISPLAY'S"
JNZ VV ;SE VERIFICA EL ESTADO DE LA BANDERA
;DE CERO PARA VER SI CONTINUA CON EL
;RESTO DEL PROGRAMA O SI VA POR ALGUNA
;OTRA LETRA DEL MENSAJE
DI ;SE DESHABILITAN LAS INTERRUPCIONES PARA
;QUE NO SE INTERRUMPA AL SISTEMA DE
;MINIMA MANERA HASTA QUE ASI SE DESEE

```

Se procede entonces a mascarillar la interrupción correspondiente al teclado del usuario.

```

MVI A,0EH ;DATO PARA MASCARILLAR LA INTERRUPCION
;DEL TECLADO RST 5.5
SIM ;SE CARGA EL DATO ANTERIOR PARA LA
;MASCARILLA

```

El "Byte" para la mascarilla de interrupciones está dispuesto de la siguiente forma:

```

0 0 0 0 1 1 1 0
-----| | | |
| | | | +-----RST 5. (SE HABILITA CON LOGIC. NEGADA)
| | | | +-----RST 6.5 (LOGICA NEGADA)
| | | | +-----RTS 7.5 (LOGICA NEGADA)
| | | | +-----HABILITADOR DE INTERRUPCIONES (LOGIC. POSITIVA)
+----- PARA NUESTRO SISTEMA NO INTERESAN

```

En la tabla siguiente se definen los "Bytes" para el desarrollo del mensaje en los "Display's":

LISTO: 0B 0FFH, 7CH, 3FH, 29H, 7BH, JC4, 0FFH, 0FFH

L I S T O

0FFH CORRESPONDE A UN ESPACIO EN BLANCO

Habiéndose iniciado una vez el sistema, el usuario está en posibilidad de introducir la información que va a ser desplegada. Cabe aclararse que al código binario del dato, teclado es el código que se genera internamente pero difiere respecto al "Echo" al "Display"; esto es, si por ejemplo se tecla un cinco, internamente se genera 00000101 que con el "Byte" de generación de caracteres corresponde a:

0 0 0 0 1 0 1	
D C B A . G F E	

lo que no corresponde a un cinco. Por tal razón se hace necesaria una tabla interna de conversión lo cual hace mediante una tabla y un desplazamiento relativo.

Por ejemplo si la tabla se encuentra en la dirección 0100H y el número que se desea convertir es el cinco, este número corresponderá al "Byte" menos significativo de esa dirección que apuntará a un valor de dicha tabla preestablecida para configurar el número específico en el "Display".

También es bueno hacer notar que la dirección donde se comenzarán a guardar los datos es la dirección 0800H; esto es la localidad de memoria "RAM". Esta se almacenará en forma consecutiva hasta completar la información que teclée el usuario.

```
LXI  H,0800H
SHLD APUNT1
MVI  A,CONT
STA  APUNT2
EI
```

Con SHLD se almacena la dirección donde quedarán guardados los datos por medio de un apuntador (APUNT1) con el cual se estará trabajando. Con el 2do. apuntador se pretende almacenar un "Byte" determinado que se decrementará cada que se acepte un dato. La ventaja de utilizar apuntadores es que no se requiere de poner direcciones directas, sino que el ensamblador las asigna automáticamente. Estos apuntadores deben tener una área reservada que debe estar definida.

APUNT1: DS 2 ;2 "Bytes" que corresponderán a una dirección
 APUNT2: DS 1 ;1 "Byte" ya que será un solo byte o dato

Con la instrucción EI se habilitan las interrupciones que hayan sido permitidas por medio de la mascarilla, de hecho solo una mascarilla, la RST 5.5 que corresponde a la interrupción del teclado. Lo anterior implica que la tecla que sea oprimida generará un código que al ser conectado en un código "desplegable" que se almacenará en la región de memoria reservada para ello.

El primer dato que se recibe es el del Año. Se recibe solo la parte de las decenas, ya que la parte de millares estará como constante en las tablas de despliegue. Las instrucciones para recibir los datos del año, mes, día, hora y minutos son muy similares y varían realmente solo por los puntos de comparación, debido a lo cual solo se explicará una sola sección de instrucciones. Claro está que cada uno debe denominarse con apuntes diferentes.

5.3.2 Entrada, Conversión y Verificación de caracteres

Al detectarse que una tecla ha sido oprimida se genera un salto a una determinada dirección prefijada por "firmas", en donde se coloca una subrutina de servicio a la interrupción.

ENTRADA

INOUT:	MVI A,40H	¡CARGO EL COMANDO DE LECTURA AL FIFO PARA
		¡VER SI SE HA TECLADO ALGO
	OUT 09H	¡MANDO ESE DATO POR LA DIRECCION DE
		¡COMANDO DEL 8279
	IN 08H	¡ENTRADA DEL DATO TECLADO POR LA
		¡DIRECCION DE DATOS DEL 8279
	STA ETIQ	¡SE ALMACENA TEMPORALMENTE ESE DATO PARA
		¡QUE DESPUES DE LA CONVERSION DE FORMATO
		¡ANTES MENCIONADA, EL CODIGO DEL DATO
		¡INTRODUCIDO SIGUE INVARIANTE Y SE PUEDE
		¡CONTINUAR CON EL PROCESO SIN TENER QUE
		¡CONVERTIR NUEVAMENTE
	CALL CONCHR	¡LLAMO A LA SUBROUTINA DE CONVERSION DE
		¡CARACTERES
	OUT 09H	¡SACO EL DATO DE REFERENCIA EL CUAL YA
		¡ESTA CONVERTIDO POR LA DIRECCION
		¡CORRESPONDIENTE
	LDA ETIQ	¡REGRESO EL DATO INICIALMENTE INTRODUCIDO
		¡(SIN ALTERACION) PARA CONTINUAR CON
		¡LA VERIFICACION
	RET	¡REGRESO AL PROGRAMA FUENTE

LA Rutina de conversión se puede configurar con las instrucciones que siguen:

CONVERSION

```

CONCHR: MOV N,A      ;NUEVO EL DATO A LA MEMORIA
        LXI H, CONVER ;SE POSICIONA CON RESPECTO A LA TABLA DE
                    ;CONVERSION
        CPI 00H      ;SE COMPARA CONTRA EL 1ER. DIGITO
        JZ LOOP      ;SI LO ES, SE COLOCA ESE DATO EN EL
                    ;ACUMULADOR
        INX H        ;NUEVAMENTE Y SE REGRESA AL PROGRAMA
                    ;FUENTE.
        VVV: DCR A    ;SI NO SE DECREMENTA EL DATO INTRODUCIDO
        JZ CCC       ;Y SE INCREMENTA EL APUNTAOR EN I PARA
        INX H        ;ASEGURAR QUE SE ENCUENTRE EFECTIVAMENTE
        JMP VVV      ;EN LA TABLA
CCC:    MOV A,M      ;SE REGRESA AL PROGRAMA FUENTE
        RET

```

La tabla de comparación para la conversión del código teclado es la siguiente:

```

CONVER: DB 0EH,9FH,4AH,0BH,79H,29H,20H ;QUE CORRESPONDEN EN
          8FH,0BH,09H,0AH,3BH,7AH      ;FORMA CONSECUTIVA A
          ;LOS NUMS. 0 AL 12

```

Posteriormente a la recepción del dato, se deshabilita la interrupción y se almacena ese dato. Esto se realiza hasta que todos los datos se reciben y cuando ya hayan sido almacenados a partir de la dirección correspondiente se procederá a la verificación de los mismos.

VERIFICACION

```

ARG: EI
      MVI
      DI
      LHLD APUNT1
      INX H
      SHLD APUNT1
      LDA APUNT2
      DCR A
      STA APUNT2
      JNZ ARG
      MVI A,0FH
      SIM

```

En la sección anterior se actualizan los apuntadores con el objeto de recibir todos los datos correspondientes a cada sección (año, mes, etc.) y al final se deshabilitan las interrupciones para que mientras se encuentre en la verificación no sea posible para el usuario interrumpirlo. Antes de proceder a la verificación de la información es necesario agrupar 6 "empaquetar" ciertos "Bytes" para hacer mas facil la tarea. Por ejemplo, en lugar de comparar dos veces como lo es el dato del (6 y 5 en el caso de 1985), este se agrupa en uno solo (85) y asi es posible de manejar una sola comparación.

```

LXI H,0800H ;ME POSICIONO AL PRINCIPIO DE LA MEMORIA
;DE USUARIO
MOV A,M ;MUEVO AL ACUMULADOR EL 1ER. "BYTE"
;APUNTADO EN DICHA PORCION DE MEMORIA
RLC ;SE ROTA 4 VECES PARA QUE QUEDE EN FORMA
RLC ;INVERTIDA ES DECIR EL 08H PASAR A SER
RLC ;UN 80H
RLC
INX H ;ME POSICIONO DE TAL MANERA QUE TOMO EL
;SIGUIENTE "BYTE" TECLADO Y DESPUES LO
;SUMO "LOGICAMENTE"
ORA M ;PARA QUE QUEDE UN SOLO "BYTE"
CPI 85H ;UNA VEZ EMPAQUETADO EL "BYTE" SE INICIAN
;LAS COMPARACIONES; POR EJ. CONTRA 85,
;ANO QUE SE DESEA SEA EL LIMITE INFERIOR
;Y EL 99 (AÑO 1999) EL SUPERIOR POR LO
;QUE TAMBIEN SE TOMARA COMO VALOR DE
;COMPARACION

JC :ERR1
CPI 99H
JNC ERR1

```

En caso de ser inferior a 85 o superior a 99 se genera una condición con la cual se manda a una subrutina que despliegue "error" y luego permita la introducción nuevamente de valores en el teclado. Las subrutinas de error varían solo en la leyenda del despliegue, de modo que cada una de ellas indique un tipo de error.

Hay que recordar que esta parte (el empaquetado) no se requiere para todos los datos teclados y que los valores para comparar varían además del número de comparaciones por las cuales deben pasar.

5.3.3 Subrutinas de Error

```

ERR1: LXI M,ERROR1      ;ME POSICIONO EN LA DIRECCION DE LA
                        ;TABLA DE DESPLIEGUE DE "ERROR 1"
      MVI C,0BH         ;CARGO EL CONTADOR DEL NUMERO DE
                        ;DE "DISPLAY'S"
ERR1: MOV A,M          ;CARGO EL ACUMULADOR CON EL DATO APUNTAO
                        ;CON LA TABLA
      OUT 06H          ;SACO LA PRIMERA LETRA DEL MENSAJE DE
                        ;ERROR POR LA DIRECCION DE DATO DEL 8277
      INX M            ;ME POSICIONO PARA TOMAR LA SIG. LETRA
      DCR C           ;DECREMENTO PARA LLEVAR EL CONTROL DE
                        ;VUELTAS
      JNZ ERR1        ;SI NO TERMINA AUN DE DESPLEGAR TODO
                        ;EL MENSAJE, CONTINUA
      JMP TABLER      ;SI YA TERMINO REGRESA A LA PETICION
                        ;DE DATOS NUEVAMENTE:

```

```

ERROR1: DB 63H,0FAH,7FAH,3AH,0FAH,0FFH,0FFH,7FH; ERROR 1
          E R R O R 1

```

Cada tabla de error varía en el último "byte" dependiendo del error que corresponda. En caso de no tener error se apunta a otra localidad de memoria en la cual se colocarán en forma consecutiva y en formato de 4 "bytes" para evitar el tener que realizar conversiones al mismo tiempo que estar desplegando la información. Una vez que éstos son almacenados se puede proceder al envío del mensaje. Se regresa al proceso de carga del siguiente dato para ser verificado. Todo lo anterior hasta que, hayan sido verificados todos los datos introducidos por el usuario.

La comparación de los días está incluyendo de no pasarse del mínimo rango (1 día a 31 días) y además que no se exceda respecto al mes que corresponda. Ésto se puede hacer mediante otra tabla.

Se coloca el mes y el número de días correspondientes a continuación. Se apunta al número de mes y luego se incrementa una posición para tomar el valor de los días correspondientes al mes con el cual está relacionado. Debido a que existen años bisiestos se han realizado 2 tablas con las variaciones correspondientes:

```

MESES1: DB 01H,31H,02H,29H,03H,31H,04H,40H
          05H,31H,06H,30H,07H,31H,08H,31H
          09H,30H,0AH,31H,0BH,30H,0CH,31H

```

MESES1: 00 01M,31M,02M,23M,03M,31M,04M,43M
 05M,31M,06M,31M,07M,31M,03M,31M
 09M,30M,0AM,31M,08M,33M,0CM,31M

Se sabe que dentro de nuestro rango de años existen 3 años bisiestos 1988, 1992 y 1996; valores contra los cuales se comparan (en el proceso de verificación del día). En caso de ser bisiesto se carga una tabla diferente (MESES2).

```

LXI M,0809H ;APUNTA AL DATO QUE SE INTRODUJO COMO AÑO
MOV A,M
CPI 88H
JZ CARMES
CPI 92H
JZ CARMES
CPI 96H ;SINO ES AÑO BISIESTO CARGA LA TABLA DE
;MESES
COMPAR: LXI M,MESES1 ;APUNTO A LA TABLA DE AÑOS NO BISIESTOS
MVI A,0CH ;CONTADOR D=L NUMERO DE MESES (12 = 0CH)
STA CONT01 ;QUE REFERENCIA A UN CONTADOR
LXI D,0804H
LXI B,0002H ;DATO PARA DESPLEGAR DATOS DE DOS EN DOS
COMP: LDAX D ;COMPARO EL ACUMULADOR CON LA SIGUIENTE
;DIRECCION
CMP M ;ESTE SERIA EL NUMERO DE MES DE QUE SE
;TRATE)
JZ FINCOM ;EN CASO DE SER CORRECTO VE AL FINAL DE
;LA COMPARACION
DAD B ;PARA POSICIONARME DOS LUGARES DESPUES,
LDA CONT01 ;DECREMENTO EL CONTADOR Y VERIFICO SI NO
;SE HA TERMINADO DE COMPARAR CON TODA LA
;TABLA O SI ESTA FUERA DE RANGO
DCR A
STA CONT01 ;SE ACTUALIZA EL CONTADOR YA
;DECREMENTADO
JZ ERR6 ;SI HAY UN ERROR REGRESA AL INICIO DEL
;PROGRAMA
JMP COMP ;REGRESA A SEGUIR COMPARANDO

FINCOM: LXI D,0803H ;SE VERIFICA SI SE DENTRO DEL
;RANGO Y SI NO HAY ERROR SE PROSIGUE A
;PEDIR QUE SIGUE
LDAX D
CMP M
JNZ ERR3

CARMES: LXI M,MESES2 ;CARGO TABLA DE AÑOS BISIESTOS
JMP COMP

```

5.3.4 Creación de tablas

A continuación se muestra la disposición de "Bits" correspondientes a los Puertos en Paralelo, por medio de los cuáles se forman los caracteres que se desplegarán.

PA0	PA1	PA2	PA3	PA4
PA5	PA6	PA7	PB0	PB1
PB2	PB3	PB4	PB5	PB6
PB7	PC0	PC1	PC2	PC3
PC4	PC5	PC6	PC7	PA0

PA0	PA1	PA2	PA3	PA4	7	"BITS" DEL PUERTO A
PA5	PA6	PA7				DEL 0255 (1)
			PB0	PB1		7 "BITS" DEL
PB2	PB3	PB4	PB5	PB6		PUERTO B
PB7						DEL 0255 (1)
	PC0	PC1	PC2	PC3	7	"BITS" DEL PUERTO C
PC4	PC5	PC6	PC7			DEL 0255 (1)
				PA0	1	"BIT" DEL PUERTO A
						DEL 0255 (2)

Por ejemplo si se desea desplegar la letra "o" Mayúscula los "bits" quedarían de la siguiente forma:

```

. * * * .
* . . . *
* . . . *
* . . . *
* . . . *
. * * * .

```

Donde: * = Foco encendido

Los "bits" de cada Puerto quedarían:

	PX7	PX6	PX5	PX4	PX3	PX2	PX1	PXC	
Puerto 1A:	0	0	1	0	1	1	1	0	= 2EH
Puerto 1E:	1	1	0	0	0	1	1	0	= C6H
Puerto 1C:	1	1	1	0	1	0	0	0	= EBH
Puerto 2A:	0	0	0	0	0	0	0	0	= 00H

X = Puerto que corresponda.

5.3.5 Despliegue y Barrido de "Display's"

En lo que concierne a esta sección del Sistema Operativo, ciertamente una de las mas importantes se puede decir que se basa principalmente en un ciclo o "loop" por medio del cual se estarán "Refrescando los "Display's".

Va que la descripción de esta sección involucra un gran número de instrucciones se hará teóricamente. Una vez convertida la tabla de despliegue o también llamado "Buffer" de salida en formato de 4 "bytes" por cada letra se procede a mandar dicha información a la dirección de salida para el encendido del ler. "Display". Se recorre (por medio de apuntadores) este "byte" al "Display" siguiente y se trae el siguiente dato. De esta manera hasta enviar todo el mensaje.

Una vez que ha sido enviado todo el mensaje nos posicionamos en la dirección de salida del primer dato para re-introducir la información y de este modo hacer el refresco de la información.

Hay que recordar que cada dato contiene 4 "bytes" y hay que mandar cada letra del mensaje por bloques de 4 "bytes".

La velocidad de barrido del "Display" puede variar de modo que pueda ajustarse un número específico de vueltas en el mensaje de tal manera que no interfiera el despliegue con la interrupción del "TRAP".

Esta variación se puede hacer mediante subrutina de retardo "Delay". Esto es, se carga determinado registro y se decrementa o incrementa hasta llegar a un punto contra el cual se comparará.

Puede además como cosa extra colocarse una comparación contra cierta tecla para que en el momento del despliegue éste se pueda detener.

5.3.6 Actualización del Reloj

La inicialización del 9133 se efectúa una vez que se ha aceptado y verificado la información, además de la conversión pertinente.

La razón de ello es para proveer que el sistema sea interrumpido por el "TRAP" durante el proceso anterior al despliegue. Al momento de inicializarlo, éste estará interrumpiendo a la C.P.U. cada 60 segs. y con ello el Sistema Operativo actualizará la información "sobre" la tabla de salida al despliegue directamente.

Primero se mandan ciertos "bytes" para configurar al dispositivo en cierto modo y con ciertas características y luego se cargan otros "bytes" los cuales servirán como un divisor de la frecuencia de entrada a 1/60 HZ.

MVI A,74H	:DATO PARA AL 1ER. CONTADOR, CARGANDO :PRIMERO EL "BYTE" MENOS SIGNIFICATIVO, :LUEGO EL MENOS SIGNIFICATIVO, EN MODOS :2005 Y 10 "BITS"
OUT 0FH	:DIRECCION DE SALIDA PARA COMANDO
MVI A,0CAH	: "BYTES" PARA FORMAR EL DIVISOR DE
OUT 0CH	: FRECUENCIA Y ENVIO POR LA DIRECCION
MVI A,0AFH	: DE DATO
OUT 0CH	
MVI A,0B4H	: INICIALIZACION DEL 2DO. CONTADOR : CON LAS MISMAS CARACTERISTICAS QUE : EL CONTADOR ANTERIOR
MVI A,0DH	: "BYTES" PARA AJUSTAR LA DIVISION
OUT 0CH	: DE FRECUENCIA Y SE ENVIA POR LA
MVI A,0BH	: DIRECCION DE DATO
OUT 0CH	

Como ya se dijo anteriormente el reloj funciona en base a la señal del "TRAP". Esta posee en la dirección de brinco ciertas instrucciones para colocarse en cierta localidad y ejecutar una rutina de servicio de interrupción. Ya que muchos registros variarán su información durante la actualización del reloj y debido a que se requiere que se mantenga la información éstos se almacenarán temporalmente por medio de instrucciones "Push" en el área de memoria reservada "Stack".

A continuación se describe brevemente la actualización del reloj. Ésta se basa en ciertas comparaciones del dato de entrada respecto a algunos datos anteriormente determinados para manejar el reloj en formato de 12:00 hrs. o de 24:00 hrs. En nuestro caso se maneja el primer formato.

```

TRAP:  DI          ;SE DESHABILITAN LAS INTERRUPCIONES
        PUSH PSW   ;SE ALMACENAN EN EL AREA DE "STACK"
        PUSH D
        PUSH H
        PUSH B
        LXI M,OUT+1 ;ACTUALIZO EL MONERO DE MINUTOS
        MOV A,M
ACTUAL: ADI 71H
        DAA
        CPI 60H    ;SI ES EL MINUTO 60 CAMBIA LA HORA
        JZ  CMHR
        MOV M,A
OUTTRP: LXI D,BUFFER ;CONVERSION DE LA HORA EN ASCII
        LXI H,OUT  ;Y SU TRASPASO AL BUFFER DE USUARIO
        MOV A,M
        ANI 0F0H   ;ELIMINO EL CERO EN LAS DECENAS DE HORA
        ;EN CASO QUE EXISTA

        CPI 00H
        CZ  HORA6
        MVI A,":"  ;FORMATEO DE LA HORA PARA EL DESPLIEGUE
        STAX D
        INX H
        INX D
        MVI A,20H
        STAX D
        INX H
        INX D
        POP B      ;RESTAURACION DE REGISTROS Y SALIDA
        POP D      ;DEL TRAP
        POP H
        POP PSW
        RET        ;RETORNO DEL TRAP
CMHR:  MVI M,00H   ;CAMBIO DE HORA
        OCK H
        MOV A,M
        CPI 24H    ;SI SON LAS 24HRS. COLOCA UN 1
        JZ  ACTHOR
        JMP  ACTUAL
ACTHOR: MVI A,01H
        JMP  OUTTRP

```

CONCLUSIONES

La disponibilidad de los componentes en el mercado y el bajo costo fueron algunas de las razones para la elaboración de este proyecto con dichos componentes.

Otra de las razones fué la optimización del número de circuitos integrados con la utilización de circuitos integrados de gran escala de integración como lo es el microprocesador y su rama de dispositivos auxiliares.

Por su diseño, garantiza la optimización de los materiales usados en su elaboración además de la reducción de las dimensiones del circuito lo cual implica una optimización del espacio requerido para su instalación.

El utilizar circuitos optoacopladores, dispositivos de reciente tecnología permiten una gran seguridad para el sistema por el gran aislamiento que poseen, además de poder acoplar señales digitales a señales analógicas con gran manejo de potencia. Claro está que con la ayuda de dispositivos de disparo como son los Tiristores, se puede aumentar la capacidad de manejo de Potencia.

Una ventaja es la versatilidad al manejo de diferentes tipos de tableros de despliegue, no necesariamente tablero con C.A. y otra la de autoactualizarse la información mientras se posea energía.

Una de las restricciones es el del manejo de la información en forma fija: esto es, la conservación de ciertos parámetros para el despliegue de la misma.

APENDICES

APENDICE: A

8231-1

UNIDAD CENTRAL DE PROCESO

+ALIMENTACION DE +5 VOLTS. +TIENE UN CICLO DE INSTRUCCION DE 1.3 MICROSEGUNDOS +GENERADOR DE RELOJ INTERNO (CON CRISTAL EXTERNO O REDES LC CR). +CONTROLADOR INTERNO DEL SISTEMA. +PUERTO SERIE DE ENTRADA/SALIDA. +CUATRO ENTRADAS DE INTERRUPCION VECTORIAL (UNA NO MASCARILLABLE). +ARITMETICA DECIMAL, BINARIA Y DE DOBLE PRECISION. +CAPACIDAD DE DIRECCIONAMIENTO DIRECTO DE 64K "BYTES" DE MEMORIA.

El 8085-A de Intel es una Unidad Central de Proceso de 8 "bits" en paralelo. El 8035 tiene un encapsulado de 40 terminales. Se ha multiplexado el canal de datos y la parte baja de la dirección por lo que se requiere de un circuito que los demultiplexe (8212).

NOMBRE DE LAS TERMINALES

SI, XE	Entradas del Cristal
Reset Out	Salida de la señal de Reiniciación
Reset In	Entrada de la señal de Reiniciación
SOD	Salida de Datos Serie
SID	Entrada de Datos Serie
TRAP	Interrupción no Mascarillable
Ret 5B, 5D, 7D	Interrupciones Mascarillables
INTR	Intr. de Lógica Interna
INTA	Reconocimiento de "INTA"
ADD, AD7	Canal de Datos/Direcciones Multiplexado
HOLD	Entrada de HOLD
HLDA	Reconocimiento de "HOLD"
CLK OUT	Salida de Reloj
RDY	READY
I/O/M	Dispositivo E/S o Memoria
S0, S1	Señales de Estado
A0-A15	Direcciones
ALE	Manipulador del "LATCH" de Direcciones
RD	LECTURA
WR	ESCRITURA
Vcc	Alimentación
Gnd	Tierra

X1	1	40	Vcc
X2	2	39	HOLD
RESET OUT	3	38	HLDA
SOD	4	37	CLK (OUT)
SID	5	36	RESET IN
TRAP	6	35	RDY
RET 7B	7	34	I/O/M
RET 6B	8	33	S1
RET 5B	9	32	S0
INTR	10	31	WR
INTA	11	30	ALE
AD0	12	29	A0
AD1	13	28	A1
AD2	14	27	A2
AD3	15	26	A3
AD4	16	25	A4
AD5	17	24	A5
AD6	18	23	A6
AD7	19	22	A7
V0	20	21	A8

DESCRIPCION DE FUNCIONAMIENTO DE CADA TERMINAL

A8-A15 (SALIDA)

Son los 8 "bits" mas significativos de la dirección de memoria o los 9 "bits" de la dirección de E/S. Se encuentra en 3er. estado en modo de "Reset", "Hold" y "Halt".

ADD-AD7 (ENTRADA/SALIDA)

Canal de direcciones y datos multiplexado. Son los 8 "bits" menos significativos del canal de direcciones durante el primer ciclo de reloj del ciclo de máquina y son las 8 líneas de dato en el resto del ciclo.

ALE

Habilitador del almacenador temporal de direcciones. Esta nunca podr  tener un tercer estado. Se utiliza para mantener la informaci n de la parte alta de la direcci n mientras se demultiplexa el canal de datos/direcciones.

SO, SI E IO/M

Estado de ciclo de m quina:

IO/M	SI	SJ	ESTADO
0	0	1	ESCRITURA DE MEMORIA
0	1	0	LECTURA DE MEMORIA
1	0	1	ESCRITURA E/S
1	1	0	LECTURA E/S
0	1	1	BUSQUEDA DEL CODIGO DE OPERACION
1	1	1	RECONOCIMIENTO DE INTERRUPCION
*	0	0	"HOLD"
*	X	X	"HOLD"
*	X	X	"RESET"

* = 3ER ESTADO (ALTA IMPEDANCIA)
X = IRRELEVANTE

Si puede ser utilizado como un estado de $\overline{RD}/\overline{WR}$. La se al IO/M, SO y SI son v lidas al inicio del ciclo de m quina y se mantienen estables a lo largo de este ciclo.

 \overline{RD} (LECTURA)

Un 0 en esta salida indica que la informaci n del dispositivo seleccionado ser  le do y que el canal de datos est  disponible para la transferencia de datos. Se encuentra en 3er. estado durante "Hold", "Halt" y "Reset".

 \overline{WR} (ESCRITURA)

Un 0 en esta salida indica que la informaci n en el canal de datos ser  escrita en el dispositivo seleccionado. Se carga en la transici n positiva de \overline{WR} . Se encuentra en 3er. estado durante los modos de "Hold", "Halt" y "Reset".

READY

Si hay un 1 en esta salida durante el ciclo de \overline{WR} o \overline{RD} , indicar  que los dispositivos est n listos para mandar o recibir informaci n. En caso de ser un 0 esperar  un n mero entero de ciclos de reloj para que "READY" sea uno antes de completar un ciclo de \overline{WR} .

HOLD

Indica que un dispositivo está solicitando los canales del sistema. La C.P.U. entonces, recibiendo la solicitud de "HOLD" los cederá. Los procedimientos internos pueden continuar sin ser afectados. El procesador puede reobtener los canales solo hasta que esta señal sea deshabilitada. Cuando existe una señal de "HOLD", la dirección, datos, \overline{RD} , \overline{WR} e I/O/M se encuentran en 3er. estado.

HLDA

Reconocimiento de la señal de "HOLD". Indica que la C.P.U. recibió la señal de solicitud de "HOLD" y cederá el canal del sistema en el siguiente ciclo de reloj. "HLDA" será 0 después de que la señal de "HOLD" sea eliminada. La C.P.U. toma el canal medio ciclo de reloj después que "HLDA" sea 0.

INTR

Solicitud de interrupción. Se usa como interrupción de propósito general. Es reconocida durante el ciclo posterior de la instrucción y durante los estados de "HOLD" y "HALT". Si es activado, el contador de programa (PC) se inhabilitará y una señal de "INTA" será generada. Durante este ciclo una instrucción de "CALL" o "RESTART" puede ser introducida para brincar a una rutina de servicio de interrupción. Esta señal se habilita o deshabilita por "Software". Es habilitada por un "RESET" e inmediatamente después de que una interrupción es aceptada.

INTA

Reconocimiento de interrupción. Es usada en lugar de lectura durante el ciclo de instrucción después de que "INTR" es ejecutada. Puede utilizarse para activar al dispositivo de interrupciones.

PRIORIDADES DE INTERRUPTCION, DIRECCIONES D: REINICIO Y TIPO DE DISPARO

NOMBRE	PRIORIDAD	DIRECCION	CUANDO LA INT. OCURRA	TIPO DE DISPARO
TRAP	1	24H		PULSO POSITIVO Y ALTO
RST 7.5	2	3CH		MASTA SU TERMINO PULSO POSITIVO (CON UN "LATCH")
RST 6.5	3	34H		NIVEL ALTO
RST 5.5	4	2CH		NIVEL ALTO
INTR	5	*		NIVEL ALTO

NOTA: LA DIRECCION DE BRINCO DEPENDE DE LA INSTRUCCION
 DADA A LA C.P.U. CUANDO LA INTERRUPCION SEA
 RECONOCIDA.

RST 5.5, 6.5 Y 7.5

Reinicializadores de interrupciones. Estos causan un reinicio ("RST") interno. En la tabla anterior siguiente se dan las prioridades de estas interrupciones. Son de mayor prioridad que la interrupción "INTR" y estas son mascarilladas por una simple instrucción "SIM".

TRAP

Esta interrupción no es mascarillable. Es reconocida al mismo tiempo que "INTE" o "RST 5.5 al 7.5". No se afecta por ningún habilitador de mascarillado o interrupción y es la señal de MAYOR prioridad.

RESET IN

Inicializa el contador de programa en ceros y reinicializa el habilitador de interrupciones y a los "FLIP-FLOPS" de la señal "MLDA". Los canales de datos y dirección y las señales de control están en 3er. estado durante "RESET", por lo que los registros internos y las banderas del procesador pueden ser alterados con resultados impredecibles.

Tiene una entrada "SCHMITT-TRIGGERED" permitiendo la conexión de una red RC para el circuito de retardo de encendido. La C.P.U. se mantiene en esta condición tanto como esta señal sea aplicada.

RESET OUT

Indica que la C.P.U. está siendo reinicializado. Puede ser utilizada como un reinicializador de los diversos dispositivos del sistema que la requieran. Esta señal es sincronizada con el reloj del procesador y dura un número entero de periodos de reloj.

X1, X2

Estas entradas se conectan a un cristal de cuarzo, a una red RC o LC para manejar el generador interno de reloj (CLK). X1 puede ser una señal externa de una compuerta lógica. La frecuencia de entrada es dividida entre 2 para proporcionar la frecuencia interna del procesador.

Trabaja con un cristal de 5.144 MHz para que el reloj de aproximadamente 3.072 MHz. a la salida. El cristal debe ser de las siguientes características:

- 1) Resonancia en paralelo al doble de la frecuencia de reloj deseada.
- 2) C_1 (capacitancia de carga) ≤ 30 pf
- 3) L_s (capacitancia en paralelo) ≤ 7 pf
- 4) R_s (resistencia equivalente en paralelo) ≤ 75 ohms
- 5) Nivel de conducción: 10mw
- 6) Tolerancia de frecuencia recomendada: $\pm 0.005\%$

CLK

Salida de reloj para sincronizar al sistema. Su período es el doble del de entrada.

SIU

Entrada de datos en serie. La información de esta línea es cargada en el acumulador ("bit" 7) siempre que una instrucción de "RIM" sea ejecutada.

SOD

Salida de datos en serie. Esta salida se fija por medio de la instrucción "SIM".

Vcc, Vss

Alimentación de +5V y referencia de tierra

DESCRIPCION DE FUNCIONAMIENTO

El 8085-A es un procesador de 8 "bits" en paralelo. Posee 12 registros direccionables de 8 "bits". Cuatro de ellos pueden funcionar como registros pares (16 "bits") y 6 como registros de 8 ó 16 "bits". Los registros son:

NEMONICO	REGISTRO	"BITS"
ACC O A	ACUMULADOR	8 "BITS"
PC	CONTADOR DE PROGRAMA	16 "BITS"
BC, DE, HL	REGS. PROPOSITO GENERAL	6 X 8 "BITS"
		3 X 16 "BITS"
SP	APUNTADOR DE "STACK"	16 "BITS"
F	BANDERAS	5 BANDERAS
		(5 "BITS")

El 8085A posee un canal de datos multiplexado: durante el primer estado T (del ciclo de reloj) de un ciclo de máquina la parte baja de la dirección es enviada por el canal de datos/direcciones. Estos 8 "bits" bajos pueden ser almacenados temporalmente en un dispositivo externo mediante la señal ALE. Durante el resto del ciclo de máquina es usado como canal de datos.

APENDICE 3

8212

PUERTO DE ENTRADA/SALIDA DE 8 BITS

+REGISTRO DE DATOS PARA 8 "BITS" TOTALMENTE EN PARALELO Y MEMORIA INTERMEDIA. + "FLIP-FLOP" PARA PETICION DE SERVICIO EN LA GENERACION DE INTERRUPCIONES. +CORRIENTE DE CARGA DE ENTRADA - 0.25 MA. MAX.. +SALIDAS TRIESTABLES. CORRIENTE DE RETORNO A LA SALIDA DE 15 MA. +TENSION DE SALIDA DE 3.65V PARA NIVEL ALTO. +SUBSTITUCION DE MEMORIA INTERMEDIA. CIRCUITOS DE ENCLAVAMIENTO "LATCH" Y MULTIPLEXORES EN LOS SISTEMAS DE MICROCOMPUTADORAS. +REDUCE EL NUMERO DE CIRCUITOS INTEGRADOS O ENCAPSULADOS EN CADA SISTEMA.

CONFIGURACION
DE
TERMINALES

SS1	1	24	Vcc
MD	2	23	INT
D01	3	22	D18
D01	4	21	D08
D12	5	20	D17
D02	6	19	D07
D13	7	18	D16
D03	8	17	D06
D14	9	16	D15
D04	10	15	D05
STB	11	14	CLR
DMO	12	13	D12

NOMBRE DE LAS TERMINALES

D11-D08	ENTRADAS DE DATO
D04-D03	SALIDAS DE DATO
INT-D08	Salgater del Dispositivo
MD	MEMO
STB	STROBE
INT	INTERRUPCION
CLR	BORRADO

Vcc = 5V

El puerto 8212 de entrada/salida consiste en un "Latch" para 8 "bits" con "Buffers" de salida triestable junto con la lógica correspondiente de control y selección del dispositivo. También se incluye un "Flip-Flop" para la solicitud de servicio cuando hay que generar y controlar interrupciones del microprocesador. Es de naturaleza multimodal. Se puede emplear para formar "Latches" o "Buffers" controlados por multiplexores.

Por consiguiente, con este dispositivo se pueden llevar a cabo todas las funciones principales periféricas y de entrada/salida de una red de microcomputadoras.

CLR	MD	D01-D08	STB	SR	INT
0	0	Q	1	1	
0	1	Q	1	0	
1	1	~	0	0	
1	1	Q	1	0	
1	0	Q	1	1	
1	1	~	1	0	

STB	MD	INT-D08	SALIDA DE DATOS
0	0	0	3er. ESTADO
1	0	0	2er. ESTADO
0	1	0	DATO ALMACENADO
1	1	0	DATO ALMACENADO
0	0	1	DATO ALMACENADO
1	0	1	ENTRADA DE DATOS
0	1	1	ENTRADA DE DATOS
1	1	1	ENTRADA DE DATOS

DESCRIPCION DE FUNCIONAMIENTO.

LATCH DE DATOS.

Los 8 "Flip-Flops" que componen el "Latch" de datos son del tipo D. La salida Q del biestable ("Flip-Flop") sigue a la entrada de datos mientras la entrada del reloj (C) está en "1". El enclavamiento ("Latching") ocurre cuando el reloj regresa a "0". Los datos así enclavados en los biestables se borran mediante la entrada asíncrona para puesta a cero (CLR). El reloj (C) anula la puesta a cero (CLR).

BUFFER DE SALIDA.

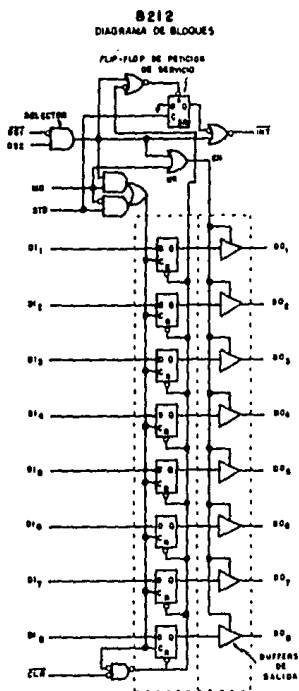
Las salidas del "Latch" de datos (Q) están conectadas a "Buffers" de salida, de 3 estados, no inversores. Estos poseen una línea común de control (EN); esta línea de control permite que el "Buffer" transmita los datos de la salida del "Latch" (Q), o bien inhabilita al "Buffer", forzando su salida al 3er. estado.

LOGICA DE CONTROL.

El 8212 posee las entradas de control DS1, DS2, MD y STB los cuales se usan para controlar la selección del dispositivo, el "Latch" de datos, el estado de los "Buffers" de salida y el biestable para la solicitud de interrupción.

MODE (MOD0).

Esta señal controla el estado del buffer de salida y determina el origen de los impulsos de reloj (C) que llegan al "Latch" de datos. Cuando MD está en 1 (Modo de salida) se habilitan los "Buffers" de salida y los impulsos de reloj provienen de la lógica de selección del dispositivo DS1 y DS2.



Cuando MD es 0 (Modo de entrada) el estado del "Buffer" de salida está determinado por la lógica de selección del dispositivo (DS1 Y DS2) y el origen de los impulsos de reloj que llegan al "Latch" de datos es la entrada STB (de impulso de frecuencia).

DS1, DS2 (SELECCION DEL DISPOSITIVO).

Cuando DS1 está en 0 y DS2 en 1, el dispositivo es seleccionado. En este estado el "Buffer" de salida está habilitado y el biestable para solicitud de servicio (SR) se activa.

STB (IMPULSO DE REFERENCIA - "STROBE").

Esta entrada se toma como reloj (C) para el "Latch" de datos en el modo de entrada (MD=0) y para la puesta a cero asincrónica del biestable de solicitud de servicio (SR). El disparo del biestable es con transición negativa.

"FLIP-FLOP" PARA SOLICITUD DE SERVICIO DE INTERRUPCIONES

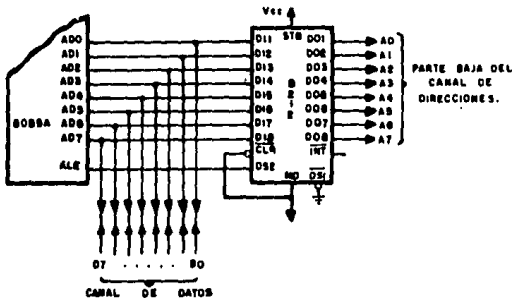
Este biestable se usa para generar y controlar interrupciones en los sistemas de microcomputadoras. Se pone a uno asincrónicamente mediante la entrada (CLR) (nivel bajo activo) y cuando el biestable está puesto en 1 indica estado de no interrupción.

La salida Q del biestable está conectada a la entrada inversora de una compuerta "NOR". La otra entrada no es inversora y queda conectada a la lógica de selección del dispositivo. La salida de la compuerta "NOR" (INT) se activa en nivel bajo (estado de interrupción) para ser conectada a la entrada de nivel bajo activo de los circuitos de generación de prioridad. Entre algunas de las aplicaciones de este dispositivo, la única que nos concierne en este momento debido a su utilización es la de "Latch" de la parte baja de la dirección.

LATCH DE DIRECCIONES DE ORDEN BAJO PARA EL 8085A.

El microprocesador 8085A usa un canal multiplexado de datos/direcciones que contiene los 5 "bits" menos significativos de la información de la dirección durante la primera parte del ciclo de máquina. El mismo canal contiene datos algún tiempo después dentro del mismo ciclo. El 8085A genera una señal de habilitación de enclavamiento de direcciones (ALE) para ser usada por el 8212 para enclavar la dirección de modo que ésta esté disponible durante el ciclo de máquina completo.

Nota: en esta configuración la entrada de modo se conecta a nivel alto, de modo que los "buffers" de salida del 8212 se mantengan activos en todo momento.



DEMULTIPLEXOR DE DATOS/DIRECCIONES

APENDICE C

2716

MEMORIA "EPROM" DE 16K (2K X 8 "BITS")

♦TIEMPO DE ACCESO RÁPIDO - 450ns. ♦BAJO DISIPACION DE POTENCIA+.
 ♦POTENCIA MAXIMA ACTIVADA - 525 md. ♦POTENCIA MAXIMA EN RESERVA -
 132 mW. ♦UTILIZA UNA SOLA TENSION DE ALIMENTACION (+5V).
 ♦ENTRADAS Y SALIDAS COMPATIBLES CON "TTL" DURANTE LA LECTURA Y
 PROGRAMACION. ♦COMPLETAMENTE ESTATICA. ♦COMPATIBLE
 COMPLETAMENTE CON EL CIRCUITO 2732.

El dispositivo 2716 es una memoria "EPROM" de 16,384 "bits" para lectura, programable eléctricamente y que es borrado con luz ultravioleta. El 2716 es además la primera "EPROM" que presenta un modo de reserva estático que reduce la potencia disipada sin aumentar el tiempo de acceso. Se reduce un 75% de la energía activa (de 525 mW a 132 md); y se pone en este modo aplicándole un "1" "TTL" a la entrada de \overline{CE} . En este modo sus salidas están en 3er. estado independientemente de la señal \overline{OE} .

2716

16K(2Kx8) UV ERASABLE PROM

SELECCION DEL MODO

MODO	TERMINALES		CE/POM	OE	Vpp	Vcc	SALIDAS
	(18)	(20)	(21)	(24)	(18-17)		
LECTURA	0	0	3V	3V	Destieg		
MODO DE RESERVA	1	X	3V	3V	Alta Z		
PROGRAMACION	0=1	1	25V	3V	Destieg		
VERIFICACION DEL PROGRAMA	0	0	25V	3V	Destieg		
IDENTIFICACION DEL PROGRAMA	0	1	25V	3V	Alta Z		

X = Irrelevante

A7	1	24	Vcc
A8	2	23	A8
A9	3	22	A9
A4	4	21	Vpp
A5	5	20	OE
A2	6	19	A10
A1	7	18	CE
A0	8	17	OE
Q0	9	16	Q8
Q1	10	15	Q8
Q8	11	14	Q4
QND	12	13	Q8

CONFIGURACION
DE
TERMINALES

NOMBRE DE LAS TERMINALES

Q0-Q7	SALIDAS
A0-A10	DIRECCIONES
CE/POM	HABILITADOR del Dispositivo/Programa
OE	HABILITADOR de SALIDAS

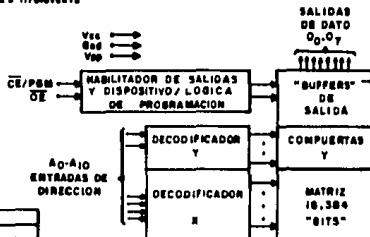


DIAGRAMA DE BLOQUES

El 2716 ofrece uno de los métodos más simples y rápidos conocidos en la actualidad para programar una "EPROM"; esto es, la programación por medio de un pulso con nivel "TTL". Se puede programar cualquier dirección en cualquier momento, sea individual, secuencial o aleatoriamente, gracias a la programación con dirección única del 2716. El tiempo que se tomaría para programarla totalmente es de solo 100 segundos.

CARACTERISTICAS DE BORRADO

Las características de borrado del 2716 son tales que el borrado comienza en cuanto se le expone a una luz de longitud de onda más corta que unos 4000 Å. Se hace notar que la luz solar y algunas lámparas fluorescentes contienen longitudes de onda de la gama de 3000 a 4000 Å. Los datos revelan que la exposición al nivel de iluminación fluorescente de una habitación borra un 2716 en aproximadamente 3 años mientras que exponiéndolo directa y constantemente a la luz del sol lo haría en 1 semana.

Debido a esto se debe colocar en lugares oscuros y tapar la pequeña ventana del dispositivo para evitar que se borre. El procedimiento recomendable para borrarlo es la exposición a una luz ultravioleta de onda corta de 2537 Amstrongs.

MODOS DE OPERACION

Los 5 modos de operación del 2716 están en el cuadro de selección de modo de la figura anterior. Se puede observar que todas las entradas de los 5 modos son niveles "TTL".

PROGRAMACION

Al comienzo o después de cada borrado, todos los "bits" del 2716 están en "1". La información se introduce programando selectivamente ceros en las posiciones deseadas. Aunque solo se programan ceros, existen unos y ceros en cada palabra de datos. La única manera de cambiar un cero a uno es borrando el dispositivo.

El dispositivo está en modo de programación cuando la fuente de alimentación conectada a Vpp suministre 25 volts y JE toma el valor de VIN. La información a programar se presenta de 8 "bits" en paralelo en las terminales de salida de datos. Los niveles necesarios para las direcciones y los datos de entrada son "TTL". No debe ser programado aplicando una señal de corriente continua a la entrada de CE.

Se puede llevar a cabo fácilmente la programación múltiple (con la misma información) de varios dispositivos como éste, conectándose en paralelo.

APENDICE D

2111A-4/2111A-4

MEMORIA ESTÁTICA DE 256 X 4 "BITS".

•ENTRADA Y SALIDA DE DATOS COMUN. •ALIMENTACION DE +5V. •SALIDAS Y ENTRADAS COMPATIBLES DIRECTAMENTE CON LOGICA "TTL". •TECNOLOGIA "MOS" ESTÁTICA. •TODAS LAS TERMINALES PROTEGIDAS CONTRA CARGAS ESTÁTICAS. •BAJO CONSUMO DE POTENCIA; TÍPICAMENTE 150 MW. •SALIDAS TRIESTADO.

El circuito integrado "2111A" es una memoria de acceso aleatorio estática de 256 datos de 4 "bits", con tecnología "NMOS". La información es leída sin modificarse y tiene la misma polaridad que la información de entrada.

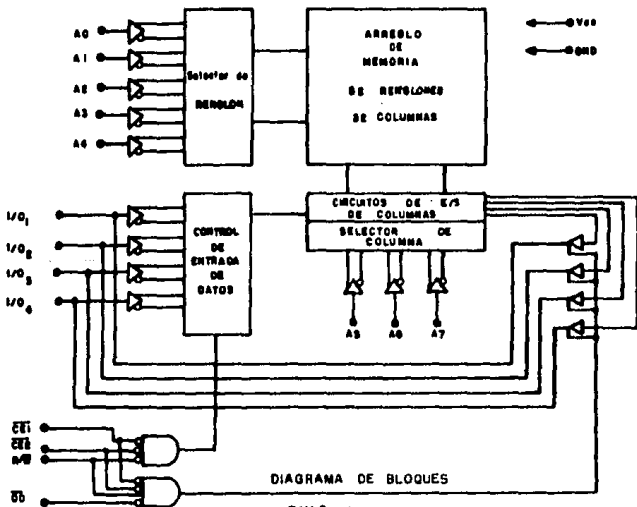


DIAGRAMA DE BLOQUES

2111A-4

MEMORIA RAM ESTÁTICA (256x4)

Es compatible directamente con dispositivos "TIL" en todos los aspectos: entradas, salidas y la alimentación de +5V. Tiene un habilitador de dispositivo por separado lo que permite la fácil selección de un paquete determinado cuando las salidas están enclavadas.

2111A-4 MEMORIA RAM ESTATICA (256x4)

CONFIGURACION DE TERMINALES

A3	1	16	Vcc
A6	2	17	A4
A1	3	18	B/W
A0	4	19	Cst
A8	6	14	I/O ₄
A8	6	13	I/O ₃
A7	7	12	I/O ₂
8nd	8	11	I/O ₁
00	9	10	CE

NOMBRE DE LAS TERMINALES

A0 - A7	Línea de Dirección
00	Habilitador de Salida
B/W	LECTURA / ESCRITURA
CE = CEs	Habilitador del Dispositivo
I/O ₁ - I/O ₄	ENTRADA/SALIDA DE DATOS
Vcc	Alimentación
0nd	Tierra

APENDICE E

8277

INTERFAZ PROGRAMABLE PARA "DISPLAY" Y TECLADO

+MANEJO SIMULTANEO DE "DISPLAY" Y TECLADO. +MODO DE RASTREO DE TECLADO. +MODO DE DETECCION POR RASTREO. +MODO DE CONTROL DE CARGA DE DATOS. +DOBLE "DISPLAY" NUMERICO DE 8, 3 UNO SENCILLO DE 16. +DESPLIEGUE SENCILLO DE 16 CARACTERES. +ENTRADA DE LOS 16 "BYTES" POR LA IZQUIERDA O POR LA DERECHA. +MODO PROGRAMABLE DESDE LA C.P.U.. +TIEMPO DE RASTREO PROGRAMABLE. +GENERACION DE INTERRUPCIONES AL DETECTAR UNA TECLA O PRIMICIA.

GENERALIDADES

El 8277 de Intel es un dispositivo de interfaz de E/S de "Display" y teclado programable de uso general. En lo que respecta al teclado, éste puede manejar una matriz de 64 teclas por medio de rastreo. También puede conectarse a un arreglo de sensores. Las señales de cada tecla pueden ser sujetas o fijadas por medio de 2 teclas de control o simplemente con el contacto de las mismas.

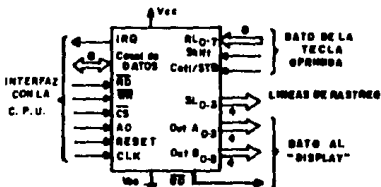
INTERFAZ DE DISPLAY Y TECLADO PROGRAMABLE

8279

RL2	1	40	Vcc
RL3	2	39	RL1
CLK	3	38	RLO
IRQ	4	37	Ctrl/STB
RL4	5	36	SHIFT
RL5	6	35	SL3
RL6	7	34	SL2
RL7	8	33	SL1
RESET	9	32	SLO
RD	10	31	OUT B0
WR	11	30	OUT B1
DB0	12	29	OUT B2
DB1	13	28	OUT B3
DB2	14	27	OUT A0
DB3	15	26	OUT A1
DB4	16	25	OUT A2
DB5	17	24	OUT A3
DB6	18	23	SD
DB7	19	22	CS
Vcc	20	21	AO

CONFIGURACION DE TERMINALES

NOMBRE DE LAS TERMINALES		
DB0-7	E/S	CANAL DE DATOS
CLK	E	RELOJ
RESET	E	Señal de Reinicialización
RV	E	Selector del Display
RD	E	LECTURA
WR	E	ESCRITURA
AO	E	DIRECCION
IRQ	S	Solicitud de Interrupción
SLO-3	S	Líneas de Rastreo
RL0-3	E	Líneas de Rastreo
SHIFT	E	Desplazamiento
Ctrl/STB	E	Control/Straps
Out A0-3	S	SALIDAS DE DATOS al Display
Out B0-3	S	PLANEADO del DISPLAY



Los caracteres de entrada del teclado son manejados por un registro de corrimiento de 3 "bits" con filosofía "FI=0" (primero en entrar - primero en salir). Si son teclados mas de 8 caracteres se enciende una bandera interna de error.

En lo que concierne al "Display", éste provee una interfaz de "Display" por medio de rastreo hacia cualquier dispositivo de despliegue ("led's"). "Display's" de segmentos numéricos o alfanuméricos, pueden ser utilizados como simples indicadores. El 8279 tiene una memoria "RAM" de despliegue de 16 x 8 la cual puede ser agrupada en 2 de 16 x 4.

Esta memoria puede ser cargada o referenciada por la C.P.U. y se pueden manejar dos opciones: la primera entrando por la derecha como se usa en las calculadoras y la segunda entrando por la izquierda como si fuera una máquina de escribir. La escritura y lectura de dicha memoria de despliegue puede hacerse autoincrementando la dirección de la memoria "RAM".

DESCRIPCION DE TERMINALES

El 8279 es un circuito integrado formado por 4) terminales. A continuación se dará una breve descripción de las terminales.

D80-067

Canal bidireccional de 8 líneas de datos. La comunicación de datos entre la C.P.U. y el 8279 es por medio de este canal.

RELOJ (CLK)

Reloj del sistema utilizado para generar los tiempos internos.

SEÑAL DE REINICIALIZACION ("RESET")

Un 1 en esta terminal reinicializa al 8279. Después de haber sido reinicializado se coloca en el siguiente modo: modo de entrada por la izquierda con 16 caracteres de 8 "bits" y teclado con rastreo codificado por medio de las 2 teclas de control. Junto con esto, el contador de reloj es fijado en 31.

SELECTOR DEL DISPOSITIVO (\overline{CS})

Un 0 en esta entrada habilita al dispositivo para transmitir o recibir datos de la C.P.U..

A0

Un 1 en esta línea indica que las señales que entran o salen son interpretadas como una señal de estado o comando. Un 0 indica que es un dato.

LECTURA - ESCRITURA (\overline{RD} , \overline{WR})

Entrada de lectura y escritura. Estas señales habilitan al "Buffer" de datos para mandar o recibir datos del canal externo.

SOLICITUD DE INTERRUPCION (IRQ)

Esta salida es 1 cuando hay datos en la memoria "RAM" del dispositivo.

SL0-SL3 ("SCANNING LINES")

Líneas de rastreo utilizadas para buscar la tecla oprimida y el "Display" correspondiente. Estas líneas pueden ser codificadas 1 de 16 o decodificadas 1 de 4.

RL0-RL7 ("RETURN LINES")

Líneas de regreso las cuales se conectan a las líneas de rastreo a través de las teclas. Tienen conectadas internamente "Pull-Ups" para mantenerlas deshabilitadas hasta que una tecla sea oprimida. Sirven también como una entrada de 8 "bits" en el modo de entrada de control de carga de datos.

DESPLAZAMIENTO ("SHIFT")

Tecla que tiene como finalidad manejar 2 señales en la misma tecla dependiendo de si está activada o no.

CNTL/STB

Para modo de teclado esta línea es usada como línea de control. En el modo de entrada de control, esta línea permite la carga de datos en la memoria del dispositivo.

SALIDAS A0-A3, B0-B3

Estos dos puertos son las salidas de las señales de refresco al "Display". Los datos de estas salidas están sincronizados con las líneas de rastreo (SL0-SL3) para los "Display's" que están multiplexados. Además los 4 "bits" de los 2 puertos pueden ser borrados independientemente. Los 2 puertos pueden ser configurados como uno solo de 8 "bits".

BD (BORRADO DE "DISPLAY")

Esta salida se utiliza para borrar el "Display" durante el switchero de las teclas.

Vcc, Vss

Terminales de alimentación y tierra.

PRINCIPIOS DE OPERACION

CONTROL DE ENTRADA/SALIDA Y "BUFFER" DE DATOS

La sección de control de entrada/salida utiliza las señales CS, AO, RD y WR para el control del flujo de datos hacia o desde los diversos "Buffers" y Registros. Toda la información desde o hacia el dispositivo es habilitada por medio del CS. El caracter dado o requerido por la C.P.U. es reconocido por AO. Un 1 lógico significa que la información es un comando o un estado. Un 0 significa que es un dato. RD y WR determinan la dirección de manejo de datos através de los "Buffers" de datos. Estos "Buffers" son bidireccionales. Cuando el dispositivo no es habilitado (CS = 1), éste se encuentra en 3er. estado. La entrada ocurre mientras tengamos las señales de WR y CS y la salida ocurrirá con RD y CS.

REGISTROS DE CONTROL Y TIEMPO

Estos registros aleacionan los modos de teclado y "Display" o alguna condición de operación programada por la C.P.U. Los modos son programados presentando el comando propio en las líneas de dato con AO = 1 y luego mandando una señal de WR.

DESCRIPCION DE FUNCIONAMIENTO

El 8279 consta de 2 partes: "Display" y teclado. La 1a. consta de "Display's" alfanuméricos o bancos de luces. La 2da. puede interconectarse con un teclado normal de máquina de escribir o con un arreglo de interruptores. De esta manera la C.P.U. es relevada de rastrear al teclado o refrescar el "Display". La C.P.U. puede programar todos los modos de operación del 8279 que son:

Modos de entrada:

Teclado con barrido.-Con codificación de líneas de barrido de 8 x 8 o decodificadas de 4 x 8 líneas de rastreo. Una tecla oprimida genera una codificación de 6 "bits" por cada tecla. Las señales de posición, desplazamiento, y control de estado son almacenadas en el "FIFO".

SD (BCRRAD: DE "DISPLAY")

Esta salida se utiliza para borrar el "Display" durante el switchero de las teclas.

Vcc, Vss

Terminales de alimentación y tierra.

PRINCIPIOS DE OPERACION

CONTROL DE ENTRADA/SALIDA Y "BUFFER" DE DATOS

La sección de control de entrada/salida utiliza las señales CS, AG, RD y WR para el control del flujo de datos hacia o desde los diversos "buffers" y Registros. Toda la información desde o hacia el dispositivo es habilitada por medio del CS. El carácter dado o requerido por la C.P.U. es reconocido por AG. Un 1 lógico significa que la información es un comando o un estado. Un 0 significa que es un dato. RD y WR determinan la dirección de manejo de datos através de los "Buffers" de datos. Estos "Buffers" son bidireccionales. Cuando el dispositivo no es habilitado (CS = 1), éste se encuentra en 3er. estado. La entrada ocurre mientras tengamos las señales de WR y CS y la salida ocurrirá con RD y CS.

REGISTROS DE CONTROL Y TIEMPO

Estos registros almacenan los modos de teclado y "Display" o alguna condición de operación programada por la C.P.U. Los modos son programados presentando el comando propio en las líneas de dato con AO = 1 y luego mandando una señal de WR.

DESCRIPCION DE FUNCIONAMIENTO

El 8279 consta de 2 partes: "Display" y teclado. La 1a. consta de "Display"s alfanuméricos o bancos de luces. La 2da. puede interconectarse con un teclado normal de máquina de escribir o con un arreglo de interruptores. De esta manera la C.P.U. es relevada de rastrear el teclado o refrescar el "Display". La C.P.U. puede programar todos los modos de operación del 8279 que son:

Modos de entrada:

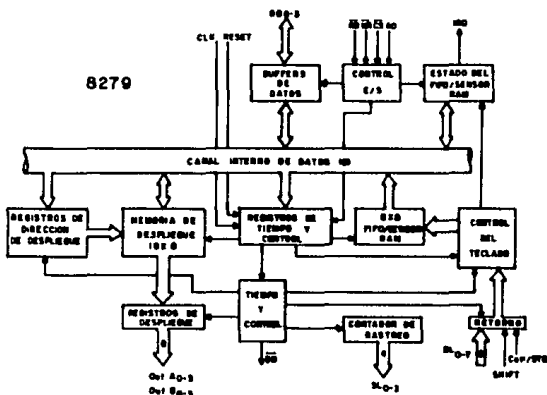
Teclado con barrido.-Con codificación de líneas de barrido de 8 x 8 o decodificadas de 4 a 8 líneas de rastreo. Una tecla oprimida genera una codificación de 6 "bits" por cada tecla. Las señales de posición, desplazamiento, y control de estado son almacenadas en el "FIFO".

Matriz sensora de barrido.-Con líneas de barrido codificadas en forma matricial de "switches" de 9 x 8 o decodificadas en forma matricial de "switches" de 4 x 8. El estado de la tecla (abierta o cerrada) es almacenado en la "RAM" direccionada por la C.P.U.

Entrada de control de carga de datos.-Los datos en las líneas de regreso durante el control de carga de datos son transferidos al "FIFO".

Modos de salida:

"Display"s multiplexados de 8 ó 16 caracteres, que pueden ser trabajados como uno doble de 8 "bits" o uno sencillo de 16 "bits" y posee dos formatos: entrada por la izquierda o por la derecha.



ORGANIZACION INTERNA

El comando es entonces decodificado y la función apropiada es fijada. El control de tiempo contiene la cadena de conteo de tiempo base. El primer contador es un divisor entre N que puede ser programado para proporcionar una frecuencia interna de 100 KHz; el cual da un tiempo de barrido del teclado de 5.1 mseg. y 10.3 mseg. de tiempo de rebote.

El resto de los contadores dividen hacia abajo la frecuencia interna básica de manejo para proveer el rastreo propio de las teclas, rastreo de columnas, rastreo de la matriz del teclado y los tiempos de barrido del "Display".

CONTADOR DE RASTREO

Este puede trabajar en dos modos diferentes. En el modo codificado el contador provee una cuenta binaria que debe ser decodificada externamente de modo que dé las líneas de rastreo para el "Display" y el teclado. En modo decodificado el contador decodifica los 2 "bits" menos significativos y provee un rastreo "1 de 4" decodificado. Nótese que cuando el teclado se encuentra en modo de rastreo decodificado, el "Display" también lo está. Esto significa que solo los 4 primeros caracteres en la memoria "RAM" serán desplegados.

En el modo codificado, las líneas de rastreo son líneas de salida activas con "1", mientras que en modo decodificado están en "0".

"BUFFERS" DE RETORNO, REBOTE DEL TECLADO Y CONTROL

Las 8 líneas de retorno son amplificadas y almacenadas por los "Buffers" de retorno. En modo de teclado, estas líneas son rastreadas, de tal forma que se encuentre la tecla que haya sido oprimida. Si el circuito de rebote ("Debounce") detecta un "switch" cerrado, éste espera cerca de 10 mseg. para checar si aún sigue cerrado. Si lo está, se transfieren la dirección de la tecla, y el estado de "Shift" y "Control" hacia el "FIFO".

En modo de matriz con sensores, el contenido de las líneas de retorno son transferidas a la correspondiente fila de la matriz "RAM" ("FIFO") con cada rastreo de tecla. En modo de entrada con carga de datos ("strobe mode") el contenido de las líneas de retorno es transferido al "FIFO" en la transición positiva de la línea CNTL/STB.

"FIFO"/MEMORIA "RAM" CON SENSORES Y ESTADO

Este bloque es una memoria "RAM" de doble función. En modo de teclado y de entrada con carga de datos es un registro de corrimiento con filosofía "FIFO". Cada nueva entrada es escrita en forma consecutiva y entonces leída en orden progresivo, de caracteres que entran al "FIFO" y sabe cuando está lleno o cuando está vacío. Demasiadas lecturas o escrituras serían reconocidas como un error.

El "estado" puede ser leído con \overline{RD} y \overline{CS} en 0 y A0 en 1. La lógica de estado provee también la señal IRQ cuando el "FIFO" no está vacío.

En modo de matriz con sensores, la memoria es una memoria con sensores. Cada fila de la matriz es cargada con el estado de la correspondiente fila de sensores de la matriz. En este modo, IRQ es "1" si es detectado un cambio.

REGISTROS DE DIRECCION DE DESPLIEGUE Y MEMORIA "RAM" DE DESPLIEGUE

Estos mantienen la dirección de la palabra escrita o leída por la C.P.U. y los 2 "NIBBLES" desplegados. Las direcciones de lectura y escritura son programados por un comando desde la C.P.U. Pueden ser utilizado también para autoincrementar después de cada lectura o escritura. La memoria "RAM" de despliegue puede ser leída directamente por la C.P.U. después de ser fijados el modo y la dirección. Las direcciones para los "NIBBLES" A y B son actualizados automáticamente por el 8279 para guardar datos por la C.P.U. Estos "NIBBLES" pueden ser introducidos independientemente o como una sola palabra, dependiendo del modo fijado por la C.P.U. La información de los "Display"s puede ser introducida por la derecha o por la izquierda.

OPERACION POR "SOFTWARE"

COMANDOS D: L 8279

Los siguientes comandos son enviados por el canal de datos con el selector del dispositivo (CS) y WR en 0 y A0 en 1.

FIJACION DEL MODO DE TECLADO Y "DISPLAY"

CODIGO	0	0	0	0	K	K	K
	3+5				8-5		

Donde: DD es el modo de despliegue
 KKK es el modo de teclado

D D

0 0 Despliegue de 8 caracteres con entrada por la izquierda
 0 1 Despliegue de 16 caracteres (de 8 "bits") con
 entrada por la izquierda
 1 0 Despliegue de 8 caracteres con entrada por la derecha
 1 1 16 caracteres (de 8 "bits") a desplegar por la derecha

K K K

0 0 0 Codificación del rastreo de teclado - dos teclas
 a presionar
 0 0 1 Decodificación del rastreo de teclado - dos teclas
 a presionar
 0 1 0 Codificación del rastreo de teclado - n teclas
 a presionar
 0 1 1 Decodificación del rastreo de teclado - n teclas
 a presionar
 1 0 0 Codificación de rastreo para teclado matricial
 1 0 1 Decodificación de rastreo para teclado matricial
 1 1 0 Habilitación de entrada, codificación para rastreo
 de "Display"
 1 1 1 Habilitación de entrada, decodificación para rastreo
 de "Display"

PROGRAMACION DEL RELOJ

CODIGO 0 0 1 P P P P P

Todas las señales de tiempo y las señales multiplexadas para el 8279 son generadas por un divisor interno. Este divide la frecuencia de entrada de reloj entre un número entero de 2 a 31. Los "bits" P P P P P determinan el valor de este número entero.

LECTURA DEL "FIFO/SENSOR" DE LA MEMORIA "RAM"

CODIGO 0 1 0 AI X A A A

La C.P.U. envía este comando para leer la memoria "RAM/FIFO". El modo de rastreo de teclado, la bandera de autoincremento (AI) y los "bits" de dirección de la "RAM" (AAA) son irrelevantes. El 8279 automáticamente maneja el canal de datos para cada lectura subsecuente (AO = 0) en la misma secuencia con la cuál el dato fué introducido en el "FIFO". Todas las lecturas subsecuentes serán tomadas del "FIFO" hasta que otro comando sea enviado.

En el modo de teclado matricial los "bits" de dirección de la "RAM" AAA seleccionan una de las 8 columnas del teclado matricial. Si la bandera AI está en 1 cada lectura sucesiva será de la siguiente fila del sensor de la memoria "RAM".

LECTURA DE LA MEMORIA 'RAM' DE DESPLIEGUE.

CODIGO 0 1 0 AI A A A A A

La C.P.U envía este comando para leer de la memoria de despliegue. Los "bits" de dirección AAAA seleccionan una de las 16 filas de esta memoria.

Si la bandera AI = 1, esta dirección de la fila será incrementada después de la siguiente lectura o escritura. Debido a que el mismo contador es utilizado para lectura y escritura este comando coloca la siguiente dirección de escritura o lectura y el modo de autoincremento para ambas operaciones.

MEMORIA DE ESCRITURA EN LA MEMORIA DE DESPLIEGUE

CODIGO 1 0 0 AI A A A A

Después de que se manda el comando de escritura con AI = 1 hacia las operaciones de escritura subsiguientes con AI = 0 serán hacia la memoria de despliegue. Las funciones de direccionamiento y autoincremento son idénticas para las lecturas hacia la memoria "RAM", sin embargo este comando no afecta las lecturas de datos subsiguientes.

INHIBICION/BLANQUEO DE LA MEMORIA DE ESCRITURA DEL "DISPLAY"

CODIGO 1 0 1 X IW IW BL AI

Los "bits" de IW puede ser utilizados para mascarar los datos de 4 "bits" A y E en aplicaciones que requieren puertos separados de 4 "bits". Al encender la bandera de IW para uno de estos puertos, el puerto indicado tendrá acceso a la "RAM" del "Display" por que la C.P.U. no afectará a ese puerto. De esta manera si cada dato de 4 "bits" es una entrada a un decodificador de "BCD" la C.P.U. puede escribir un dígito en la "RAM" de la memoria del "Display", sin afectar al otro dígito que se encuentra desplegado. Es importante hacer notar que el "bit" 30 corresponde al "bit" 00 del canal de la C.P.U. y el "bit" A3 corresponde al 07.

Si el usuario desea bloquear el "Display", la bandera de BL se encuentra disponible para cada dato de 4 "bits". El último comando de BLANQUEO ("CLEAR") determina el código a ser usado como un blanco. Este código después de un "RESET" asume todo en cero. Nótese que las banderas de BL deben estar encendidas para blanquear un formato con un solo puerto de 4 "bits".

CLEAR (BLANQUEO)

CODIGO 1 1 0 CD CD CD CF CA

Los "bits" de CD están disponibles en este comando para blanquear todas las filas de la memoria "RAM" del "Display" y para seleccionar un código de blanqueo de acuerdo a la siguiente tabla:

CD	CD	CD	
0	X		TODO CERO (X = IRRELEVANTE)
1	0		AE = HEX 20 (C010 0C0C)
1	1		TOCOS UNJS

←-- CD = habilitador de blanqueo del "Display" cuando as = 0 y cuando CA = 1.

Si el "bit" CF es recibido en 1, el estado del "FIFO" es blanqueado y una línea de salida de interrupción es inicializada. Así mismo, el sensor de la memoria se posiciona en la fila 0.

CA es el "bit" de "todos en blanco" y tiene el efecto de CB y CF; éste usa el código de blanqueo de CD de la memoria "RAM" y blanquea el estado del "FIFO", posteriormente resincroniza la cadena de tiempos interna.

FINAL DE INTERRUPCION/MODO DE ERROR ENCENDIDO

COOIGG 1 1 1 E X X X X

X = Irrelevante

Para los modos de teclado matricial, este comando coloca en cero la línea de IRQ y habilita la escritura dentro de la "RAM" (la línea de IRQ deberá tener un valor positivo para que pueda detectarse el cambio).

PALABRA DE ESTADO

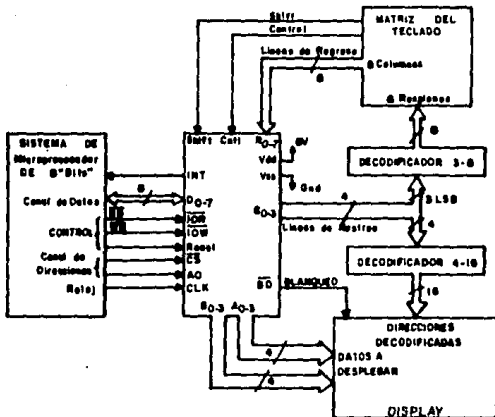
La palabra de estado contiene el estado del "FIFO", errores y las señales del "Display" no disponibles. Esta palabra es leída por la C.P.U. cuando AO = 1 y las señales de CS y RD están en 0.

LECTURA DE DATOS

Los datos son leídos cuando AO, CS y RD están en cero. La fuente de datos es especificada por los comandos de lectura del "FIFO" o lectura del "Display". La transición negativa de RD causará que la dirección de la "RAM" que acaba de ser leída sea incrementada si la bandera de autoincremento está en 1. Las lecturas al "FIFO" siempre la incrementan independientemente de AI si es que no ocurre un error.

ESCRITURA DE DATOS

Los datos siempre son escritos en la memoria del "Display" cuando AO, CS y WR están en 0. La dirección es especificada por comandos de lectura o escritura al "Display". El autoincremento en la transición positiva de la señal de WR ocurre si AI está habilitada después del último comando recibido.



CONTROLADOR DE DISPLAY Y TECLADO

ESTADO DEL "FIFO"

El estado en el "FIFO" es usado en el modo de teclado para la carga de datos indicando el número de caracteres en el "FIFO" y cuando ocurre un error. Existen 2 posibles errores: cuando se excede o cuando está vacío.

Esta palabra de estado tiene también un "bit" que indica si la memoria no está disponible al estar ejecutándose un blanqueo. En modo "sensor de matriz" un bit es fijado en la palabra de control para indicar que al menos existe el cierre de algún sensor.

En el modo espacial de error, el "bit" S/E muestra la bandera de error como una indicación de cuando existe un cierre simultáneo de múltiples sensores.

PALABRA DE ESTADO DEL "FIFO"

DU S/E 0 U F N N

Donde:

DU Indica "Display" no disponible
 S/E Sensor de error múltiple
 0 "FIFO" excedido
 U Vacío
 F "FIFO" lleno
 N Número de caracteres en el "FI-C"

APENDICE F

8255A

INTERFIZ EMBIBICA PROGRAMABLE.

+VEINTICUATRO TERMINALES DE ENTRADA/SALIDA PROGRAMABLES.
 +COMPATIBLE CON LOGICA "TTL". +COMPATIBLE CON LA FAMILIA DE MICROPROCESADORES DE INTEL. +MEJORES CARACTERISTICAS DE TIEMPO.
 +ENCAPSULADO DE 40 TERMINALES.

DESCRIPCION GENERAL

El 8255A de Intel es un dispositivo de E/S programable de propósito general que se utiliza con microprocesadores de la Compañía Intel. Tiene 24 terminales de E/S que pueden ser programadas individualmente en 2 grupos de 12 y en 3 modos principales de operación. En el primer modo (Modo 0), las 24 terminales pueden ser programadas en 4 grupos, pudiendo ser entradas o salidas. En el Modo 1, cada grupo puede ser programado para tener 8 líneas de entrada o salida; las 4 terminales restantes son utilizadas como señales de control. El Modo 2 es un modo de canal bidireccional, el cual utiliza 8 líneas como un canal bidireccional y 5 líneas para control, de las cuales toma una del otro grupo. Los 3 modos descritos anteriormente son programados por medio de "Software", evitándose así utilizar una lógica externa.

NOMBRE DE LAS TERMINALES

GT-DO	CANAL DE DATOS
RESET	Señal de Reinicio/Reseteo
SI	Señal del Chip/Chip
RD	LECTURA
WR	ESCRITURA
AD-A1	Direccion del Puerto
PAT-PA0	Puerto A (8bits)
PBT-PB0	Puerto B (8bits)
PCT-PC0	Puerto C (8bits)
Vcc	Alimentacion (5V)
Gnd	Referencia (Tierra)

PAS	1	40	PAA
PAB	2	39	PAS
PAI	3	38	PAB
PAO	4	37	PAT
RD	5	36	WR
CS	6	35	RESET
DMB	7	34	DO
A1	8	33	D1
A0	9	32	D2
PC7	10	31	D3
PC6	11	30	D4
PC5	12	29	D5
PC4	13	28	D6
PC0	14	27	D7
PC1	15	26	Vcc
PC2	16	25	PB7
PC3	17	24	PB6
PB0	18	23	PB5
PB1	19	22	PB4
PB2	20	21	PB3

"BUFFER" DEL CANAL DE DATOS

Este "buffer" de 8 "bits" de 3 estados, bidireccional es usado para interconectar el 8255A con el canal de datos del sistema.

SENALES DE CONTROL Y $\overline{RD}/\overline{WR}$.

La función de este bloque es la de manejar todas las señales de transferencia de información (externas/internas) y las palabras de control o estado. Estas señales de control son generadas por la C.P.U..

 \overline{CS} (SELECTOR).

Por medio de esta entrada (en J) se habilita la comunicación entre la C.P.U. y el 8255A.

 \overline{RG} (LECTURA).

Un 0 en esta entrada permite a la C.P.U. "leer desde" el 8255A.

 \overline{WR} (ESCRITURA).

Con un 0 en esta entrada la C.P.U. puede escribir datos o palabras de control en el dispositivo.

SELECCION DE LOS PUERTOS CERD Y UND. (A0 - A1)

Estas señales de entrada en conjunto con las señales de \overline{RD} y \overline{WR} , controlan la selección de uno de los 3 puertos o los registros de la palabra de control. Estos están normalmente conectados a los "bits" menos significativos del canal de dirección A0 y A1.

Nota: Estas direcciones pueden tomarse de A8 y A9, ya que el microprocesador repite la misma información en la parte baja y alta de la dirección cuando realiza accesos a puertos de E/S.

OPERACION BASICA DEL 8255A.

A1	AC	\overline{RD}	\overline{WR}	\overline{CS}	ENTRADA (LECTURA)
0	0	0	1	0	PUERTO A = CANAL DE DATOS
0	1	0	1	0	PUERTO B = CANAL DE DATOS
1	0	0	1	0	PUERTO C = CANAL DE DATOS SALIDA (ESCRITURA)
0	0	1	0	0	CANAL DE DATOS = PUERTO A
0	1	1	0	0	CANAL DE DATOS = PUERTO B
1	0	1	0	0	CANAL DE DATOS = PUERTO C
1	1	1	0	0	CANAL DE DATOS = CONTROL FUNCIONES INVALIDAS
X	X	X	X	1	CANAL DE DATOS = 3ER. ESTADO
1	1	0	1	0	CONDICION LEGAL
X	X	1	1	0	CANAL DE DATOS = 3ER. ESTADO

"RESET".

Un 1 en esta entrada borra el registro de control y todos los puertos (A, B y C) se habilitan en modo de entrada.

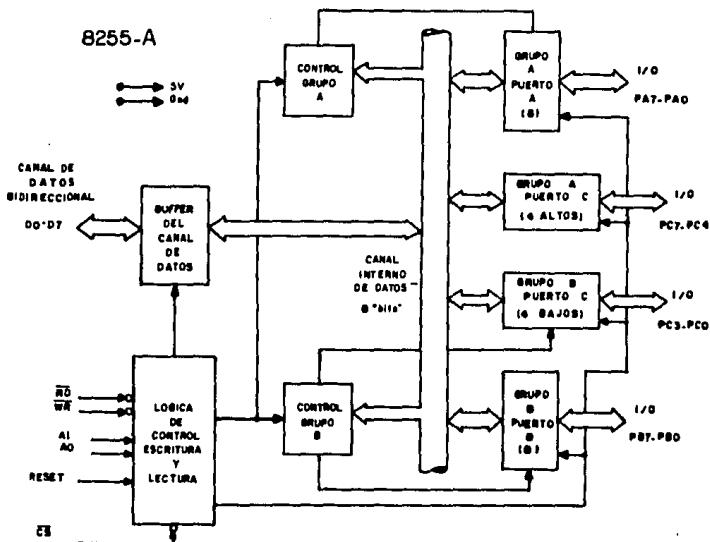
CONTROLES DEL GRUPO A Y B.

Básicamente la C.P.U. manda una palabra de control al 8255A. Esta palabra contiene información tal como Modo, "bits Set", "bit Reset", etc., la cual inicializa la configuración de funcionamiento del 8255A. Cada uno de los bloques de control (grupo A y grupo B), acepta comandos de la lógica de control de \overline{RD} y \overline{WR} . Recibe las palabras de control del canal interno de datos y manda los comandos respectivos a cada puerto.

Control del grupo A - Puerto A y los "bits" más significativos del puerto C (PC7 - PC4). Control del grupo B y los "bits" menos significativos del puerto C (PC3 - PC0). El registro de la palabra de control puede ser escrito ÚNICAMENTE.

PUERTOS A, B Y C.

El 8255A contiene 3 puertos de 8 "bits" cada uno. Estos pueden ser configurados con diversas características de operación, las cuales pueden ser dadas por la programación del sistema ("Software"), teniendo cada uno sus características propias.



PUERTO A.

Un "Latch/Buffer" de salida de datos de 8 "bits" y un "Latch" de entrada de 8 "bits".

PUERTO B.

Un "Latch/Buffer" de entrada/salida de datos de 8 "bits" y un "Buffer" de datos de entrada de 8 "bits".

PUERTO C.

Un "Latch/Buffer" de salida de datos de 8 "bits" y un "Buffer" de entrada de datos de 8 "bits" (no se requiere un "Latch" para la entrada). Este puede ser dividido en 2 puertos de 4 "bits" cada uno, dependiendo del modo de control. Cada puerto de 4 "bits" contiene un "Latch" de 4 "bits", y puede ser utilizado para las salidas de las señales de control y de estado junto con los puertos A y B.

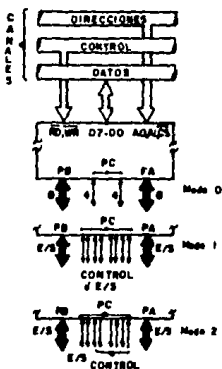
DESCRIPCION BREVE DE LOS MODOS DE SELECCION

Existen 3 modos básicos de operación que pueden ser seleccionados por el "Software" del sistema.

MODO 0 - Entrada/Salida.

MODO 1 - Control de carga de datos de Entrada/Salida.

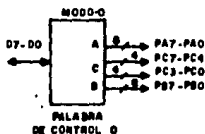
MODO 2 - Canal bidireccional.



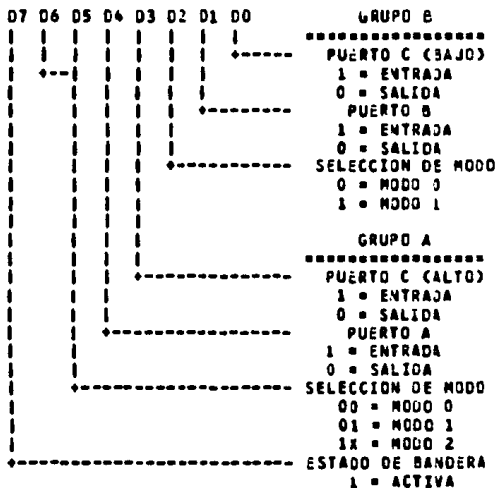
DEFINICION DE LOS DIVERSOS MODOS

Cuando la señal de "Reset" es 1, todos los puertos se habilitan en modo de entrada, por lo tanto las 24 líneas estarán en 3er. estado. Después de que esta señal es suprimida, el 8255A se mantiene en el modo de entrada con ningún requerimiento adicional de inicialización. Durante la ejecución del programa del sistema, ninguno de los otros modos puede ser seleccionado usando una simple instrucción de salida. Con esto el 8255 puede dar servicio a diversos dispositivos periféricos con una simple rutina de servicio.

Los modos para el puerto A y B pueden ser definidos independientemente, mientras que el puerto C es dividido en 2 partes, según se haya definido por medio de los puertos A y B. Todos los registros de salida, incluyendo el "Flip-Flop" de estado, serán reinicializados aunque el modo sea modificado.



FORMATO DE LA PALABRA DE CONTROL

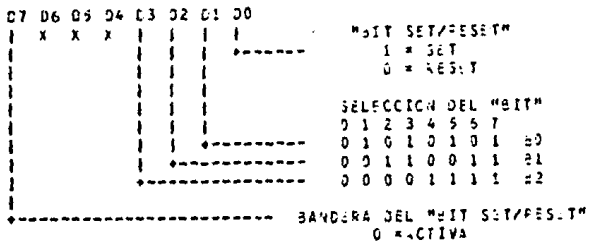


CARACTERISTICA DEL "BIT SET/RESET"

Cualquiera de los 8 "bits" del Puerto C puede ser "Set" o "Reset" usando una simple instrucción de salida (OUT). Esta característica reduce requerimientos de "Software" en aplicaciones de control.

Cuando el Puerto C ha sido usado como de control/estado por los Puertos A y B, estos "bits" pueden "SET" o "RESET" por la operación del "bit Set/Reset" solo como si fueran puertos de salida de datos.

PALABRA DE CONTROL



X = IRRELEVANTE

APENDICE G

8253

CIRCUITO DE TIEMPO PROGRAMABLE

- +DIVERSOS MODOS PROGRAMABLES DE CONTEO. +CD FAST: DE 2 MHZ.
- +CUENTA BINARIA O "3CO". +ALIMENTACION DE +5 VCLTS. +ENCAPSULADO DE 24 TERMINALES.

El 8253 de Intel es un "Timer"/contador programable. Utiliza tecnología "NMOS". Está formado por 3 contadores independientes de 16 "bits", cada uno con una razón de conteo de hasta 2 MHz. Todos los modos de operación son manejados por "Software".

DESCRIPCION DE FUNCIONAMIENTO

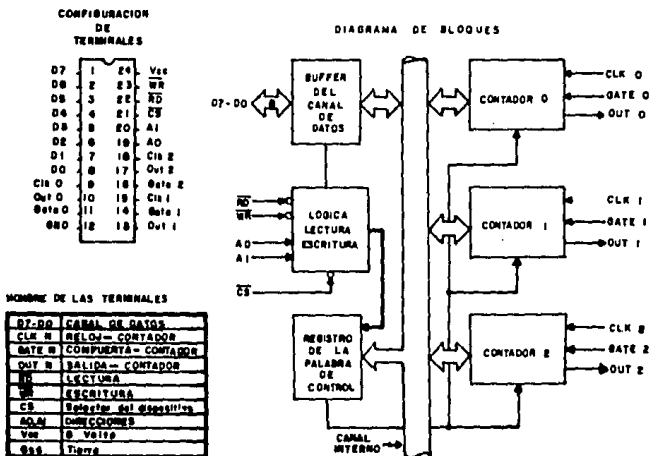
Este puede ser manejado como un arreglo de puertos de E/S dentro de la programación del sistema. Este resuelve uno de los mayores problemas en microcomputadores: la generación de tiempos de retraso pero con control por "Software". En lugar de colocar ciclos de retraso en el programa del sistema, el programador configura a este dispositivo según sus necesidades.

Inicializa uno de los contadores con la cantidad deseada, luego por comando se llevará un conteo de retraso que interrumpirá a la C.P.U. cuando éste haya terminado sus tareas.

Es fácil observar que el empleo de "Software" es mínimo y que múltiples retrasos pueden ser manejados con el simple hecho de asignar niveles de prioridad. Además puede utilizarse como un circuito de reloj con tiempo real.

BUFFER DEL CANAL DE DATOS

Este "Buffer" de 8 "bits" bidireccional de 3 estados es utilizado para interconectar a este dispositivo con el canal de datos del sistema. La información es recibida por ejecución de instrucciones de entrada o salida de la C.P.U.. Básicamente tiene 3 funciones: Programación de los modos del 8253, Carga de los registros de conteo y Lectura de los valores de conteo.



8253 - TIMER PROGRAMABLE

LOGICA LECTURA/ESCRITURA

Esta lógica acepta entradas del canal del sistema y genera las señales de control para la operación del dispositivo. Es habilitado o deshabilitado por medio del selector del dispositivo (CS), de tal forma que no ocurra un cambio en su funcionamiento e menos que su entrada de control ("Gate") sea seleccionada por la lógica del sistema.

LECTURA (\overline{RD})

Con un 0 en esta entrada la C.P.U. sabe que el 8253 está introduciendo información para ser tomada como valor para el contador.

ESCRITURA (\overline{WR})

Un 0 en esta entrada indica que la C.F.U. está sacando información de que está inicializando los contadores.

AO, A1

Estas señales están conectadas al canal de direcciones. Su función es la de seleccionar uno de los tres contadores a utilizarse y la de direccionar el registro de la palabra de control que selecciona el modo de operación.

SELECTOR DEL DISPOSITIVO (\overline{CS})

Un cero en esta entrada habilita al dispositivo. No habrá lectura o escritura si este dispositivo no está activado. Este selector no tiene ningún efecto sobre la operación misma de los contadores.

\overline{CS}	\overline{RD}	\overline{WR}	A1	AO	
0	1	0	0	0	Carga del contador 0
0	1	0	0	1	Carga del contador 1
0	1	0	1	0	Carga del contador 2
0	1	0	1	1	Palabra del modo de escritura
0	0	1	0	0	Lectura del contador 0
0	0	1	0	1	Lectura del contador 1
0	0	1	1	0	Lectura del contador 2
0	0	1	1	1	En tercer estado
1	x	x	x	x	En tercer estado, deshabilitado
0	1	x	x	x	En tercer estado, inactivo

x = Irrelevante

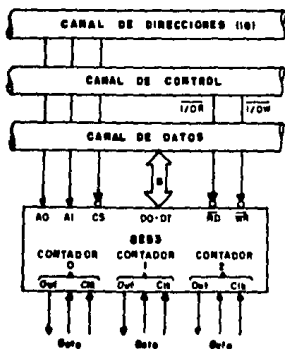
FORMATO DE LA PALABRA DE CONTROL

Este es seleccionado cuando AO y A1 son unos. Entonces aceptará información del "buffer" del canal de datos y lo almacenará en un registro. Esta información almacenada controla los modos de operación de cada contador, la selección de cuenta binaria o "BCD" y la carga de cada registro de conteo. Este registro solo puede ser escrito.

CONTADOR 0, 1 Y 2

Estos tres bloques son idénticos en operación por lo que se describirá solo uno de ellos. Cada uno contiene un contador descendente prefijado de 16 "bits" que puede trabajar en forma binaria o "BCD" y su entrada y salida son configurados para la selección de los modos de almacenamiento en el registro de la palabra de control. Los contadores son independientes completamente y pueden tener una configuración diferente. La lectura del contenido de cada contador es posible con una simple operación de lectura dada por el programador que pueda hacerse en el aire sin tener que recibir la señal de reloj.

SISTEMA DE INTERCONEXION DEL DISPOSITIVO



Este dispositivo es manejado por la programación del sistema como un arreglo de puertos periféricos de E/S. Tras son contadores y el último es el registro de control para programar el modo. El selector (CS) proviene de la salida de un decodificador.

DESCRIPCION DE FUNCIONAMIENTO

Las palabras de control deben provenir de la C.P.U. para inicializar cada contador con el modo deseado. Estas programan el modo, la secuencia de carga y el modo de conteo. Una vez programado puede realizar cualquier tarea que se le haya sido asignada.

PROGRAMACION

Todos los modos en que cada contador puede trabajar son programados por simples operaciones de entrada o salida. Cada contador es programado individualmente por medio de una palabra de control asignada en el registro de la palabra de control.

FORMATO DE LA PALABRA DE CONTROL

D7 D6 D5 D4 D3 D2 D1 D0
 SC1 SC0 RL1 RL0 M2 M1 M0 JCD

SC - SELECTOR DEL CONTADOR

SC1	SC0	
0	0	CONTADOR 0
0	1	CONTADOR 1
1	0	CONTADOR 2
1	1	ILEGAL

RL - LECTURA/CARGA

RL1	RL0	
0	0	Operacion del contador con "latches"
1	0	Lectura/carga del "byte" mas significativo solamente
0	1	Lectura/carga del "byte" menos significativo solamente
1	1	Lectura/carga primero del "byte" mas significativo y luego el menos significativo

M - MODO

M2	M1	M0	
0	0	0	MOD0 0
0	0	1	MOD0 1
X	1	0	MOD0 2
X	1	1	MOD0 3
1	0	0	MOD0 4
1	0	1	MOD0 5

JCD

0 CONTADOR BINARIO DE 16 "BITS"
 1 CONTADOR CODIFICADO EN BINARIO (dCD)

CARGA DEL CONTADOR

El registro de conteo no es cargado hasta que el valor de la cuenta es escrito (1 ó 2 "bytes") dependiendo del Modo seleccionado por los "bits" RL seguido por un ciclo completo de reloj. Cualquier lectura del contador anterior a la transición negativa del reloj será una información inválida.

Como se pudo ver, este dispositivo puede trabajar de 6 Modos diferentes que son:

- Modo 0.-Interrupción al finalizar el conteo.
- Modo 1.-Disparo programable.
- Modo 2.-Generador de frecuencia para transmisión de datos.
- Modo 3.-Generador de onda cuadrada.
- Modo 4.-Señal de control generada por programa.
- Modo 5.-Señal de control generada físicamente.

En este proyecto se utilizó este dispositivo en Modo 2, por lo que solo éste se describirá.

MODO 2: GENERADOR DE FRECUENCIA

Contador divisor entre N. La salida será 0 por un periodo de reloj de entrada. El periodo entre un pulso de salida y otro, iguala al número de cuenta de entrada en el registro de conteo. Si se recarga el registro durante la salida de pulsos en el presente periodo no se verá afectado pero el siguiente periodo tomará el nuevo valor.

La entrada de la compuerta en 0 forzará a la salida un 1. Cuando la entrada de la compuerta es 1, el contador iniciará la cuenta final. De esta manera la entrada a la compuerta puede ser utilizada para sincronizar el contador. Cuando se fija este modo, la salida permanecerá en 1 solo hasta que el registro de conteo sea cargado. La salida puede ser sincronizada por programación.

PROCEDIMIENTO DE ESCRITURA/LECTURA

ESCRITURA

El programador debe escribir sobre el dispositivo una palabra de control de modo y el número de "IVT:" del registro de conteo (1 ó 2). El orden de los contadores es algo flexible: el contador 0 no debe ser siempre el primero ni el 2do. el último. Cada palabra de control de selección de modo tiene sus direcciones separadas por lo que son completamente independientes.

La carga del registro de conteo con el valor actual debe ser exactamente en la secuencia programada por la palabra de control de modo (RL1 y RL0). Esta carga es también independiente. Se tendrá el mayor conteo (2^N en binario ó 10^N en BCD) si cargamos ceros en el registro de conteo. En modo 0 la nueva cuenta no se reinicializará hasta no sea completada la carga. Aceptaré 1 ó 2 "bytes" dependiendo de la programación de las palabras de control.

ALTERNATIVAS DE FORMATEO PROGRAMABLES

	A1	A0
Palabra de control - contador 0	1	1
Palabra de control - contador 1	1	1
Palabra de control - contador 2	1	1
"Byte" del contador del registro 1		
"Byte" menos significativo	0	1
"Byte" mas significativo	0	1
"Byte" del contador del registro 2		
"Byte" menos significativo	1	0
"Byte" del contador del registro 2		
"Byte" mas significativo	1	0
"Byte" del contador del registro 0		
"Byte" menos significativo	0	0
"Byte" del contador del registro 0		
"Byte" mas significativo	0	0

LECTURA

En muchas aplicaciones de conteo es necesario leer el valor de la cuenta en progreso y hacer una decisión basada en ella. Este dispositivo tiene la capacidad de leer el contenido de cualquier contador sin alterar la cuenta. Existen dos métodos que el programador puede utilizar para leer el contenido de los contadores.

Uno de ellos involucra simplemente operaciones de E/S del contador seleccionado con A0 y A1. El único requisito es inhabilitar la entrada de reloj. La primera E/S contendrá el "byte" menos significativo y la segunda el mas significativo.

Debido a la lógica interna del dispositivo, es absolutamente necesario de completar el proceso de lectura. Si están programados 2 "bytes" a ser leídos, entonces ambos deben leerse antes de que cualquier comando de escritura pueda ser enviado al mismo contador.

TABLA DE LECTURA

A1	A0	\overline{RD}	
0	0	0	Lectura del contador 0
0	1	0	Lectura del contador 1
1	0	0	Lectura el contador 2
1	1	0	Illegal

La otra forma es almacenar temporalmente en un "Latch" que será leído con una simple ejecución del lectura.

REGISTRO DE MODO PARA EL "LATCH" DE CONTEO

A0 y A1 deben ser unos. Se requiere de completar toda la operación de lectura. Este comando afecta al conteo presente.

D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC2	3	C	X	X	X	X

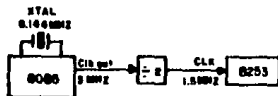
SC1,SC2 Contador específico a ser almacenado temporalmente

D5,D4 "00" Designa la operación del almacenamiento temporal

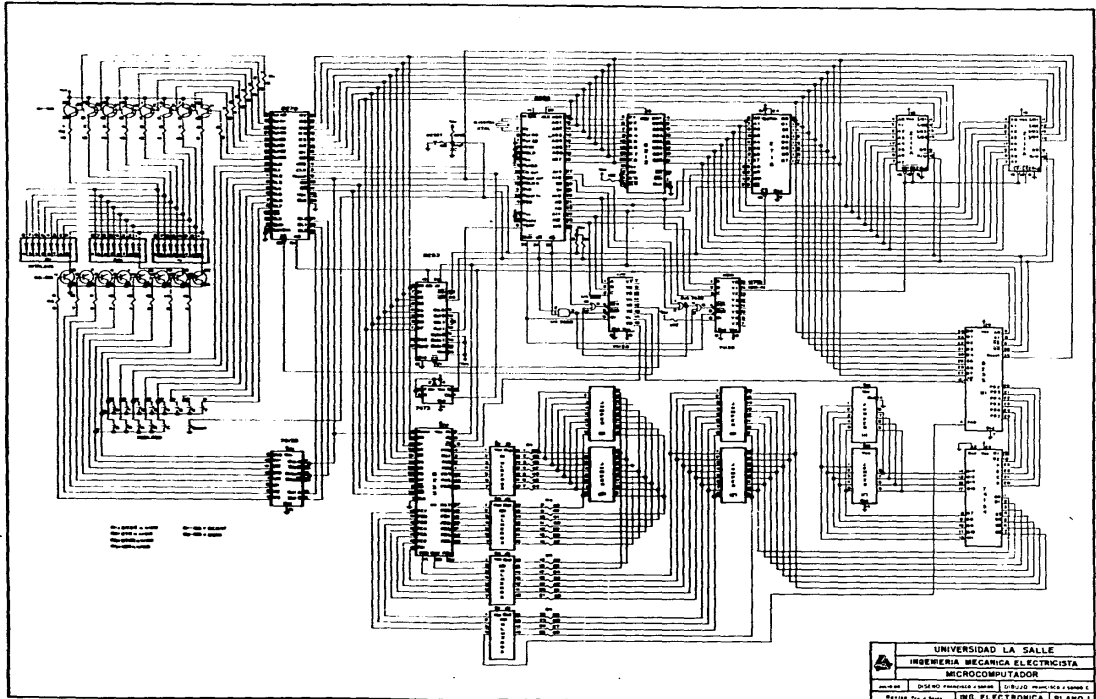
X Irrelevante

INTERFAZ DE RELOJ DEL 8253

La frecuencia que puede manejar el 8253 no debe exceder a 2 MHz por lo que se coloca un circuito divisor de frecuencias (entre 2) para que al 8253 solo le lleguen aproximadamente 1.5 MHz.



BIBLIOGRAFIA



SILICGRAFIA

- 1) GENERAL CATALOG
SEMICONDUCTOR DEVICES
TECCER ELECTRONICS INC.
- 2) ELECTRONIC DEVICES AND CIRCUIT THEORY
3RD. EDITION
ROBERT JOYLESTAD AND LOUIS VASHELSKY
PRENTICE HALL
- 3) MICROPROCESSOR AND PROGRAMMED LOGIC
KENNETH L. SHORT
PRENTICE HALL
- 4) DIGITAL SYSTEM DESIGN AND MICROPROCESSORS
JOHN P. HAYES
MC. GRAW HILL
- 5) ELECTRONICS CIRCUITS AND APPLICATIONS
BERNARD GROS
MC. GRAW HILL
- 6) UNDERSTANDING OPTRONICS
UNDERSTANDING SERIES TM
TEXAS INSTRUMENTS
- 7) CATALOG OF OPTOELECTRONIC PRODUCTS
GENERAL INSTRUMENTS 1983
- 8) COMPONENT DATA CATALOG
INTEL CORPORATION 1980
- 9) TTL DATA BOOK FOR DESIGN ENGINEERS
SECOND EDITION
TEXAS INSTRUMENTS
- 10) RADIO ELECTRONICS
MAY 85 VOL. 56 NO. 5
- 11) RADIO ELECTRONICS
NOV 80 VOL. 51 NO. 11
- 12) MANUAL DE SEMICONDUCTORES DE SILICIO
EDICION TECNICA 84/85
TEXAS INSTRUMENTS