

300617

36

2 ej



UNIVERSIDAD LA SALLE

**ESCUELA DE INGENIERIA
INCORPORADA A LA
UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO**

**"DISEÑO Y CONSTRUCCION DE UN SISTEMA
AUTOMATICO DE PRUEBA BASADO
EN UN MICROCOMPUTADOR"**

T E S I S

QUE PARA OBTENER EL TITULO DE

**INGENIERO MECANICO - ELECTRICISTA
CON AREA PRINCIPAL EN ELECTRONICA**

P R E S E N T A :

JOSE ANTONIO GERARDO PUJALS ACEVEDO

MEXICO, D. F.

**TESIS CON
FALLA DE ORIGEN**

1986



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

I N D I C E

	Página
INTRODUCCION	1
 CAPITULO I GENERALIDADES 	
a) IMPORTANCIA DE LOS EQUIPOS DE PRUEBA EN LA INDUSTRIA ELECTRONICA	5
b) AUTOMATIZACION Y OPTIMIZACION DE LOS EQUIPOS DE PRUEBA	8
c) CALIDAD Y CONFIABILIDAD DE LOS EQUIPOS DE PRUEBA EN EL PROCESO DE PRODUCCION	18
d) REQUERIMIENTOS BASICOS DE UN SISTEMA DE PRUEBA Y SU HABILITACION	29
e) OBJETIVO	33
 CAPITULO II EL DISPOSITIVO A PROBAR Y ESTRUCTURA GENERAL DEL SISTEMA DE PRUEBA 	
a) FUNCIONAMIENTO DE LA ALARMA Y SUS PARAMETROS	39
b) DIAGRAMA DE BLOQUES Y TEORIA DE OPERACION DEL SISTEMA DE PRUEBA	47
c) CRITERIO DE DISEÑO DEL CAHSIS DEL SISTEMA DE PRUEBA	62
 CAPITULO III EXPLICACION ESPECIFICA POR BLOQUES 	
a) INTERFAZ DE ADECUACION DE SEÑALES	75
b) TABLILLAS DE RELEVADORES	87

	Página
c) FUENTE DE ALIMENTACION	91
d) ALARMA AUDIBLE	95
e) INTERFAZ DE ENTRADA DE INFORMACION A LA TARJETA MADRE	97
f) INTERFAZ DE DESPLIEGUE DE INFORMACION A CUADROS INDICADORES	106
g) INTERFAZ DE MANEJO DE RELEVADORES	115
h) MANEJO DE ALARMA, POCO " CORRE PRUEBA " Y BOTON " CORRE PRUEBA "	120

CAPITULO IV
EL MICROCOMPUTADOR MC68705R3 Y EL
PORQUE DE SU UTILIZACION

a) FUNCIONAMIENTO Y CARACTERISTICAS	125
b) PROGRAMACION	143
c) VENTAJAS Y EL PORQUE DE SU UTILIZACION	153

CAPITULO V
PRUEBAS A REALIZAR: CRITERIOS DE
DISEÑO Y DIAGRAMAS DE FLUJO

a) PRUEBAS A REALIZAR	160
b) PRUEBA CERO	175
c) PRUEBA UNO	178
d) PRUEBA DOS	181
e) PRUEBA TRES	188
f) PRUEBA CUATRO	197
g) PRUEBA CINCO	207
h) PRUEBA SEIS	208
i) PRUEBA SIETE	216
j) PRUEBA OCHO	220
k) PRUEBA FINAL DE APROBACION	227
l) DIAGRAMA DE FLUJO GENERAL	232

CAPITULO VI
FUNCIONAMIENTO ACTUAL DEL SISTEMA
Y BENEFICIOS QUE APORTA

a) TIEMPOS DE PRUEBA	235
b) CALIDAD DE LA PRODUCCION	239

CAPITULO VII

IMPORTANCIA Y ADAPTACION DE LOS MICROCOMPUATDORES EN LA INDUSTRIA EN GENERAL	244
CONCLUSIONES	286
APENDICE A	288
BIBLIOGRAFIA	294

I N T R O D U C C I O N

Actualmente la industria electrónica avanza a pasos agigantados. Es tá cada vez más extendida en todos los campos de la actividad humana. Se universaliza.

A través de su historia, constantemente ha aportado grandes cambios y progresos, tanto a la Ciencia como a la Industria; y cada día brinda más apoyo significativo al sector económico de nuestro país, vislumbrándose como un nuevo potencial de productividad.

Desde sus comienzos, constantemente la industria electrónica ha experimentado cambios radicales en el manejo de sus recursos como lo son, por ejemplo, los inventos sucesivos del bulbo, del transistor, de los circuitos integrados, etc., que han provocado tendencias tecnológicas muy significativas, así como problemas inherentes a ellas. Hoy en día, y desde que existe una gran variedad de componentes electrónicos, se han intensificado la complejidad de las funciones de un circuito o sistema electrónico, y se ha incrementado en la medida de la demanda en el mercado, de su utilidad y de la exactitud y precisión requeridas actualmente por las distintas y múltiples aplicaciones que se dan a los equipos electrónicos.

Lo anterior enfrenta problemas en los procesos de producción de cualquier circuito electrónico, ya que al considerarlo constituido por componentes diversos, los que deben operar en conjunto para obtener un funcionamiento determinado, crea una necesidad de manufactura que requiere de gran calidad en cada una de las etapas del proceso para obtener finalmente el producto. Esto, a la larga, requiere de etapas de prueba en que se verifiquen y se constaten los pasos preliminares de ensamble por los que ha pasado el producto a obtener.

En la industria electrónica la mencionada etapa de prueba es un respaldo sólido para la empresa porque aporta experiencias para el proceso de producción a fin de lograr un producto de calidad, lo que reporta para la empresa y para el cliente mismo una satisfacción plena.

Ahora bien, cuando en la fase de prueba del proceso de producción---

no existen fluidez, exactitud y calidad en sí, el flujo de producción -- se ve obstaculizado, no sólo por la ocasional lentitud del proceso de -- prueba sino también a causa de la poca confiabilidad y la gran incerti-- dumbre para la empresa, de que el producto terminado pueda a la larga de -- jar al descubierto errores de manufactura que debieran haberse corregido dentro de la misma planta de producción y que no conviene que lleguen a -- ser detectados por el cliente.

Lo anterior deja a la vista la necesidad de que esta etapa de prue-- ba en el proceso de producción sea cada vez más cuidadosa, exacta y efi-- ciente, lo que se logra a través de la automatización de los equipos de prueba.

Esta tesis constituye una demostración de la conveniencia de automa -- tizar los procesos de prueba, que forman parte de una línea de produc-- ción, y que incrementan la calidad y el volumen del producto.

Así, el objetivo primordial de este trabajo de tesis es el estudio -- de todos los factores que intervienen para lograr el óptimo funcionamien -- to del sistema automático de prueba que se propone, y en el que se toman en cuenta los antecedentes y criterios que forman parte del proceso de -- diseño y operación del equipo, y que se halla actualmente en un satisfac -- torio desempeño en la línea de producción.

En la elaboración de esta tesis se utilizan como antecedentes de la necesidad de im -- plantar el sistema de prueba, las experiencias personales percibidas en la empresa que se tomó como modelo, donde el sistema fue -- desarrollado y construido tomándose en cuenta criterios similares en el desglose de los dos primeros capítulos. Con lo anterior se justifican -- y se enfocan los criterios apuntados hacia una vivencia personal, represen -- tativa de ese universo que es la industria electrónica en general y que -- en cualquiera de sus elementos o empresas pueden presentarse los proble -- mas, aplicaciones y soluciones que se plantean, o en las aplicaciones y -- las soluciones que se apuntan en este trabajo. Asimismo ha de aclararse que existen secciones en los capítulos I y VII que fueron extraídas a -- raíz de una investigación sobre los temas e incisos expuestos.

Se reportan, de igual manera, opiniones y resultados actuales que-- hacen patente la efectividad del sistema.

El curso que ha de seguirse en el desarrollo y estudio de este trabajo de tesis principia con un panorama general de las características-- que debe poseer un sistema de prueba automático para cumplir y llevar a cabo las funciones que le son asignadas a fin de lograr un objetivo óptimo, el cual se enuncia al final del capítulo I.

A continuación se desglosa y se describe la operación y las especificaciones del dispositivo a probar para familiarizarse con el producto. En el mismo capítulo han de darse a conocer la estructura y el funcionamiento teórico del equipo de prueba y en seguida se continuará con la -- explicación detallada de cada circuito electrónico que forma parte del-- sistema para lograr su operación y constituirlo como unidad de prueba.

Posteriormente se brinda un panorama general de la operación de las características del "cerebro" o mando central del sistema: el microcom-- putador MC68703R3 que constituye el punto más importante dentro de la automatización del proceso de prueba y del sistema. Prosiguiendo con los elementos que forman la parte determinante en el sistema, se describen-- en el capítulo V los programas que realizan la verificación del dispositivo a probar, mediante el procesamiento ordenado de la información proveniente del mismo.

La explicación del trabajo de tesis realizado continúa con un reporte de resultados que demuestra la efectividad del equipo.

Para concluir, se realiza en el último capítulo una investigación-- que pretende demostrar cómo la utilización de los microcomputadores en-- la industria, con la consecuente automatización de un proceso de producción o etapa de ensamble, se puede llevar a cabo, así como la importancia que esto representa.

Las conclusiones que se dan al final de esta tesis pretenden abar-- car ideas generales y concisas que expresen los beneficios que se logran con la automatización del equipo de prueba y, en general, de un proceso.

Cabe hacer mención de que los criterios de diseño del sistema se--

enfocaron siempre a los requerimientos de la empresa ELPRO S. A. donde-- se desarrolló y se desempeña actualmente el sistema de prueba, adecuando se también a los productos y componentes que existen en el mercado nacional. Se trató siempre de partir de estas dos premisas.

De los párrafos anteriores podría derivarse la utilidad que como-- trabajo de tesis representa el estudio realizado.

Esta tesis demuestra, en un primer plano, que se debe hacer, y más-- aún, que es posible realizar el diseño y la construcción de un sistema-- automatizado en nuestro país, en los procesos y etapas de prueba que así lo requieran, si se toma como base un sistema actualmente en operación-- en la planta de operación de ELPRO, S. A.

A lo largo del desarrollo de la tesis se hallará una constante relación con procesos y tiempos que involucran las ramas de ingeniería industrial y de planeación dentro de la planta de producción, así como una-- constante cita a los diferentes departamentos y a la planta de producción de la empresa.

Al calificar como buena la funcionalidad del sistema automático que se presenta en esta tesis, debe aclararse que pertenece a la empresa a-- que se ha hecho alusión y cuyo equipo se halla físicamente en sus instalaciones. Tiene, pues, interés directo en este estudio.

Por todo lo anteriormente anotado, se considera que para cualquier-- rama industrial es importante la automatización en la etapa de prueba,-- no sólo porque beneficia al cliente al obtener finalmente un producto de calidad sino también para la planta misma de producción.

Antes de dar paso al desglose de este trabajo cabe aclarar que el-- proceso de automatización que se sugiere es aplicable a cualquier rama-- industrial con etapas de prueba en las que se observen obstáculos parciales en la agilización del proceso general para llegar a obtener finalmente el producto.

CAPITULO I

GENERALIDADES

a) IMPORTANCIA DE LOS EQUIPOS DE PRUEBA EN LA INDUSTRIA ELECTRONICA.

"Si no puede ser medido, no puede mejorarse", sentencia una frase -- dictada por uno de los productores líderes en el mercado mundial de equipos de prueba para la industria electrónica.

Conviene anotar la definición de "medir", la cual puede expresarse como: "la acción de comparar contra un patrón o base específico, siendo -- ambos universales".

Enfocando ahora la atención al significado de probar, se dá también una definición: "probar es examinar la medida o exactitud de una cosa". De la anterior definición, es de especial importancia el concepto de -- exactitud, el cual es enunciado por la I E E E (Institute of Electric -- and Electronic Engineers), como: "la calidad de libertad del error, esto es, la desviación que ocurre respecto de una verdad dada o una regla impuesta".

Las tres definiciones anteriores han sido enunciadas con el propósito de hacer más claro y comprensible el concepto de medir, que como se -- puede apreciar, involucra completamente a la acción de probar, la que a su vez lleva inherente el parámetro exactitud.

Especificando el concepto de exactitud y aplicándolo en los equipos de prueba y medición, se puede expresar de acuerdo a la I E E E como: -- "el grado de validez con el que un valor medido esta de acuerdo o apegado al valor real".

Todo lo anterior brinda una visión más amplia del inciso en estudio

Con este panorama y en base a todo lo expuesto, se agrega ahora un complemento al primer enunciado: "si no puede ser medido y probado, no puede mejorarse".

Se procede ahora a la justificación de la importancia de los equipos de prueba en la industria electrónica.

Al probar se verifican dos aspectos importantes:

- Que el dispositivo cumple con los parámetros pedidos por el cliente.
- Que dicho producto posee exactamente las características funcionales dentro de los rangos de tolerancia especificados.

En la industria electrónica medir y probar conforman una gran parte del proceso de manufactura del producto, no solo en el sentido de acción por parte del personal sino además, un apoyo básico en el correcto desarrollo de la empresa como tal.

La gran variedad de componentes y materiales necesarios en la elaboración y ensamble de un producto derivado de la industria electrónica, involucran una gran complejidad del control de la calidad en la obtención adecuada del producto final, así como una gama muy amplia de posibilidades de defectos y errores en los componentes utilizados; pero... si la complejidad y la gama de fallas estan amplia:

¿Como detectar entonces dichas anomalías?

¿Como detectar fallas no encontradas en el muestreo inicial de materia prima?

¿Como poder medir la variación en los parámetros del dispositivo-- a causa de algún fenómeno que se presenta solo en "x" componente-- cuando este se halla en interacción con otros componentes ya montados en las tablillas?

¿Como medir asimismo magnitudes claves en la operación del dispositivo como lo son voltajes, corrientes, tiempos de trabajo, etc.?

¿Como reducir al máximo los errores de apreciación del operario?

...y muchas otras preguntas que surgen al enfrentar la manufactura de cualquier producto que se elabora en la industria electrónica.

Es aquí donde la existencia y necesidad de los equipos de prueba se revela como un factor primordial en el proceso de manufactura, envolviendo consigo y haciendo inherente el trabajo de medición.

El desenvolvimiento de los equipos de prueba cobra su importancia en el campo de trabajo de manufactura de las líneas de producción, incluyendo lo anterior, las verificaciones y necesidades finales e intermedias que los departamentos de control de calidad, producción y reparaciones, requieran para su mayor eficiencia y desarrollo de un trabajo conjunto dentro de la empresa.

Un equipo de prueba ofrece el soporte técnico que la empresa necesita para poder tener un prestigio y reconocimiento de los productos que ofrece en el mercado, siendo lo anterior un aspecto sumamente importante en el progreso y ampliación de la compañía.

Si no existiera dicho soporte, la confianza de ofrecer un producto--vasto en calidad y en confiabilidad por parte de la manufacturera se vería lleno de obstáculos al pretender mejorar su producto o querer justificar que el mismo cumple con lo establecido previamente con el cliente en particular. De la misma manera, sin un sistema de prueba el ingreso a algún nuevo mercado no presenta gran seguridad o promete la permanencia prolongada de la compañía en el área del comercio donde se pretende penetrar.

Un equipo de prueba brinda confianza y seguridad en el producto elaborado como se dijo anteriormente, apoyando con información clara proveniente del trabajo desempeñado por el personal de la planta de producción, ya que deja al descubierto errores o vicios inadvertidos por lo rutinario de la labor desarrollada, devalando además y en muchos casos la situación real y actual de la línea de producción.

En la importancia de probar, va involucrado el hecho de que se saben de antemano los parámetros especificados por el cliente y que se ha escogido también la manera más rápida y eficiente de verificar dichos estatutos. Lo anterior es importante desde el momento en que se pretende manufacturar un nuevo producto, pues hay que dejar bien claro que el de-

-sarrollo de un equipo de prueba deberá ser un soporte y un respaldo duradero para el buen desenvolvimiento de la línea de producción.

En la industria electrónica actual, los equipos de prueba forman entonces gran parte del aparato productivo dentro de cualquier empresa del ramo, ocupando una base firme y necesaria para las mejoras y progreso de la empresa como tal.

b) AUTOMATIZACION Y OPTIMIZACION DE LOS EQUIPOS DE PRUEBA.

Para comprender mejor los dos aspectos a desarrollar en el presente inciso, es necesario desglosar brevemente el significado de cada una de las palabras clave.

Se entiende por "automático" a "todo aquello que tiene la capacidad de tener movimiento propio o de actuar por sí mismo". En referencia específica al trabajo que se presenta se puede extender la definición como: "aquello que se rige por sus propios dispositivos".

Se abarca ahora el concepto de automatización pudiendo establecerse su significado como: "técnica, método o sistema de operación y control de un proceso, que utiliza como recurso principal la habilitación de circuitos o dispositivos mecánicos, eléctricos o electrónicos que reporten como resultado final la acción de autoregimiento del equipo usado para llevar a cabo el proceso en cuestión".

Consecuentemente, automatizar forma el puente entre las dos primeras definiciones dadas, representando la acción de hacer algo automático y proceder con la automatización.

Antes de estudiar la necesidad de optimizar un sistema de prueba, se expone la automatización de los mismos, característica contenida en el sistema que se presenta y que es imprescindible analizar desde un punto de vista de la industria existente.

¿Porque automatizar?, surge como pregunta inmediata a la habilitación de sistemas automáticos de prueba en la industria electrónica.

Atendiendo a situaciones reales que se presentan día con día en las líneas de producción, se encuentran problemas que se suscitan repetidamente en equipos de prueba no automatizados y que conllevan tanto errores humanos como imprevistos en los circuitos y que surgen a raíz de fallas inesperadas y que ocasionan el desconcierto de los diferentes departamentos que conforman a la empresa.

Para comenzar, ha de considerarse primeramente que la participación de los operarios en el manejo de los sistemas es un factor fundamental-- en un equipo no automatizado que presente la característica de ser demasiado repetitivo, mal con el que desafortunadamente se convive, si se desea llevar a cabo la prueba del producto. Lo anterior podría parecer un error de apreciación en el proceso de manufactura, pues es bien sabido-- que el solo hecho de probar el producto es siempre repetitivo, ya que el producto en cuestión es parte de lo que la empresa maneja en su mercado.

El problema que se plantea es lo tedioso que se presenta esta actividad para el operario, originándose así el mal descrito.

Ahora bien, los problemas que se pueden originar a partir de lo descrito pueden listarse como:

- 1) ratardos en la apreciación.-la repetitividad de la tarea realizada desarrolla una costumbre temporal en el operario, cuya atención puede decaer y provocar un retardo en la apreciación de un error en el dispositivo o un síntoma de falla extraño, a lo cual el operario puede reaccionar con lentitud al momento de tomar una acción para interpretar la falla o en su caso de prevenir algún daño al equipo o al mismo dispositivo.
- 2) demanda de alta y constante capacitación.-solo con operarios muy experimentados y que se tenga la seguridad de que no fallarán, -- pueden asegurarse casi en un 100% que no existirán tantos errores como los descritos anteriormente; pero si por el contrario, el personal es cambiado constantemente, esto implica una mayor demanda de atención y seguimiento al nuevo operador del equipo.

Como segundo factor que se presenta para tomarse en cuenta, es el— que concierne al diagnóstico de fallas, que aparece como una labor ciertamente lenta si no se cuenta con un experimentado equipo humano de trabajo, el cual aún y con toda la experiencia que pudiera tener, muchas veces se enfrenta a situaciones nuevas y desconcertantes, lo que se traduce en tomas de decisión que implican muchas veces riesgos que ponen en juego la calidad del producto.

La falta de automatización juega entonces un papel importante en el diagnóstico de fallas, que demanda rapidez y exactitud.

Como tercer factor, se expone la existencia de los llamados comúnmente "cuellos de botella", lo cual se puede describir como la saturación de una línea de manufactura en un punto determinado del flujo de producción hacia la obtención del producto final. Este fenómeno se presenta particularmente en un punto tal, que ocurre donde se colocan los equipos de prueba o "jigs" semiautomáticos o manuales donde se aplican las pruebas al producto en proceso de manufactura. Dichas pruebas implican revisiones de parámetros diversos, lo cual ocasiona mayores o menores tiempos de prueba que recae consecuentemente en lentitud y retraso en la mayoría de los casos.

Como cuarto factor, se analiza la gran inestabilidad que puede presentar un sistema no automatizado, ya que es un equipo con alto grado de histéresis en sus mediciones, que puede provocar además desconciertos en el operario y en los departamentos de operaciones pudiendo dar también información errónea en las estadísticas.

Planteados los factores anteriores, se puede decir entonces que el objetivo de automatizar un sistema de prueba es una decisión basada en la justificación de ahorro de trabajo y de mejoramiento de la calidad de la producción así como un aumento en la misma.

Los equipos de prueba automáticos cierran un lazo en el proceso de manufactura, ofreciendo la promesa de un aumento en la productividad, -- factor que aparece como determinante en el buen éxito de la obtención del producto. Asimismo la calidad del producto es elevada por la ya exigente exactitud del del sistema, evitando errores de apreciación y dando

al sistema gran estabilidad.

Por otro lado, el equipo automático permite evaluar fallas inmediatamente, haciendo un diagnóstico amplio y conciso de posibles fallas y-- sus causas, evitando así la creación de un nuevo cuello de botella en el departamento de reparaciones.

La automatización de un sistema de prueba, provee también informa-- ción histórica que habilita a los distintos departamentos y a los usua-- rios en particular a rastrear fallas hasta la misma fuente de su origen-- ,de tal manera que puedan ser corregidas y así mejorar y aumentar la pro-- ducción y calidad del artículo, o en su defecto poder reclamar al pro-- veedor responsable.

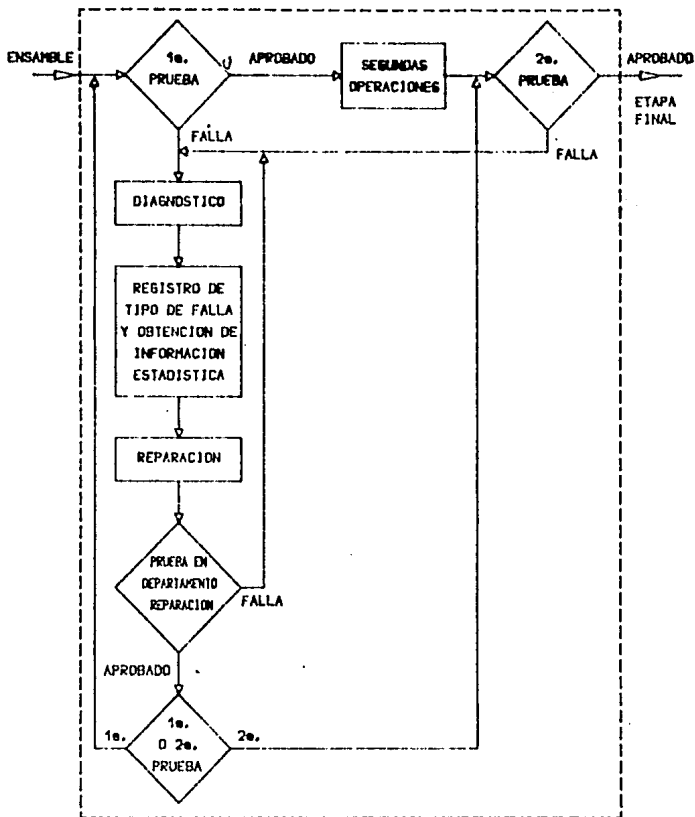
Los equipos ya automatizados, ofrecen también la posibilidad de pre-- venir defectos del producto, dejando al descubierto problemas clave que-- hayan que atacarse.

El equipo da también "forma" a los errores humanos, pues al detec-- tarse la fuente del problema, esta puede recaer en uno o varios trabaja-- dores, que por alguna circunstancia no están realizando adecuadamente el trabajo que les haya sido asignado, o por que no, que exista la posibili-- dad de alguna fatiga inesperada o cualquier factor similar, que afecte-- el buen desarrollo de la línea de manufactura.

La automatización, redundando, automatiza el flujo de información-- en el lazo de prueba-reparación y retroalimenta datos de evaluación del-- proceso en tiempo real; dicho lazo se ilustra en el diagrama de flujo-- 1.1.

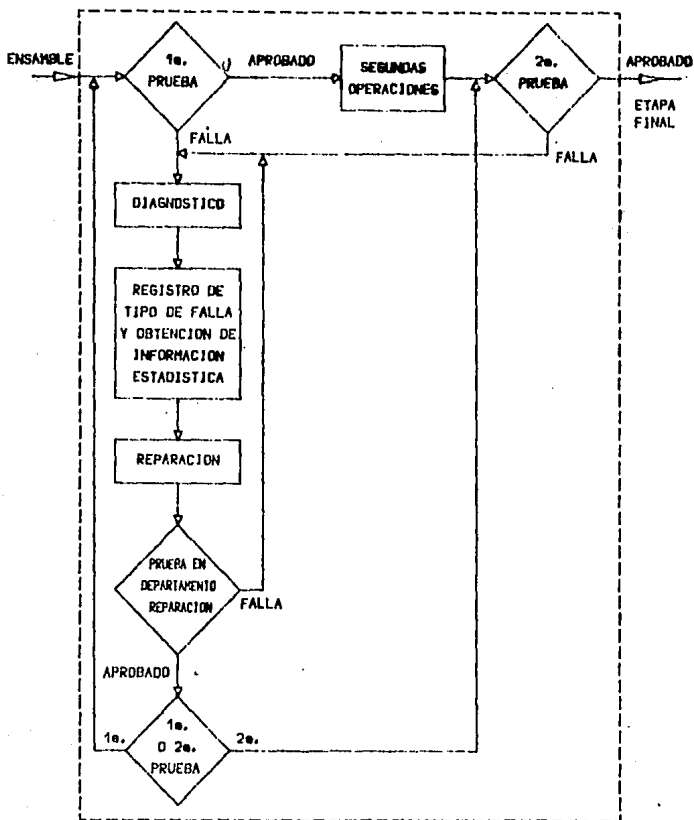
En otro plano, la automatización del equipo de prueba brinda la como-- didad y facilidad de cambiar las constantes de comparación en la medi-- ción de diversos parámetros, dando así gran flexibilidad en un posible-- cambio de criterio al probar el producto fabricado.

Quizá el aspecto más importante de la incorporación de la automati-- zación a los equipos de prueba, reside en el hecho de que el sistema ope-- ra con acciones repetitivas que involucren consistencia en sus medicio--



LAZO PRUEBA-REPARACION

Diagrama de flujo 1.1.



LAZO PRUEBA-REPARACION

Diagrama de flujo 1.1.

nes y por lo tanto estabilidad continua en el proceso de prueba, recursos que no se encuentran frecuentemente en métodos de prueba semiautomáticos o manuales. Como se recuerda, este fue uno de los principales puntos que se expuso al principio de este inciso y que se cita como uno de los problemas más usuales en las líneas de fabricación, específicamente en los puntos de prueba y que ahora se ve resuelta su problemática.

El sistema automático de prueba no presenta errores de apreciación o de retardos en toma de decisiones; por el contrario, toma acción inmediata en el problema, lo reporta y no presenta fatiga alguna, lo que lo hace estable y cíclico en su operación.

Se analizan ahora otros aspectos de lo que la automatización de un equipo de prueba representa dentro de la industria electrónica, ya que el camino a los sistemas de prueba automatizados no dista mucho de ser un reto fuerte para las empresas.

Primero: ¿que tipo de equipo se requiere y cuanto devengará como inversión?; lo anterior se presenta como un punto a discusión digno de ser analizado para cada empresa en particular; un fabricante de computadoras necesitará un equipo mucho más sofisticado que el fabricante de un pequeño circuito para la industria juguetera. Generalizando un poco, se puede decir que el equipo a adquirir tiene una relación directa con la complejidad del dispositivo a probar y de sus parámetros a verificar, ya que un artículo electrónico aunque pequeño, puede presentar gran sofisticación en su estructura, como es el caso de un microprocesador y sus correspondientes pruebas que le son aplicadas antes de salir como producto aceptado al mercado.

En cuanto a la inversión y beneficios que representa el sistema con su automatización, no hay que dudar ni un momento en los ahorros y parámetros que el sistema trae consigo pues mejorará incuestionablemente el concepto de producción de la compañía, con el consiguiente aumento de prestigio de la misma en el ámbito industrial y comercial.

Se debe tomar en cuenta también que la complejidad del equipo va en proporción directa inclusive a la simplificación que se desee del mismo-

-beneficio obvio para el operario y cláusula que deberá cumplirse con la elección o diseño del nuevo sistema. Lo anterior implica además una nueva capacitación para los ingenieros de prueba, jefes de producción, supervisores de control de calidad y gerentes, lo cual pone a un mismo nivel a todo el personal involucrado en el proceso de prueba y de manufactura.

En el caso de que el sistema de prueba contenga sistemas computacionales en su estructura, ¿que tanta versatilidad se puede tener en el manejo del lenguaje usado para la verificación aplicada?; lo anterior se plantea como un factor que requiere de un cuidadoso estudio y por lo tanto una cuidadosa elección implicada en el momento de la adquisición o diseño del equipo.

La última pregunta surge y se plantea así: ¿Cuanto tiempo pasará antes de que la automatización en el equipo de prueba esté totalmente incorporada al ciclo de manufactura a gran escala en la planta de producción?. Lo enunciado puede ser contestado primeramente con la afirmación de que la total automatización del proceso de prueba significa en su fin último la automatización también de la planta de fabricación en su totalidad, lo cual lleva inherente una "estandarización" total del proceso de manufactura, ¿cuanto tiempo pasará?, esto será dependiente de cada empresa en particular y del adelanto tecnológico que determinado proceso de fabricación requiera.

Por último, el equipo de prueba automatizado es caro, siéndolo más aún aquel que contenga equipo computacional en su arquitectura, no esperando por desgracia que los precios decaigan, esto a razón del aumento cada vez mayor en la complejidad de las tareas que demandan los ciclos de prueba. Los costos substanciales de los nuevos equipos de la nueva generación de A T E (Automated Testing for Electronics), implican que los usuarios serán fabricantes con altos volúmenes de producción. De lo anterior se desprende la necesidad de diseñar con componentes que bajen cada vez más sus costos a razón del aumento en su fabricación.

Habiendo descrito la automatización de un equipo de prueba, toca el turno ahora a la discusión sobre su optimización.

Haciendo análogo el procedimiento de análisis para la primera parte de este inciso, se define en primer término "optimizar", palabra proveniente del latín "optimus" que significa "bueno hasta el máximo", y-- que deriva al igual en óptimo que se clasifica como el superlativo de--- bueno. Optimizar significa entonces "llevar hasta lo mejor posible", acción que se debe tomar en cuenta en cualquier diseño de un sistema de--- prueba, si se quiere en realidad obtener eficiencia al máximo. Por añã-- didura la optimización será entonces la acción y efecto de optimizar, pudiendo ser aplicado a cualquier proceso, diseño o actividad que sea desã-- rollada dentro del ámbito universal.

Surge en consecuencia la pregunta: ¿porque optimizar el equipo de--- prueba?. En realidad se pueden tener sistemas automatizados al máximo, - lo cual no implica que dichos sistemas estén optimizados. La razón de lo anterior se basa en el hecho de que existen procesos de prueba que po--- seen características excelentes desde el punto de vista que operan con-- la mayor tecnología de automatización en ellos, pero que no han logrado conseguir el máximo aprovechamiento de tales adelantos para reducir aún-- más tiempos muertos existentes o esfuerzos extras que se estén presentã-- do solo por el hecho de que no hubo un buen análisis en el proceso al mo-- mento de poner en marcha el equipo de prueba o su diseño.

Enumerando las desventajas que trae consigo el no optimizar un equi-- po de prueba, se encuentran entre otros factores:

- Desgaste excesivo de las componentes del sistema.
- Trabajo extra por parte del operario, trayendo como consecuencia, - pérdidas en horas-hombre y en costos de producción.
- Reemplazos constantes de componentes que son parte del equipo de-- prueba, reduciendo la productividad por la interrupción en la fa-- bricación.
- Desperdicio de equipo y gastos innecesarios.
- Ocupación excesiva del espacio de producción.
- Continuas adaptaciones al sistema que pudieron haber sido inclui-- das desde un principio y que por su costo actual, representan un-- desembolso mayor al proyectado.
- La posible pérdida de un lugar en la carrera tecnológica que a la

puede dar lugar también al deslizamiento negativo en el mercado—
de un producto.

- Cuellos de botella existentes aún con la automatización.

Todos los factores anteriores se cuentan entremuchos otros que se--
suscitan inesperadamente, y que es entonces cuando se percibe que el sig-
tema no esta optimizado al máximo, repercutiendo dicho suceso en alguna-
fase posterior del proceso de manufactura.

¿Que hacer entonces para optimizar un equipo de prueba en tan deli-
cada industria?; la respuesta no es sencilla, pero su respuesta se basa-
rá en criterios que se consideran generales y que se listan a continua-
ción:

- 1) Fijar el o los objetivos.
- 2) Consultar con el personal encargado del manejo de los equipos de prueba en la planta de fabricación, ya que son ellos los que manipularán los equipos y sabrán decir sus requerimientos basados- en experiencias anteriores contándose así con una buena opinión.
- 3) Consultar con los jefes de departamento involucrados en el proce- so de manufactura del producto, pues nuevamente son ellos quie- nes toman parte activa con sus estadísticas y sugerencias.
- 4) Investigar a los equipos utilizados anteriormente para la prueba del dispositivo que se desee verificar, analizando las ventajas- y desventajas que presente o haya presentado.
- 5) Diseñar o elegir tentativamente el equipo a construir o adquirir tomando varias opciones y no una. Una vez hecha una decisión con sultar nuevamente con el personal que se juzgue necesario para-- obtener una opinión con participación general.
- 6) Seleccionar componentes y materiales cuya calidad responda a las necesidades que requiera el diseño, o elegir el equipo con un--- grado de calidad igualmente en acorde con el producto a probar y el proceso en el que tomará parte.
- 7) Conforme se avance en el proceso anterior, hacer pruebas piloto-- de lo que se ha elegido o diseñado, para en realidad saber si a- porta todas las mejoras propuestas. De no ser así, ejecutar nue- vamente prácticas con el personal y equipo que se juzguen conve-

--nientes, para en su caso, hacer los ajustes y adaptaciones que satisfagan el objetivo primario

- 8) En ningún momento pasar por alto detalles que por negligencia vayan a causar una pérdida de tiempo en el futuro.
- 9) Si durante la elección o diseño del equipo surge una mejora para aplicarse, realizarla si es muy significativa sin caer en el vicio de cambiar constantemente la estructura o elección del sistema, pues esto acarrea retrasos y pérdidas de tiempo en la puesta en marcha del mismo.
- 10) Si el sistema operará con un sistema computarizado, analizar los lenguajes disponibles y la mejor manera de la utilización de la programación de que se disponga para la obtención de una mayor--rapidez en el ciclo de prueba.
- 11) Una vez puesto en marcha el sistema, hacer un seguimiento del---equipo y su operación y verificar que cumpla con los lineamien--tos iniciales y si responde efectivamente a las mejoras que se--pretendió que aportará al proceso de prueba.
- 12) De no cumplirse lo anterior, listar las fallas presentadas y co--rregirlas hasta el máximo posible, estudiando con cuidado la posi--bilidad de erradicarlas totalmente sin afectar la operación ini--cial del equipo.
- 13) Habiendo hecho el seguimiento y comprobado el correcto funciona--miento del equipo dentro de los objetivos que fueron fijados en--un principio, dejar en manos del personal el sistema y mantener--lo con los cuidados que sean necesarios.

Las propuestas anteriores son expuestas con base en operaciones ob--tenidas durante la elección y diseño de equipos de prueba automáticos---que requieren de gran optimización en su operación.

El respetar los criterios descritos guía sin duda alguna a la obten--ción de un sistema óptimo en su operación.

No debe olvidarse que los campos de aplicación para sistemas de ---prueba y las circunstancias de elaboración, ensamble, diseño y manufactu--ra en general para cada producto en la industria electrónica varían in--tensamente ramo con ramo dentro de esta activa parte de la ingeniería, y

que por lo tanto pueden considerarse a los factores descritos como válidos, sentando una base fundamental en la optimización de sistemas de prueba automáticos, pudiendo de hecho existir factores no considerados, pero que pueden ser incluidos de acuerdo al producto y su proceso de fabricación.

Con base en lo explicado, se mencionan a continuación las ventajas que brinda el optimizar el equipo de prueba:

- Mayor continuidad en la línea de producción, lo que reporta beneficios directos a la empresa.
- Menos fatiga del personal, mejorando el aprovechamiento del equipo humano de la planta de producción.
- Mantenimiento periódico y específico del sistema de prueba.
- Mejor aprovechamiento de los tiempos de programación de la producción, así como un impulso para nuevos planes de desarrollo en los procesos de fabricación.
- Vida útil del equipo de prueba incrementada, gracias al análisis de los requerimientos y características que debería de cumplir el sistema como tal.
- Respaldo técnico a la empresa lo suficientemente fuerte para poder competir en el mercado, obteniendo además un prestigio que aumenta la confianza en los productos que fabrica.

Como se ha estudiado, la optimización de los equipos de prueba es un factor importante en el desarrollo y progreso de una industria que anhela su expansión continua, no solo como un lugar en el mercado, sino también para hacer más dinámico el movimiento en cada empresa que la forma y a su vez los procesos en que participa el equipo humano que labora con ella dentro de su ámbito.

c) CALIDAD Y CONFIABILIDAD DE LOS EQUIPOS DE PRUEBA EN EL PROCESO DE PRODUCCION.

Al fabricar un producto, la calidad y confiabilidad de sus componentes y materiales son dos factores que intervienen directamente en la obtención de un resultado satisfactorio tanto para el cliente como para la

empresa.

En la creciente industria electrónica, la sofisticación de todos los componentes y equipos disponibles actualmente, desde los más sencillos--elementos pasivos hasta lo más innovador y complicado que es por ejemplo un microcomputador en un solo empastillado, han creado al mismo tiempo--la necesidad de aumentar la confiabilidad en dichos componentes presentando una característica de proporción directa entre complejidad y confiabilidad.

Hay que hacer mención que dentro de la calidad, va inherente la confiabilidad del producto o equipo, sea cual fuere su naturaleza y el uso que se pretenda darle, ya que la característica de confiabilidad deberá estar siempre presente en un artículo, sistema o trabajo que se realice para respetar así la norma más elemental para hacer patente la calidad--de todo lo mencionado.

Pero...¿que es la calidad?. Entre las varias definiciones que existen se enunciará una que se apega al desarrollo del sistema que se presenta en este trabajo: "calidad es el conjunto de atributos que comprenden las características de ingeniería y fabricación, determinantes del--grado de satisfacción de operación que el sistema proporcione a lo largo de su desenvolvimiento en la línea de producción". Tal definición deja--al descubierto lo importante que es tener un equipo de gran calidad en--los procesos de manufactura de la industria electrónica, ya que al tener a la calidad contenida en el mismo equipo de prueba con que se verifica el producto, se está haciendo una base sólida para poder afirmar que el producto va respaldado no solo por la calidad que brinda al cliente, --sino también por la forma con que el producto fue llevado a lo largo de todas las fases que se ocuparon para poder conseguirlo satisfactoriamente.

Ahora bien, ¿que se entiende por la calidad de un sistema de prueba en general?. Para poder responder esta pregunta, es necesario generar un ejemplo imaginario que ilustre brevemente una línea de producción en cuyo ámbito se desarrolle una situación de manufactura "x" y que incluye--por supuesto la participación de equipos de prueba.

El ejemplo imaginario fija su atención en la necesidad de desarrollar un equipo de prueba para resolver el problema de la medición inexacta de la frecuencia de oscilación con cristales de cuarzo, fabricados -- por la compañía "N".

Para el desarrollo del equipo se han formado dos equipos de trabajo que diseñarán cada uno un sistema y que al parecer de todos sus integrantes sea el mejor y más eficiente y que por ende, ayude a resolver el problema planteado. Se designan a los proyectos por separado como "A" y "B" respectivamente.

Al cabo del tiempo ambos comienzan a desarrollar ideas que de acuerdo a sus criterios sean más convenientes para la solución del problema. El equipo "A" se decide a usar un filtro para cuadratizar las señales de los cristales y así poder más fácilmente y exactamente medir el periodo de la frecuencia de oscilación a verificar. Por su parte el proyecto "B" se ha orientado a la utilización de un divisor de frecuencia de cuatro etapas, lo que consideran suficiente para poder obtener una frecuencia-- más pequeña y por lo tanto más fácil de medir y por lo tanto de verificar. El proyecto "A" llevará componentes en su equipo tales como capacitores, resistencias, amplificadores operacionales, potenciómetros, así-- como un medidor de periodo que será llevado a cabo en un microprocesador de 4 bits, incluyéndose además por supuesto toda la lógica de entrada y-- despliegue de información que el equipo requiere. El proyecto "B" utilizará además de esto último, lógica TTL suficiente para desarrollar el divisor entre cuatro, medir el periodo y retener alguna información. Hay-- que recalcar que el ejemplo es imaginario, pero que las formas de medición descritas han sido llevadas a cabo con buen éxito.

Al cabo del tiempo los proyectos se concluyen, se ponen en marcha-- y se comienzan a medir las frecuencias de oscilación de los cristales, -- haciendo el seguimiento correspondiente a cada uno de los equipos cons-- truidos. Ambos presentan características muy alentadoras en sus primeras horas de operación realizando medidas estables, repetitivas y exactas.

Aproximadamente a las 20 horas de funcionamiento simultáneo, el pro-- yecto "A" ha empezado a presentar fallas en sus mediciones y se ha vuel--

-to inestable en sus verificaciones, lo que implica una revisión en su estructura.

Después de dicha revisión se ha encontrado que el equipo "A" es altamente sensible en su etapa de filtrado a la temperatura y al ruido entre sus conexiones ocasionado la mayoría de las veces por las altas frecuencias que se manejan. Un estudio más a fondo deja al descubierto que los componentes utilizados en la etapa de filtrado son altamente afectados por los fenómenos descritos, y que no se presentaron en las pruebas que se llevaron a cabo durante la construcción del equipo, por un olvido en la inclusión de medición de todos los tipos de cristales que la empresa fabrica, contribuyendo también la falta de atención en las características de respuesta de los componentes en el momento de su elección, afectando al equipo en parámetros tan críticos en su etapa de filtrado.

Esto llevó sin lugar a dudas a la implantación definitiva del proyecto "B" que demostró su eficiencia y calidad de diseño operando satisfactoriamente en el proceso de manufactura del producto en su etapa de prueba.

¿Cuáles pueden haber sido las causas de falla del proyecto "A" que ocasionaron su rechazo?; ya se han anotado dos probables factores: olvido y falta de atención. Entre otras causas se podrían anotar: falta de información, deficiencia en la investigación de las características que el fabricante ofrece en sus productos o componentes, ausencia de consulta del comportamiento de dichas componentes provenientes de diversos fabricantes y por último algo también probable que se la falta de comunicación entre compañeros del equipo de trabajo.

Como se puede apreciar, el proyecto "A" es bueno y de hecho como se anotó antes de exponer los resultados del ejemplo, esto se ha llevado a la práctica en casos diversos. Lo que aquí se pretende hacer notorio es la falta de calidad con que se desarrolló la construcción del proyecto "A".

Del ejemplo imaginario anterior se pretenden concluir tres puntos principales:

- La calidad de un equipo de prueba empieza desde su diseño, con el trabajo, atención y dedicación que se presten al mismo, esto implica, abarcar hasta donde sea posible la simulación y estudio de cualquier situación que pueda afectar al equipo en su proceso de verificación para así, evitar al máximo los desperfectos inesperados que surjan en la puesta en marcha del equipo de prueba. Va involucrado además con lo anterior, la simulación de operación continua de cada etapa que sea concluida en la construcción del equipo, verificando inherentemente la calidad de los componentes usados en dichas etapas y ver si se puede mejorar; utilizando, si -- así lo requiere, componentes de mayor calidad.
- Intentar pronosticar o tomar en cuenta toda situación que pueda-- ser considerada como obstaculizante a la operación del equipo de prueba es prácticamente imposible, lo cual nunca deberá ser tomado como excusa en el diseño del equipo de prueba para la industria electrónica, ya que como se ha anotado, es la calidad la que se busca también al máximo durante todo el proceso de manufactura de un producto que se obtiene de tan especial industria, persiguiendo como ya también se apuntó, un respaldo de doble calidad-- para la empresa, con todos los beneficios que esto reporta.
- Ambos proyectos contenidos en el ejemplo imaginario eran igualmente aceptables y eficientes en principio. La diferencia radicó en la calidad de diseño del proyecto "B", que aunque más sencillo en su teoría de operación, demostró tener el atributo de la calidad-- a todo lo largo de su desarrollo, desde su diseño, hasta su puesta en marcha, pasando por su construcción. Esto da lugar a recalcar que la sofisticación de un equipo implica una atención mayor-- respecto de su calidad de desarrollo y puesta en marcha, ya que-- presenta características y variantes cuya complejidad exige dedicación en el estudio de su arquitectura.

Una perspectiva de la calidad de los equipos de prueba en el proceso de producción ha sido descrita en este inciso. Cabe aclarar que la calidad de los equipos de prueba va directamente relacionada con la optimización de los mismos, radicando la diferencia en que la calidad es una--

--una característica que debe ser observada a lo largo de todas las fases que el proyecto requiera para su construcción y puesta en marcha. La optimización de los equipos de prueba se estudio ya en el inciso anterior.

Pasando a otro plano, toca el turno ahora a la discusión sobre la característica que es inherente a la calidad y que existe con ella en un equipo de prueba: la confiabilidad del mismo.

Siempre que se habla de calidad de un producto, sistema, trabajo o persona es costumbre pensar en lo confiable que es el mismo, entendiéndose por esto, que aquello que posea como característica la confiabilidad sera digno de aceptación no solo en lugares determinados ni bajo ciertas condiciones, sino que adquirirá un carácter de universalidad, como lo será por ejemplo en un ámbito tal como una planta de fabricación.

Ahora bien, el solo hecho de que un sistema de prueba sea confiable brinda también la implantación de un "estándar" o patrón de referencia firme que podrá servir como apoyo en cualquier toma de decisiones para cualquier departamento que forme parte activa dentro de la planta de manufactura.

Para ampliar un poco más el estudio de la confiabilidad de los equipos de prueba, es necesario poner en claro lo que se dá a entender cuando se afirma que un equipo de prueba es confiable, o pueda llegar a serlo, y segundo, ahondar en el tema con un ejemplo de pruebas de confiabilidad que son aplicadas a los componentes que llegarán a conformar a un sistema de prueba.

Un equipo de prueba poseerá el atributo de la confiabilidad, cuando su operación conjunta permita tomarlo como base para la designación de un juicio de aprobación o rechazo en la verificación de los parámetros específicos del producto para el cual el equipo fue elegido o diseñado, demostrando mantener esta característica por medio de su estabilidad, universalidad y repetitividad dentro del proceso de fabricación en que fue puesto en marcha, así como durante su vida útil esperada.

Desglosando y analizando la proposición anterior, se encuentra que-

—se ha incluido en la misma el carácter de toma de acción y decisión — que ofrece el sistema de prueba. Al leer esto se debe centrar la atención en que no es que el sistema decida por el individuo, sino que ofrece una base firme para un criterio uniforme a todo lo largo del proceso de fabricación. Por otra parte se han incluido también las características de estabilidad, universalidad y repetitividad que de alguna u otra manera se ligan con la automatización y optimización del sistema.

Lo que se pretende al listar estas características es que, teniendo presentes en el equipo de prueba, este último se hace confiable — puesto que al probar el producto producido en serie, se demandan verificaciones del mismo que se lleven a cabo a través de muchos ciclos de — prueba, sin que el sistema demuestre falla eléctrica, distorsión en sus medidas o desgaste en alguno de sus componentes.

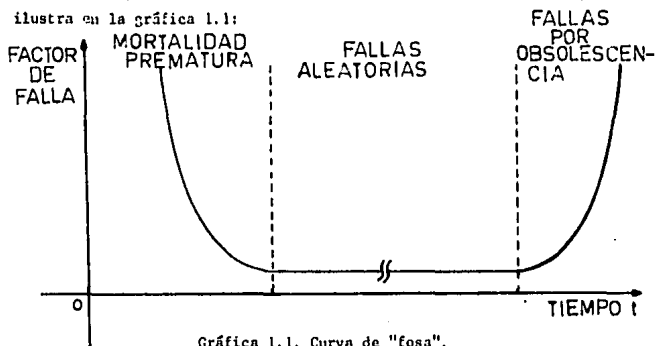
Teniendo ya la explicación más concisa de la idea que da el hecho — de tener inherente en el equipo de prueba a la confiabilidad como atributo determinante, es preciso describir un ejemplo de como se encuentra la confiabilidad en el diseño del equipo o en la elección del mismo, mediante las pruebas de confiabilidad que son aplicadas a cada uno de los componentes que forman la base del sistema presentado en esta tesis.

El componente que se ha elegido y del cual se hablará se expondrán los métodos que son usados para asegurar su confiabilidad en cualquier — ámbito a ser utilizado, es el microcomputador en un solo empastillado, — empleado para el desarrollo del sistema automático de prueba que se presenta en este trabajo.

Este dispositivo es manufacturado por Motorola Inc., empresa que aplica las pruebas que a continuación se describen para la verificación de la confiabilidad en sus productos de Gran Escala de Integración G E I — (Very Large Scale Integration V L S I). Se pretende solamente dar una explicación global y breve así como también poca información de las características del microcomputador, ya que más adelante se dedica un capítulo entero en el estudio de este circuito integrado. Hay que anotar — también que se ha escogido este dispositivo por ser representativo de la explicación de la característica que se pretende estudiar en este inciso

-y que se pudo haber escogido cualquier componente o material usado en -- la construcción del sistema ya que todo ello conforma al mismo, pero que por ser representativo se eligió a este circuito, para al mismo tiempo al final del inciso concluir con una base firme en el estudio de la confiabilidad.

La experiencia muestra que el factor de falla de cualquier grupo de productos en el que se utilizan circuitos integrados de Gran Escala de -- Integración, G E I, y de grados menores de densidad como lo son la Alta - Escala de Integración, A E I (Large Scale Integration, L S I) y la Me-- diana Escala de Integración, M E I (Medium Scale Integration, M S I), - siguen un comportamiento de acuerdo a la llamada "curva de fosa" que se - ilustra en la gráfica 1.1:



Gráfica 1.1. Curva de "fosa".

Como se puede apreciar, esta curva se divide en tres regiones:

- Mortalidad prematura. En esta región se incluyen a las fallas causadas por defectos de manufactura en su proceso de fabricación, o bien fallas que se presentan dentro de las primeras cientos de horas de funcionamiento.
- Fallas aleatorias. Región que abarca las fallas por temperatura, - complejidad en el circuito en el cual participa el circuito integrado y diversos factores que se presentan dentro del período de - uso regular de la vida útil de un producto. Las fallas aleatorias- son de especial atención para el diseñador, pues mantienen un va--

—lor muy bajo de factor de falla en miles de horas de operación— del circuito usado.

- Fallas por obsolescencia. Ocurren cuando un circuito integrado alcanza el fin de su vida útil, física o electricamente. Teóricamente estas fallas no ocurrirán sino hasta varios años después del uso constante para productos o equipos basados en G E I, A E I y M E I.

Los factores de falla de Motorola han sido probados y estudiados en las regiones de mortalidad prematura y fallas aleatorias. Como los tiempos de vida son tan largos, se ha hecho necesario "acelerar la vida" de un producto para obtener información de confiabilidad para dispositivos G E I, A E I etc. Muchos métodos se emplean para llevar a cabo lo anterior como son por ejemplo el sometimiento del circuito integrado a altas temperaturas, altos voltajes y ciclos de disipación extrema de potencia.

Estas pruebas cobran importancia en la concepción del equipo que se construye, pues el diseñador que sabe los factores de falla del dispositivo que está usando, puede prever su comportamiento y adaptar mejor -- los componentes que serán utilizados en el sistema que se esté diseñando para un propósito específico.

Ahora bien, para alcanzar la región de las fallas aleatorias y confirmar así la confiabilidad del producto manufacturado como también llevar a cabo pruebas en esta región, es necesario acelerar el efecto del tiempo sobre ellos para poder pasar rápidamente de la región de mortalidad prematura, para de esta manera como ya se apuntó, asegurar que el solo hecho de pasar de esta región, garantice ya una mayor confiabilidad del dispositivo en su operación.

De los varios métodos disponibles hay tres pruebas de esfuerzo, que causan el aceleramiento de los efectos del tiempo y que provocan fallas tempranas en los circuitos integrados G E I, A E I etc., lo que además reporta información estadística a la empresa, Motorola Inc..

Estas pruebas son:

- 1) Ciclos de temperatura.— La prueba se lleva a cabo estabilizando—

los dispositivos a temperatura ambiente por 15 minutos; a continuación se les aplican cambio térmicos violentos como lo es por ejemplo la permanencia por espacio de 35 minutos a una temperatura de -30 grados centígrados °C; después de este tiempo se encienden los calentadores de las cámaras ambientales sin sacar los circuitos y se les lleva hasta 55 °C donde se esperarán a que alcancen una estabilidad total; acto seguido en aproximadamente 25 minutos después los dispositivos se estabilizan nuevamente a temperatura ambiente por 15 minutos. Después de este procedimiento se revisan nuevamente a razón de:

M E I3 ciclos de prueba
A E I5 ciclos de prueba
G E I10 ciclos de prueba

Si algún circuito se encuentra defectuosos en cualquiera de los ciclos de prueba, su revisión se detiene y se reporta el tipo de defecto encontrado para entrar en estadísticas.

- 2) Disipación de potencia por presencia y ausencia de alimentación a temperatura ambiente.- Esta prueba es una de las más reconocidas como aceleradoras de efectos de tiempo a pesar de que el factor de aceleración se desconoce exactamente. Consiste en 1000 ciclos en 4 horas de tiempo de prueba. El ciclo de trabajo de apagado y encendido es de aproximadamente 14.4 seg.. Un ciclo completo se compone de encendido de alimentación, apagado y encendido nuevamente. El circuito integrado se prueba al final de los 1000 ciclos y se obtiene información de su funcionamiento, reportando resultados e información de las fallas que se hallaran, obteniéndose también información de operación satisfactoria; todo lo anterior se lleva a cabo a temperatura ambiente.
- 3) Disipación de potencia por presencia y ausencia de alimentación a temperaturas extremas.- Esto es una combinación de las pruebas anteriores que brindan el sometimiento a un esfuerzo y aceleración de efectos de tiempo extremos. Los ciclos de disipación de potencia se reducen a 500 en 2 horas, se conserva el ciclo de trabajo de 14.4 seg. y del 50% aproximado. Los cambios de tempe-

-ratura se llevan a cabo durante los 500 ciclos a temperaturas -tales como -40 °C, -30 °C, -20 °C, 80 °C, 90 °C, y 100 °C. Después del tiempo que tiene que tener lugar se prueban nuevamente los dispositivos. Si alguno fallara, la prueba se detiene y se informa de su estado para también proporcionar información estadística. Si no ocurre ninguna falla se informa del estado aceptable de cada circuito integrado probado.

Después de las pruebas anteriores se puede obtener toda una gama de información de vidas medias de los dispositivos y de su situación en la curva de fosa, reportando además el nivel de confiabilidad con que están funcionando los circuitos muestreados. Estas pruebas de esfuerzo tan v lentas sirven también para detectar y corregir fallas en la fabricación de los dispositivos, mismas que ocurren en la región de mortalidad pre matura. Motorola como empresa, fija sus estándares de confiabilidad en la región de fallas aleatorias, que como ya se anotó, es en la que se deter mina la confiabilidad de operación que el dispositivo ofrece en su utili zación, a causa de los bajos factores de falla que se presentan en esta región de la curva.

El ejemplo anterior sirve para demostrar porque la confiabilidad de be ser inherente en el equipo de pruebas y participar en el desde su dise ño o adquisición, abarcando todo ello desde la elección de la marca de los dispositivos clave que lo formarán, ya que en muchas ocasiones es bu eno conocer también las pruebas de confiabilidad que realizan los fa bricantes en sus productos, lo que a la larga permite poner en marcha un equipo de prueba que también ofrezca más o igual confiabilidad para los procesos de prueba.

El microcomputador usado en el sistema de prueba presentado, contie ne un convertidor analógico a digital (A/D), que tiene una resolución de + 1 bit menos significativo, lo que lo hace sumamente exacto y confia ble para los fines que es destinado en el proceso de prueba en que es aplicado. Sin embargo, para cualquier otra aplicación esta resolución pue de no ser conveniente y entonces el sistema en que se vaya a emplear corre el riesgo de perder el atributo en discusión.

Lo expuesto en los párrafos anteriores, expone una visión amplia y clara de lo que se pretende demostrar como la confiabilidad de un sistema automático de prueba, y que esta ya contemplado en la definición o planteamiento que se hizo al principio del inciso, quedando como conclusión lo siguiente:

la confiabilidad de un equipo o sistema de prueba se demuestra desde el principio de su diseño o adquisición, - constituyendo esto uno de los factores más críticos en el buen desenvolvimiento del sistema puesto en marcha en un proceso de manufactura.

d) REQUERIMIENTOS BASICOS DE UN SISTEMA DE PRUEBA Y SU HABILITACION.

Al hacer referencia a los requerimientos de un sistema de prueba, - es importante hacer notar que estos se diferencian de las necesidades de optimizarlo, en el sentido de que requerimiento es la característica que el equipo debe cumplir para su mejor operación en el proceso de manufactura para atender a la solución del problema que pretende resolver.

Tomar en cuenta estos requerimientos guía directamente a la habilitación del sistema, haciéndolo más sencilla y rápida, pues la observación de las sugerencias que se expondrán, proporciona siempre un criterio a tomarse en cuenta en el diseño o elección del sistema de prueba.

Los requerimientos que a continuación se listan, se han extraído de demandas exigidas por los fabricantes de artículos electrónicos en sus equipos de prueba, así como también de las experiencias obtenidas en el diseño y construcción del sistema que se presenta en este trabajo de tesis.

Los requerimientos son principalmente:

- Flexibilidad. El equipo a diseñar o a elegir debe ser flexible, - significando esto que el conjunto pueda ser modificado en su estructura, de tal manera que tenga facilidad de manipulación al - cambiar constantes de comparación para la medición de parámetros-

—del dispositivo que se desee probar, variar voltajes en el interior del equipo que se hayan desajustado, o en determinado momento tener la facilidad de ser transportado dentro de la planta de fabricación. Si se emplea un sistema computacional que involucre el manejo de un lenguaje, este deberá elegirse de acuerdo al proceso y al dispositivo que se vaya a verificar, así como a la cantidad de datos a manejar para llevar al máximo punto de eficiencia la prueba en la línea de fabricación. Algunos lenguajes usados en los sistemas automáticos de prueba son Fortran IV, OMSI Pascal, OMSI Pascal con ATLB[®], Ensamblador etc.. Cada uno de ellos con sus ventajas y desventajas y combinación entre los mismos que los hacen más efectivos y más flexibles de acuerdo al sistema y tipo de proceso en que se vaya a operar el equipo.

- Facilidad de operación. Uno de los problemas al automatizar y por lo tanto sofisticar un equipo de prueba, surge cuando se descubre que el sistema puede presentar una complejidad o crear confusiones en el momento de ser operado por el supervisor de prueba encargado. Lo anterior desafortunadamente se da al poner en marcha el equipo y no en el momento del diseño. Esto involucra la falta de optimización como ya se menciona en incisos anteriores. El equipo debe cumplir con esta característica para reducir al máximo la capacitación del personal que lo operará día con día, así como para que el sistema pueda ser entendido con facilidad por cualquier persona que de alguna u otra manera participe dentro de la empresa y en el mismo proceso de manufactura como tal, entendiéndose por esto último, al personal de la planta de fabricación en cualquier departamento, personal administrativo, gerentes y por supuesto clientes activos o potenciales. El hacer fácil y sencilla la operación del equipo de prueba se traduce en:

- ahorro de horas-hombre y de costos de producción.
- aumento de la productividad.

- Confiabilidad. Una de las características que debe incluirse en un equipo de prueba automático es la de la confiabilidad que el mismo ofrezca, la cual ya ha sido discutida en el inciso anterior

ampliamente. Al hacer confiable el sistema se garantiza estabilidad, repetición en las medidas y se obtiene un respaldo de base sólida para la calidad del producto final y para hacerlo competitivo en el mercado.

- Rapidez. El hacer rápido al sistema lleva inherente un aumento en la eficiencia del mismo, lo que se refleja en una rápida recuperación de la inversión en el diseño o elección del sistema, así como un ahorro en los costos de producción. Si el equipo de pruebas originalmente diseñado o elegido para solucionar el problema de los cuellos de botella o aumentar la productividad, la rapidez en su operación es un factor determinante. Hacer rápido al sistema evita tiempos muertos en la línea de producción, que a la larga ocasionan o provocan los ya mencionados cuellos de botella.
- Seguridad. El sistema debe poseer seguridad en su operación, así como en el mantenimiento que se requiera darle; esta característica debe mantenerse en mente en todo el proceso de diseño o elección, así como también en la construcción del equipo, tomando en cuenta y evitando todo indicio de peligro o riesgo para el sistema en su funcionamiento y lo que es aún más importante, para el personal que estará encargado de la manipulación del equipo, lo que reportará tranquilidad y confianza en su desempeño.
- Accesibilidad. Esta característica se refiere a la facilidad de acceso que se debe tener al interior del sistema cuando sea necesario darle mantenimiento a causa de una falla o simplemente por revisiones de rutina y porque no, cuando se desee estudiar su estructura interna para futuros diseños o recabar información de su composición. Esta característica abarca todo lo referente a posición de tablas, tarjetas, componentes, conectores, puntos de voltaje, cableado así como también identificación de tablas, modo de apertura del gabinete o chasis en su caso y alcance fácil a dispositivos de protección. La accesibilidad sencilla al sistema evita el paro prolongado de una línea de producción, que bloquea el flujo de producto terminado creando un cuello de botella potencial.
- Reporte sencillo de resultados. El equipo debe poseer una forma clara y sencilla de reportar al operario el resultado de la prueba.

--ba aplicada al dispositivo, sin necesidad de esfuerzos por parte de el.

Para la habilitación destinada al sistema de prueba, deberán tenerse siempre en mente los requerimientos anteriores, en cuya base residirán la elección de componentes y materiales destinados a formar parte -- del equipo de prueba.

Habilitar el sistema de prueba es entonces poner o llevar a efecto el proyecto de diseño o elección de acuerdo a los medios que sean necesarios para realizarlo.

Para lo anterior por lo tanto, es indispensable seguir un procedimiento fijado por el diseñador o por el o los encargados de la elección del equipo, el cual abarca:

- 1) elección y obtención de los materiales que más convengan para la construcción del chasis o gabinete en caso de ser diseñado, así como los acabados del mismo.
- 2) Elección y obtención de componentes que cumplan con los objetivos de diseño del sistema de prueba.
- 3) Elección y obtención del equipo complementario a ser utilizado - en el sistema de acuerdo a la idea original.
- 4) En caso de que el sistema de prueba vaya a ser comprado a alguna compañía fabricante, investigar como es su instalación y que tanta capacitación del personal de la planta se requiere para su correcta operación así como su mantenimiento. Conviene indagar también que tanto asesoramiento existe por parte de la compañía vendedora al momento de adquirir sus equipos.
- 5) Elaboración de un plan de construcción de acuerdo a los materiales, componentes y equipo auxiliar ya existente y que estén listos para empezar con el armado del sistema.
- 6) Verificar cada fin de etapa de construcción y asegurarse que todo funciona como esta planeado. En el caso de comprar el equipo cerciorarse que el sistema ofrece realmente lo ofrecido por el fabricante. Si ninguno de los dos requerimientos anteriores se cumple, revisar el sistema y hacer las correcciones necesarias o

--en su caso, hacer las reclamaciones pertinentes a la compañía-vendedora.

- 7) Una vez puesto en marcha el equipo de prueba, hacer un seguimiento temporal del mismo hasta obtener la plena satisfacción en su operación.

La habilitación de los sistemas automáticos de prueba, requiere de un orden estricto como también de una justificación plena de cada elección y un análisis adecuado según lo requiera la parte del sistema estudiada. De no ser así se corre el riesgo de pasar por alto detalles importantes que puedan tener repercusiones de consideración en la puesta en marcha del equipo de prueba.

Los puntos descritos anteriormente, son una base general en la habilitación de los sistemas de prueba, y pueden variar según la complejidad del sistema a elegir o a desarrollar y pueden también ser aumentados o disminuidos; esto dependerá del diseñador o equipo humano encargado de la habilitación del nuevo sistema de prueba.

e) OBJETIVO.

Para poder plantear el objetivo esencial por el cual el sistema que se presenta fue desarrollado, es necesario describir brevemente la situación que imperaba en las líneas de producción de la empresa en la cual el sistema fue construido y donde actualmente opera. Los datos que se ofrecen son de los años 1984 y comienzos de 1985.

Actualmente, como en los periodos mencionados, el estado preponderante en las líneas de producción en sus primeras operaciones como lo son distribución de materiales, ensamble, montaje, soldado, limpieza de tabllillas, resoldado con inspección visual etc., presenta un eficaz desarrollo en su productividad y flujo de producción hasta la etapa de prueba. Es en esta fase donde se realizó el estudio que se presenta, aplicado a 4 productos con mayor cantidad de demanda en 1984. Los resultados se exponen en la tabla 1.1. Hay que tomar en cuenta que los aparatos que eran utilizados al momento de hacer la estadística son semiautomáticos y que prueban solo un producto a la vez.

PRODUCTO	PRODUCCION EN 1 MES	TIEMPO DE PRUEBA PROMEDIO	HORAS DE PRUEBA POR MES
Alarma Ford	2250 pzas.	190 seg.	118.75 hrs.
Campana Ford	2180 pzas.	20 seg.	12.13 hrs.
Campana Chrysler	465 pzas.	20 seg.	2.58 hrs.
Gobernador Chrysler	1000 pzas.	20 seg.	5.56 hrs.

TIEMPO DE PRUEBA APROXIMADO POR DIA POR PRODUCTO

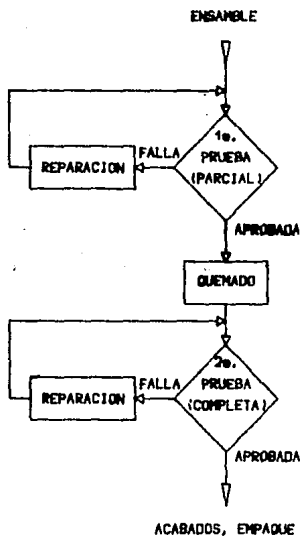
Alarma Ford	6 hrs.
Campana Ford	0.6 hrs. = 36 min.
Campana Chrysler	0.13 hrs. = 8 min.
Gobernador Chrysler	0.28 hrs. = 17 min.

Tabla 1.1 Estudio de tiempos de prueba.

Del estudio anterior se obtuvo una visión más específica de los --- tiempos de prueba que eran ocupados en cada producto. Como puede apre -- ciarse la Alarma Ford arrojó datos que venían a confirmar la existencia- evidente de un cuello de botella en su proceso de manufactura, originado en su fase de prueba, lo que demandó una pronta acción para abatir este- fenómeno ya descrito en incisos anteriores.

El diagram de flujo de producción de la alarma durante la mayor par- te de 1984 se ilustra en el diagrama de flujo 1.2. En el se observan los dos pasos de prueba que se aplicaban a cada alarma para poder ser acepta- da y pasar a almacén como artículo terminado. El tiempo de 190 segundos- se obtuvo como un promedio que arrojó el estudio de 30 alarmas en prueba rutinaria, durante su proceso de fabricación. Hay que aclarar que:

- Incluidas en las 30 alarmas hubo dos defectuosas que se incluyen- en el promedio, pero que solo aportan un dato de tiempo poco sig- nificativo, fijando la media en el tiempo ya qnotado.
- Todas las alarmas defectuosas son enviadas al departamento de re- paraciones para ser revisadas, reparadas y reincorporadas despué- s a la producción total programada, disminuyendo al máximo las pér-



PROCEDIMIENTO DE PRUEBA DE LA ALARMA
FORD EN 1984.

Diagrama de flujo 1.2.

--didas y desperdicio de material y componentes.

- El solo hecho de acumulación de alarmas defectuosas en el departamento de reparaciones, crea un nuevo cuello de botella, pues al existir un diagnóstico de fallas ineficiente en los equipos con que se trabaja, se hace más difícil y confusa la reparación de las alarmas.

Con la descripción anterior los motivos que orillaron a la concepción de un nuevo sistema de prueba se hacen más evidentes.

Previamente al planteamiento del objetivo específico, es preciso mencionar el aumento en la demanda del producto que adquirió la empresa suscitándose esto hacia principios del año 1985 (Abril) y que dió origen a un nuevo estudio de tiempos de prueba, lo que desde luego se vislumbraba ya como una complicación mayor en las líneas de producción, debido al crecimiento obvio de los cuellos de botella. Contribuyó además a aumentar los tiempos de prueba la adición de una verificación más de toda la producción de alarmas, debido a un cambio de proveedor en un material esencial en el acabado del producto. El estudio se expone en la tabla 1.2.

PRODUCTO	PRODUCCION EN 1 MES	TIEMPO DE PRUEBA PROMEDIO	HORAS DE PRUEBA POR MES
Alarma Ford	3500 pzas.	270 seg.	262.5 hrs.
Campana Ford	3000 pzas.	20 seg.	16.16 hrs.
Gobernador Chrysler	2300 pzas.	20 seg.	12.77 hrs.

TIEMPO DE PRUEBA APROXIMADO POR DIA POR PRODUCTO

Alarma Ford	13.25 hrs.
Campana Ford	0.80 hrs. = 48 min.
Gobernador Chrysler	0.63 hrs. = 38 min.

Tabla 1.2 Segundo estudio de tiempos de prueba.

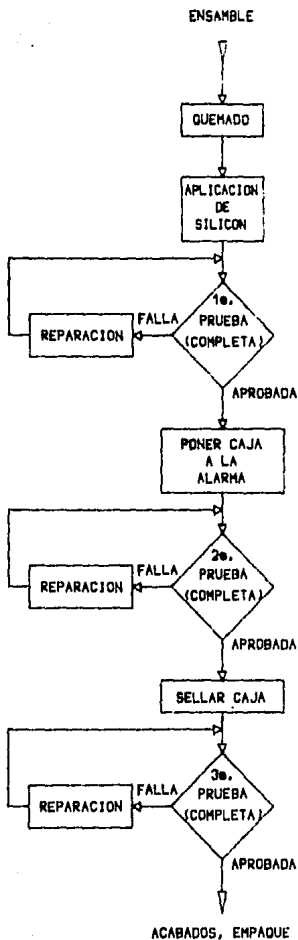
Este nuevo estudio vino a confirmar lo esperado: un aumento en el cuello de botella, tiempos de prueba de por sí elevados y mayor retraso en la producción en caso de reparaciones.

El nuevo diagrama de flujo utilizado en la manufactura del producto para fines de 1984 (Diciembre) y actualmente en uso se ilustra en el diagrama de flujo 1.3.

Habiendo expuesto ya una visión más general de la situación de la empresa en la producción de Alarma Ford, es posible dar ya el planteamiento del objetivo específico del desarrollo del sistema que se presenta en esta tesis:

OBJETIVO.- Desarrollar un sistema automático de prueba múltiple, -- basado en el microcomputador MC68705R3, que permita eliminar el acumulamiento de la producción en la etapa de prueba, haciendo el proceso más rápido, exacto y eficiente, aumentando así la producción y la calidad del producto.

Con este objetivo en mente se justifica el desarrollo de este trabajo, presentando resultados y conclusiones al final del mismo.



PROCEDIMIENTO DE
PRUEBA DE LA ALARMA
FORD ACTUALMENTE.

Diagrama de flujo 1.3.

C A P I T U L O II

EL DISPOSITIVO A PROBAR Y ESTRUCTURA GENERAL DEL SISTEMA DE PRUEBA.

a) FUNCIONAMIENTO DE LA ALARMA Y SUS PARAMETROS.

La alarma Ford es un dispositivo de seguridad electrónico cuyas funciones abarcan desde poner en alerta mediante un aviso visual y auditivo que el automóvil ha sido abierto por cajuela o puertas, hasta bloquear el funcionamiento del motor en su etapa de encendido para impedir el robo total.

Para desarrollar las funciones descritas, la alarma se vale en su estructura de componentes pasivos, activos y elementos de conmutación como lo son los relevadores. A su vez la conexión con el sistema del automóvil se realiza a través de ocho terminales las cuales establecen la operación de la alarma de acuerdo a las condiciones existentes de activación o no activación o de puesta en servicio o fuera de servicio.

Primeramente se dará una explicación de cada una de estas terminales y la función que desempeñan para interactuar en la comunicación auto móvil-alarma. En la figura 2.1 se muestra un diagrama general de la alarma y sus terminales.

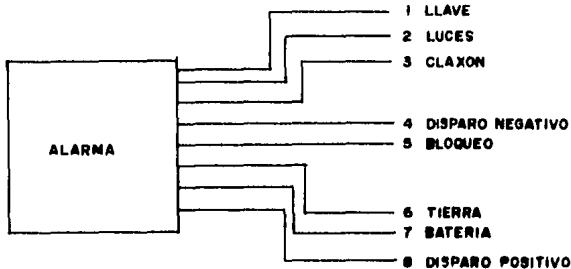


Figura 2.1. Diagrama en bloque de la alarma y sus terminales.

Terminal 1-Llave.- Esta terminal pone en servicio a la alarma y se localiza en la parte externa del automóvil sobre la carrocería mediante un interruptor de llave de dos posiciones (en servicio o fuera de servicio), y que representa el control que el usuario posee del dispositivo.

Terminal 2-Luces.- La función de esta terminal es entregar una señal cuadrada pulsante, de suficiente amplitud para encender los faros delanteros, los cuartos traseros, luces direccionales y luz interior del automóvil, obteniendo con esto la alerta visual que la alarma proporciona.

Terminal 3-Claxón.- Su función es similar a la de la terminal anterior, solo que debe entregar la misma señal cuadrada pulsante de suficiente amplitud para hacer sonar el claxón del automóvil, consiguiendo así la alerta auditiva que el dispositivo de seguridad proporciona.

Terminal 4-Disparo Negativo.- Esta terminal es una de las que envía señales de activación para que la alarma entre en operación. Dicha señal ocurre cuando existe un nivel de tierra en la terminal, lo que implica precisamente un disparo a un potencial negativo, en este caso como ya se mencionó, la tierra del automóvil. Este disparo se da a causa de la violación de cajuela del automóvil.

Terminal 5-Bloqueo.- La operación de esta terminal se lleva a cabo cuando el automóvil es abierto y ocurre una de las dos señales de disparo, con lo que la alarma entra en operación bloqueando a través de esta terminal la bobina del distribuidor en su borne negativo poniéndola a un nivel de tierra, evitando con esto que el automóvil arranque de alguna manera.

Terminal 6-Tierra.- Provee el nivel de potencial cero para el correcto funcionamiento de la alarma.

Terminal 7-Batería.- Por medio de esta terminal se alimenta a la alarma para su operación adecuada, funcionando con un rango de voltaje de 8 vcd, hasta 18 vcd. La versatilidad de voltajes de operación

se debe a que la alarma posee una etapa de regulación interna de voltaje, lo que permite garantizar su operación aún y cuando el voltaje de la batería este en niveles críticos y el auto pretenda ser robado. Lo anterior brinda seguridad y confiabilidad en el dispositivo aún en situaciones críticas.

Terminal 8-Disparo Positivo.- La segunda señal de activación para que la alarma entre en operación se obtiene de esta terminal. La señal ocurre cuando un nivel de potencial suficientemente alto se presenta en la terminal, el cual es generalmente el nivel de voltaje de la batería. El dispositivo se pone en operación con este disparo cuando es abierto el automóvil por cualquier puerta.

Después de haber explicado brevemente cada terminal y su función de interacción automóvil-alarma, se puede concluir la estructura general de la alarma desde el punto de vista del estudio de sus terminales en la forma en que se ilustra en la figura 2.2.

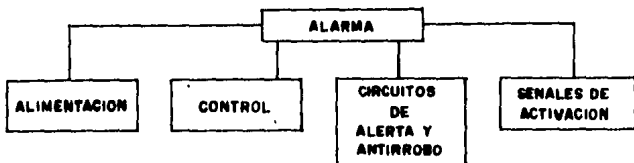


Figura 2.2. Estructura general de la alarma.

En el bloque de alimentación se incluyen voltajes así como regulación de los mismos y conexiones de tierra. La parte de control incluye puesta en servicio del dispositivo o su ausencia de servicio mediante la llave exterior. Los sistemas de alerta y antirrobo constituyen el bloque más grande dentro de la estructura de la alarma, pues en su bloque reside la operación básica de la alarma para su eficaz desempeño de las funciones para las que fue diseñado. Por último el bloque de señales de activación constituye una parte importante de la alarma, pues debe poseer una repetitividad y confiabilidad absolutas.

Antes de especificar los parámetros de operación que se piden por el cliente, en este caso Ford Motor Co., conviene anotar y describir brevemente el funcionamiento general de la alarma mediante una pequeña tabla de verdad que se explica después de su ilustración. Se tomará como representación de puesta en servicio o activación de una terminal con un "uno lógico", y para indicar ausencia de servicio, desactivación o no operación, un "cero lógico", indicando asimismo una condición sin importancia con una letra "x". El primer análisis se enuncia en la tabla 2.1:

TERMINAL	1	4	8	2	3	5
	0	x	x	0	0	0
	1	0	0	0	0	0
	1	0	1	1	1	1
	1	1	0	1	1	1
	1	1	1	1	1	1

Tabla 2.1 Análisis de funcionamiento de la alarma.

Simplificando la tabla de verdad y haciendo un diagrama lógico de compuertas se obtiene la tabla 2.2 y el diagrama 2.1:

TERMINAL	1	4	8	OPERACION
	0	x	x	0
	1	0	0	0
	1	0	1	1
	1	1	0	1
	1	1	1	1

Tabla 2.2 Análisis simplificado del funcionamiento de la alarma

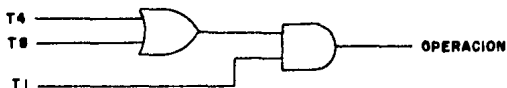


Diagrama 2.1 Diagrama de compuertas lógicas de acuerdo a la tabla 2.2.

Aplicando dos variables más a la tabla de verdad y haciendo un nuevo diagrama de compuertas lógicas se obtiene lo descrito en la tabla 2.3 y en el diagrama 2.2:

TERMINAL	1	4	6	7	8	OPERACION
	x	x	0	0	x	0
	x	x	0	1	x	0
	x	x	1	0	x	0
	x	x	1	1	x	0
	0	x	1	1	0	0
	1	0	1	1	1	1
	1	1	1	1	0	1
	1	1	1	1	1	1

Tabla 2.3 Análisis de funcionamiento de la alarma con dos variables añadidas.

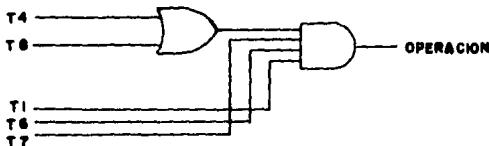


Diagrama 2.2 Diagrama de compuertas lógicas de acuerdo a la tabla 2.3.

En la primera simplificación se incluye dentro de operación a las salidas pulsantes que deben estar presentes en las terminales 2 y 3, y al bloqueo que debe existir en la bobina de encendido por acción de la terminal 5, implicando lo anterior que la alarma esta en operación, lo que se usa como salida de resultado tanto en las tablas de verdad como en las ilustraciones de los diagramas de compuertas lógicas.

De las dos tablas de verdad simplificadas expuestas se aprecia el funcionamiento general de la alarma, que se describe en pasos conforme a la tabla 2.2:

- 1) Si la llave pone fuera de servicio a la alarma, no importa si — las señales de activación llegan a la alarma, esta no funciona--rá.
- 2) Si la alarma se pone en servicio y las señales de activación no se presentan la alarma no operará.
- 3) Ahora bien, si la alarma esta puesta en servicio y alguna de las dos señales de activación o ambas se presentan la alarma entrará en operación con las acciones correspondientes a cada terminal.
- 4) Si el automóvil fue abierto y por olvido no se puso fuera de ser-
vicio a la alarma, el usuario la pondrá fuera de operación desac-
tivando la terminal 1 con la llave externa. La misma acción se -
lleva a cabo si se desea desactivar la alarma después de un in-
tento de robo.

En la tabla 2.3 se han incluido dos terminales más, que representan las alimentaciones de batería y tierra precisamente, y que se han puesto para aclarar que con la ausencia de cualquiera de ellas el dispositivo - no entrará en operación. Se han incluido también junto con ambas tablas-
diagramas de compuertas lógicas que explican teóricamente el comporta-
miento de la alarma de acuerdo a las tablas de verdad realizadas.

Con una visión de la estructura de la alarma y de su funcionamiento se exponen ahora los parámetros de operación que el dispositivo deberá - cumplir para su óptima confiabilidad y funcionalidad, cubriendo así las-
especificaciones del cliente.

La alarma:

- 1.- Debe tener un consumo máximo de corriente cuando se le ponga en servicio, de 20 ma. Esto es con la terminal 1 en posición de --
servicio.
- 2.- Debe conservar un Voltaje Interno Regulado (V I R) de 5 vcd -
como mínimo para su adecuado funcionamiento.
- 3.- Debe alimentarse con un voltaje máximo de 18 vcd, tal que este-
provenga directamente de la batería del automóvil; debe poseer-
también un nivel de tierra adecuado. 12 vcd de alimentación es-
un valor típico.

- 4.- Debe entregar una señal cuadrada pulsante por las terminales de Luces y Claxón de amplitud igual al voltaje de la batería del - automóvil, con un máximo de nivel bajo en la oscilación, por la terminal de Luces de 0.2 vcd y por la terminal de Claxón de 1.2 vcd. La frecuencia de esta oscilación debe ser de un máximo de 1.15 hz y un mínimo de 0.75 hz, con un ciclo de trabajo del 50% \pm 3%.
- 5.- Debe mantenerse en operación dentro de un rango de 60 segundos- como mínimo y un máximo de 90 segundos, realizando en este tiempo sus funciones por las terminales de Luces, Claxón y Bloqueo. Al acabar el tiempo de trabajo, las funciones de las terminales de Claxón y Luces deben cesar, no sucediendo así con la terminal de bloqueo que deberá seguir en operación hasta que la alarma sea desactivada y puesta fuera de servicio por el usuario.
- 6.- Debe bloquear la bobina de encendido desde el momento de entrar en operación y mantener el estado de obstrucción durante todo - el tiempo de operación como al final de este. Asimismo la alarma debe eliminar este bloqueo con la desactivación del dispositivo.
- 7.- Debe desactivarse y ponerse fuera de servicio con la sola acción de la llave externa cuando esta sea activada por el usuario para restablecer las condiciones de operación y así quedar preparada para una nueva puesta en servicio.

Los parámetros listados son pedidos por Ford Motor Co. en sus especificaciones de funcionamiento, lo que deja al descubierto la gran complejidad que implica el verificar todos estos parámetros para satisfacer la calidad y óptima operación del producto. Estas especificaciones son - las que se revisan y prueban en el sistema múltiple de prueba automático que se presenta en esta tesis.

Para concluir, es conveniente hacer un diagrama de bloques de la alarma que ilustre sus funciones, alimentaciones y señales de activación - así como su señal de control. Dicho diagrama se ilustra en la figura 2.3 en la siguiente página.

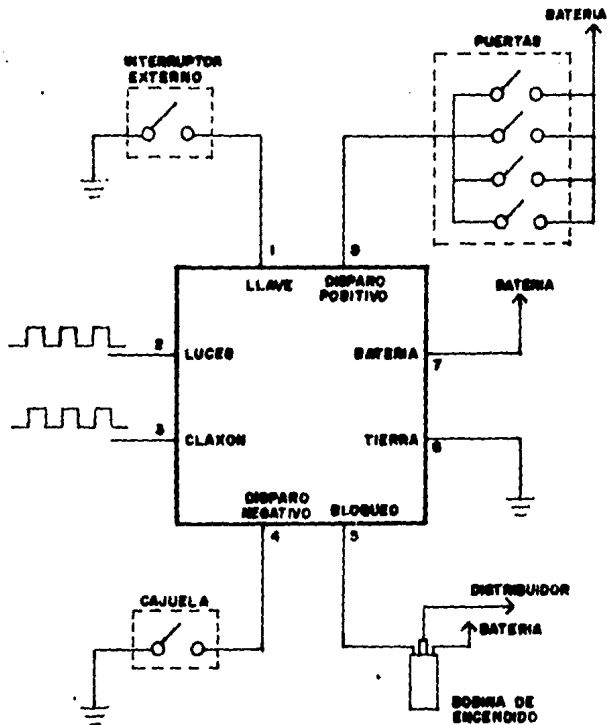


Figura 2.3. Diagrama de bloques explicativo de la alarma con funciones y señales de activación y control.

b) **DIAGRAMA DE BLOQUES Y TEORIA DE OPERACION DEL SISTEMA DE PRUEBA.**

La elaboración de un diagrama de bloques constituye una de las etapas más importantes en el trabajo de diseño de cualquier sistema de prueba, ya que en él reside toda la estructura global del mismo y contiene además la información clara de los criterios e ideas con que el sistema -- fue concebido desde el origen de su planteamiento como una necesidad de -- desarrollo en la empresa.

El diagrama de bloques del sistema que se presenta se muestra en la figura 2.4, dando la primera introducción sobre la estructura del sistema y proporcionando una visión general de las secciones que lo integran.

En el diagrama se presentan los 7 principales bloques que en conjunto forman el sistema de prueba y que son listados a continuación con la explicación de cada uno de ellos así como su interacción con el envío de información así como la recepción de la misma tomando en cuenta también -- al control y a la alimentación del sistema, representando todo esto con -- flechas que indican el flujo y el sentido de información y el manejo entre secciones:

- fuente de poder. Representa la sección de alimentación a todo el sistema. Provee de voltaje y corriente necesarios a todas las partes que forman el sistema de prueba. Su influencia es determinante en todas las secciones del conjunto para el buen desarrollo -- del mismo en el proceso de prueba.
- Sección central de control. Como su nombre lo indica, es la concentración de toda la información de control que todo el sistema necesitará para su funcionamiento, enviando y recibiendo señales de los distintos bloques del equipo, como lo son las interfaces, banco de relevadores, alarma audible, resultados finales y por su puesto fuente de poder.
- Interfaces. Conforman un bloque sumamente importante dentro del sistema de prueba, pues a través de ellas se adecuan las señales provenientes de las alarmas en prueba para ser transformada en -- información compatible que cumpla con las características de las señales admitidas por la sección central de control. La fuente de poder actúa directamente sobre el bloque dándole los voltajes y --

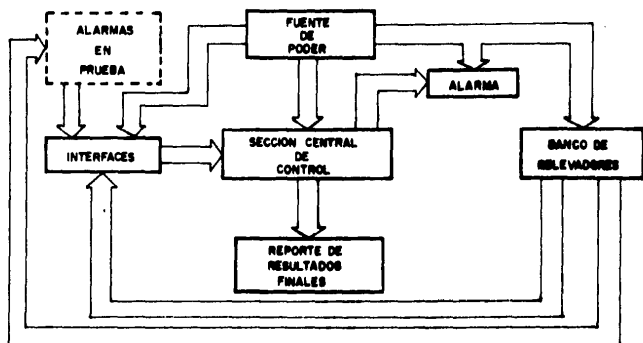


Figura 2.4. Diagrama de bloques del sistema de prueba (primera explicación).

- corrientes necesarios para su funcionamiento.
- Banco de relevadores. Bloque compuesto de elementos de conmutación y que es sumamente útil en el manejo de condiciones de prueba para cada alarma al medir uno de sus parámetros y al efectuar activaciones de la misma para que entre en operación por medio de las señales de disparo. El bloque es manejado directamente por la sección central de control, reportando acción sobre las alarmas en prueba y sobre el bloque de interfaces, recibiendo alimentación de la fuente de poder.
- Alarmas en prueba. Bloque que es necesario esquematizar por constituir el origen de la información que será procesada por el sistema de prueba, y que en base a esta se determina un resultado de la prueba aplicada al dispositivo. El bloque se ha dibujado con línea discontinua por ser una parte del sistema parcialmente incluida en él, pues no forma parte propiamente de una sección que haya sido necesario diseñar para la construcción del sistema. Recibe información de señales del banco de relevadores y a través de este mismo bloque recibe alimentación de voltaje.
- Alarma audible. Bloque que forma el sistema de alarma con que el conjunto cuenta. Es manejado por una señal proveniente de la sección central de control obteniendo su alimentación directamente de la fuente de poder.
- Reporte de resultados finales. Este bloque incluye parte de la interfaz de salida de información a cuadros indicadores, contenida en la sección central de control, pero que se esquematiza como bloque independiente por formar una etapa ilustrativa que da idea del criterio y concepción original del sistema como una cadena formada por la secuencia:



Dicha secuencia fue una base en el diseño del sistema de prueba, es tando contenida en la mayoría de los equipos computarizados actuales.

Habiendo explicado el diagrama de bloques en un plano general, es ne cesario ampliarlo en su sección central de control para ir adquiriendo una visión más amplia del sistema de prueba que conduzca a la explicación de su teoría de operación.

Detallando el diagrama de bloques se obtiene lo ilustrado en la fi gura 2.5. En este nuevo diagrama se describe con mayor desglose la sección central de control, esquematizada con todos los subbloques que la consti tuyen para cumplir con la verificación de las alarmas.

Haciendo un procedimiento análogo al realizado con el primer diagra ma elaborado, se explicarán brevemente los nuevos bloques añadidos:

- interfaz de entrada de información. Con este bloque se manipula - la entrada de señales de información hacia el microcomputador, re cibiendo control directo del mismo para la adecuada adquisición - de datos.
- Interfaz de manejo de relevadores. A este bloque corresponde la - función de ejecutar movimientos en el banco de relevadores de a- cuerdo a la secuencia que dicte el procedimiento de prueba de las alarmas y recibirá control de mando directamente del microcompu- tador, enviando también información a las interfaces para repor- tar señales analógicas a la interfaz de entrada de información.
- Interfaz de despliegue de información. Bloque que está encargado - de transportar la información de resultados a los cuadros indica- dores a través del desarrollo del proceso de prueba, actualizando constantemente los datos obtenidos de la misma para cada dispositi- vo verificado. Hay que notar que el bloque de reporte de resul- tados se incluye dentro del límite que abarca la sección central- de control, confirmando lo explicado en el primer diagrama respec to de su esquematización con fines de hacer más clara la idea bá sica de la estructura del sistema. Este bloque esta gobernado --- también por el microcomputador para la adquisición de datos y dir tribución correcta de los mismos a los cuadros indicadores.

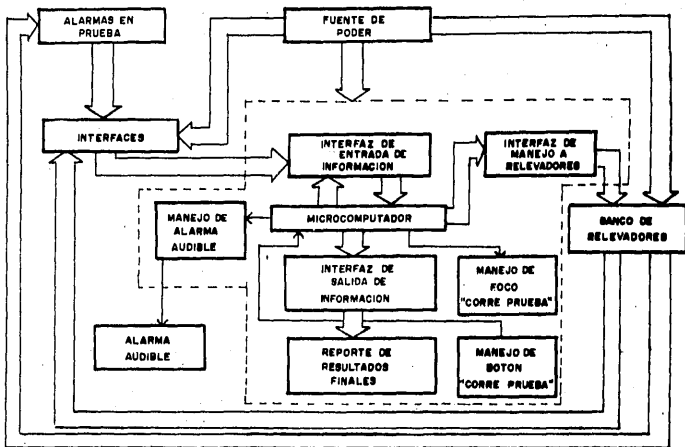


Figura 2.5. Diagrama de bloques del sistema de prueba (segunda explicación).

Manejo de alarma. Como su nombre lo indica, este bloque operará - las funciones de la alarma de acuerdo a las señales de activación provenientes del microcomputador y en el orden apropiado con base a las condiciones de alerta establecidas.

- Manejo de foco "Corre Prueba". Con este bloque se logra la manipulación coordinada y exacta para la señal visual de indicación de que la secuencia de prueba se está llevando a cabo en todo el sistema y es manejado por una señal del microcomputador.
- Manejo de botón "Corre Prueba". Este pequeño bloque cobra su importancia al ser el ordenador del inicio de la secuencia de prueba para todo el sistema y actúa enviando su señal directamente al microcomputador.

Los demás bloques fueron ya explicados y se observa que conservan - su misma acción sobre cada uno de los bloques ya descritos en el primer - diagrama elaborado. Se ha trazado una línea discontinua alrededor de los - subbloques que conforman a la sección central de control para la mejor - apreciación de la influencia predominante entre los bloques del diagrama - original.

Con el diagrama de bloques descrito en dos formas distintas, se procede ahora a realizar un tercer diagrama que permita desarrollar la explicación de la teoría de operación del sistema de prueba. Este tercer diagrama contendrá la asignación de puertos a las distintas funciones que el microcomputador deberá cumplir en conjunto con sus interfaces, para lo - cuál es necesario listar el uso de los puertos en forma específica, aclarando que esta descripción se hace nuevamente en el siguiente capítulo, - como también la explicación de cada bloque a nivel funcional e individual de los elementos electrónicos que lo conforman. Asimismo las características de dichos puertos y el número total existente se presenta en el capítulo V el cual describe el microcomputador enteramente.

Antes de proseguir, es preciso recordar que en el objetivo se planteó la necesidad de desarrollar un sistema de prueba múltiple lo que no - ha sido considerado hasta ahora en el desarrollo de la tesis que se presenta en el sentido de que no se ha especificado el número exacto de a---

--alarmas que son probadas simultáneamente en un ciclo de verificación -- el cual contiene todas las pruebas que son aplicadas a cada alarma. Es por esto que ahora se explica el criterio que se empleó para elegir el número de alarmas a probar en el sistema de prueba.

Los puntos tomados en cuenta para la decisión del número de alarmas a probar se listan a continuación:

- 1) habiendo elegido como la base del sistema de prueba a un micro - computador de 8 bits, era necesario aprovechar al máximo su capa cidad de direccionamiento por puerto, adecuando lo mejor posible el número de bits al número de alarmas a probar.
- 2) Elegir la cantidad que mejor se adapte al área de trabajo de que se dispone. No por tener 8 bits, usar un byte entero de un puerto para probar 256 alarmas, lo cual recaería en un absurdo por razones de espacio y esfuerzo humano.
- 3) Tomar en cuenta el número de pruebas a realizar en cada secuen-- cia de prueba.
- 4) La etapa de despliegue de información debería estar en compati-- bilidad de direccionamiento de información con el número de alar mas a probar; esto es, tener la capacidad de reportar los resul-- tados adecuadamente.
- 5) Fijar la cantidad de alarmas que represente a la vez, poco es--- fuerzo para el operario en la colocación de los dispositivos pa-- ra ser probados y que solucione en gran escala los cuellos de bo tella a largo plazo.

Con lo anterior en mente, se prosigue con la explicación de la elec-- ción del número de alarmas a probar.

Habiendo hecho un análisis de los parámetros de la alarma, se obtu-- vo como resultado que las pruebas que se aplicarían a las alarmas serían 10, desplegándose la información de los resultados en cuadros indicado-- res de 7 segmentos con lógica de números decimales del 0 al 9, lo que im plicaba el uso de código B D C con la utilización de un decodificador de B D C a 7 segmentos. Todo lo anterior obliga a usar al menos 4 bits que-- se toman de cualquiera de los 3 puertos bidireccionales que posee el mi--

--crocomputador. Ahora bien, al elegir ya 4 bits de un puerto, los 4 restantes sirven para direccionar el número 2^n de alarmas a probar, siendo $n=4$, representado por los 4 bits restantes del puerto en cuestión, lo -- que arroja un resultado de 16 alarmas para ser probadas simultáneamente.

Hay que notar que el máximo número de alarmas a probar es 16 y no más, limitante que surge debido al número de pruebas a realizar por la - decodificación necesaria para el reporte de resultados y por el uso de - la máxima capacidad posible de un puerto, ya que resultaría inconveniente desperdiciar el uso de 1 ó 2 bits extras de un puerto para manejar -- más alarmas además de expandir demasiado el tamaño del chasis y represen- tar mucho esfuerzo humano para el operario lo que resultaría contraprodu- cente.

El hecho de no probar más alarmas no demerita al sistema; por el -- contrario, hace óptima la elección por constituir 16 alarmas un perfecto ajuste al modo de operación de manejo de información interno en el micro- computador, que se trabaja en hexadecimal, además de satisfacer el obje- tivo central de diseño del sistema presentado.

Así pues se utiliza un puerto paralelo de 8 bits como ya se apuntó, para manejar la salida de información a cuadros indicadores, sirviendo - para ilustrar el porque de las 16 alarmas el diagrama 2.3.

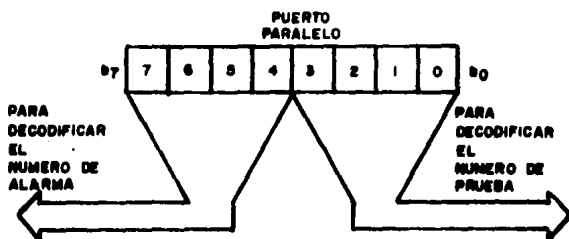


Diagrama 2.3. Utilización de los 8 bits de un puerto paralelo para manejar al sistema de -- prueba como un elemento múltiple.

La distribución de los puertos es como sigue:

PUERTO	FUNCIONES	MODO DE FUNCIONAMIENTO
A	Despliegue de información a cuadros indicadores.	Salida
B	- Manejo de entrada de información a la tarjeta madre. - Manejo de relevadores.	Salida
	- Habilitación de salida de información a cuadros indicadores.	Salida
C	- Entrada de información digital a la tarjeta madre. - Manejo de alarma.	Entrada
	- Manejo de foco indicador "Corre Prueba".	Salida
	- Recepción de orden de inicio de prueba,	Entrada
D	- Puerto usado en su modo de convertidor analógico/digital. Recibe las magnitudes analógicas de voltaje a ser medidas.	Entrada

En las figuras 2.6, 2.7, 2.8 y 2.9 se amplía la explicación del cuadro anterior.

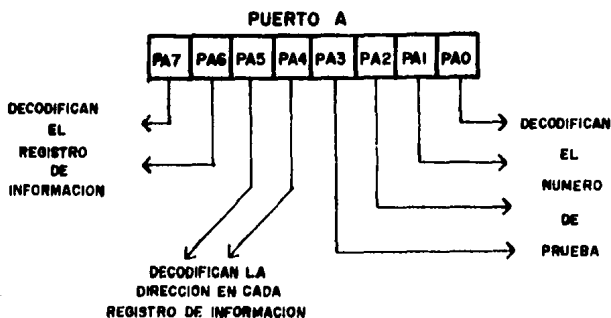


Figura 2.6. Funciones del puerto A en el sistema de prueba.

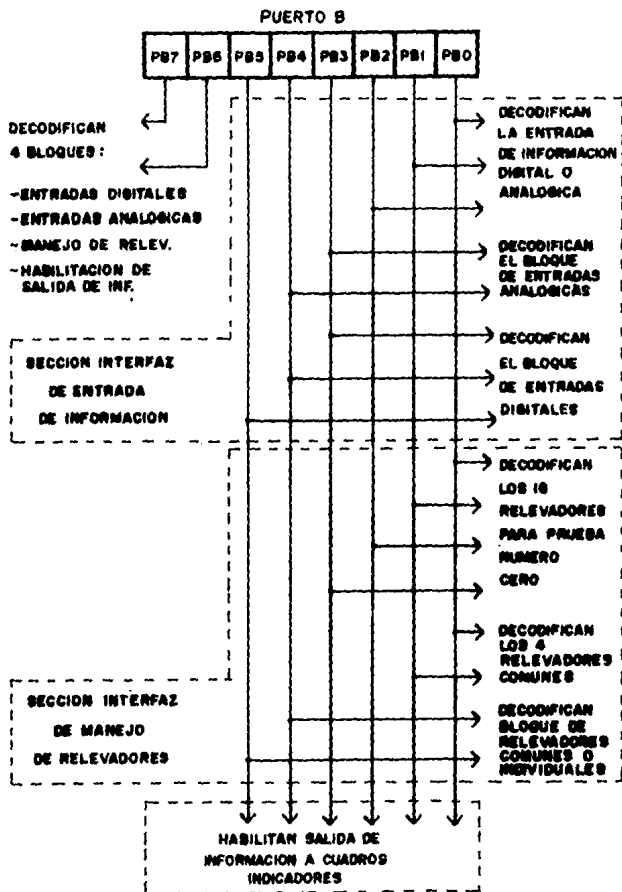


Figura 2.7. Funciones del puerto B en el sistema de prueba.

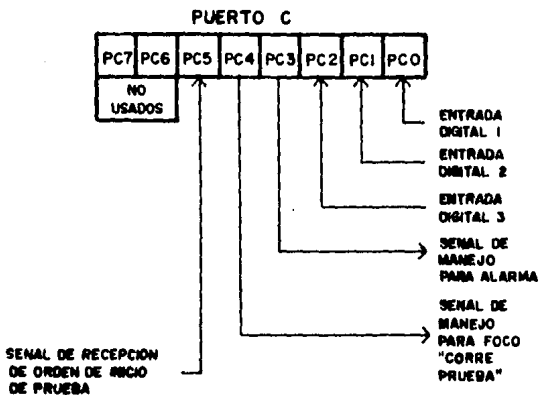


Figura 2.8. Funciones del puerto C en el sistema de prueba.

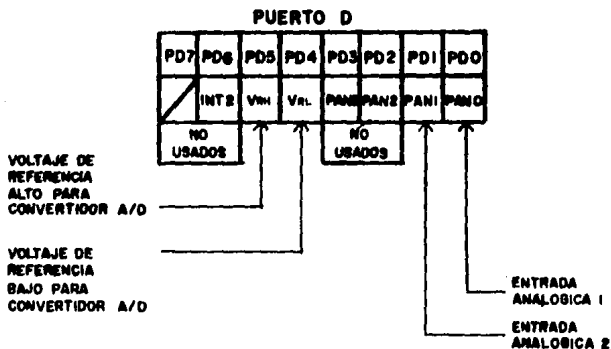


Figura 2.9. Funciones del puerto D en el sistema de prueba.

Con toda la información presentada, se muestra en la figura 2.10-- el tercer diagrama de bloques para desarrollar ahora la teoría de operación del sistema de prueba.

La teoría de operación del sistema de prueba se fundamenta básicamente en la operación simultánea de las 16 alarmas, multiplexando las señales provenientes de sus correspondientes interfaces para obtener la información de sus distintos parámetros, probando cada uno de ellos en una secuencia predeterminada por la programación del microcomputador, que procesará estos datos para luego reportar los resultados de cada prueba a los cuadros indicadores en el tablero del sistema, realizando todo lo anterior al ordenar correr la secuencia de prueba por medio del botón colocado en el tablero.

Con el auxilio del diagrama realizado, se desglosa la idea fundamental expresada en el párrafo anterior, mediante la explicación de la secuencia teórica de pruebas a través de los distintos bloques que participan en su ejecución.

Al oprimir el botón "Corre Prueba", el microcomputador responde encendiendo un foco indicador que informa al operario que la ejecución de la secuencia de prueba ha sido ordenada y que se inician verificaciones de cada alarma mediante el multiplexaje de la información de cada una de ellas. Las alarmas obtienen su alimentación a través de la acción de un relevador común que las provee de un voltaje de 12.4 vcd, siendo manejado el relevador por una orden de activación procedente del microcomputador a través de la interfaz de manejo de relevadores.

La primera prueba que se ejecuta es la correspondiente a la verificación del consumo de corriente de cada alarma, realizándose con la ayuda del banco de relevadores manejado a través de su correspondiente interfaz por el microcomputador.

Con la acción de un relevador individual por alarma, la interfaz de cada una de ellas envía la información analógica correspondiente a un voltaje sentido que es recibido por el puerto analógico PAN0, en donde el convertidor A/D del microcomputador realiza su función, reportándose después los resultados a los cuadros indicadores.

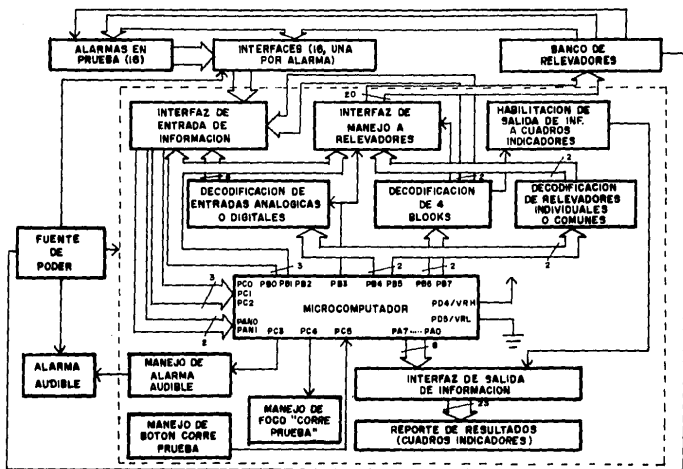


Figura 2.10. Diagrama de bloques del sistema de prueba (tercera explicación).

En caso de existir una alarma con consumo excesivo de corriente, el microcomputador ordena inmediatamente: la desactivación del relevador de alimentación por medio de la interfaz encargada, el apagado del foco indicador de corre prueba, manda una señal de desactivación al relevador correspondiente de la alarma defectuosa, activa la alarma audible del sistema para indicar una situación anormal y reporta la alarma defectuosa mediante una letra "c" en su cuadro indicador. A continuación el operario retira la alarma con defecto y la reemplaza por otra en el conector correspondiente, quedando el sistema preparado para iniciar nuevamente la secuencia de prueba para verificar inclusive la alarma que se acaba de colocar.

La secuencia de prueba continua con la aplicación de la verificación del voltaje interno regulado para cada alarma, usando también un multiplexor analógico por el puerto PAN1 como entrada de información. Si las alarmas están correctas en dicho parámetro, aparece en sus cuadros indicadores el número " 1 " correspondiente al número de prueba que se ejecutó.

La secuencia de prueba continua, reportándose en los cuadros indicadores de cada alarma el número de prueba que se ha realizado satisfactoriamente para cada dispositivo.

Ahora bien, en el caso de que alguna alarma presente un defecto en la verificación de un parámetro, se mantiene en su cuadro indicador el número de prueba en que se revisó dicho parámetro, obteniendo así una información permanente e inmediata del estado de los dispositivos que están siendo probados. Esto evita errores de apreciación y brinda seguridad en el reporte final de resultados por parte del operario y del sistema.

A lo largo de toda la secuencia de prueba, el puerto B cumple con el direccionamiento de los bloques que se le han asignado, decodificando y manejando cualquiera de ellos por medio de los bits PB6 y PB7 principalmente, auxiliados por PB0, PB1, PB2, PB3, que direccionan las entradas y acciones de cada bloque para su decodificación en conjunto con PB3 PB4 y PB5.

Para llevar a efecto las instrucciones de cada prueba el puerto B:

- realiza el multiplexaje de la información proveniente de las interfaces de cada alarma por medio de la interfaz de entrada de información, que elige entradas analógicas o digitales que requiera la prueba que se esté llevando a cabo.
- Manipula el banco de relevadores para simular las acciones de los disparos positivo y negativo para poner en operación simultáneamente a todos los dispositivos de alarmas, o bien dejarlas fuera de servicio con la aplicación de la terminal de llave, así como proveerlas de alimentación; todo lo anterior se realiza con cuatro relevadores comunes a todas las alarmas según la condición de simulación que exija la prueba que se esté llevando a cabo. Los 16 relevadores individuales también son manejados por el puerto B en la prueba cero, con la acción de cada uno de ellos por multiplexaje de información de la alarma en turno.
- Habilita la salida de información a los cuadros indicadores mediante el envío de una señal única a la interfaz de despliegue de información.

El puerto C en sus bits usados como entrada PC0, PC1, PC2, recibe junto con dos entradas del puerto analógico, PAN0 y PAN1, toda la información multiplexada para ser procesada y comparada con las condiciones fijadas para cada prueba, enviando los resultados por medio del puerto A continuamente a los cuadros indicadores.

Con la llegada al final de la secuencia de prueba, se indica un número " 9 " en los cuadros indicadores de cada alarma que haya cumplido satisfactoriamente con las pruebas que le fueron aplicadas (como ya se menciona en párrafos anteriores, la alarma con falla mantiene el número de prueba en que se halló defectuosa en su cuadro indicador), el microcomputador ordena la desactivación del relevador común de alimentación, el apagado del foco "Corre Prueba" y la activación de la alarma audible para poner en alerta al operario que la secuencia de prueba ha terminado.

Por su programación, el microcomputador y por consiguiente el programa entero y el sistema, quedan preparados para una nueva ejecución de

secuencia de prueba en cuanto el operario lo disponga.

La teoría de operación del sistema de prueba descrita, amplía ahora completamente el panorama de las funciones que el equipo presentado desarrolla durante su desempeño en la línea de producción y marca la entrada a la explicación específica de cada bloque expuesto con la descripción de los elementos electrónicos que lo constituyen y de como operan en conjunto para llevar a efecto la operación satisfactoria del sistema de prueba, cumpliendo con ello la teoría expuesta.

c) CRITERIO DE DISEÑO DEL CHASIS DEL SISTEMA DE PRUEBA.

Antes de comenzar con el desarrollo de la explicación del criterio de diseño aplicado al chasis del sistema que se presenta, cabe aclarar que al hacer referencia al chasis, se debe entender a este como un contenedor de los diversos elementos que constituyen a un sistema o aparato electrónico y que se opera generalmente sobre una mesa de trabajo o montado en un gabinete, ambos ya existentes o prefabricados dentro de la planta de producción y que se diferencia de un gabinete por no estar colocado sobre la superficie de la planta de fabricación o área de trabajo.

Para todo sistema electrónico de prueba la elección de diseño del gabinete o chasis que lo contendrá, representa un aspecto determinante para el buen desenvolvimiento del sistema dentro de la planta de fabricación, ya que implica factores tan importantes como lo son por ejemplo que el chasis brinde la facilidad de acceso a su interior como a su parte exterior, que esté provisto de ventilación y ranuras de desfogue para desahogo de aire caliente producido por el calentamiento de los componentes del sistema o de los disipadores de la fuente de poder y que ofrezca comodidad al operario al hacer uso de él, lo que incluye la facilidad con que el trabajador pueda transportar al equipo dentro de la planta de fabricación, el esfuerzo mínimo y claridad para verificar resultados de la prueba, la sencillez de encendido y puesta en marcha del sistema y la consideración de un diseño tal que el cuerpo del operario se fatigue lo menos posible al hacer uso del sistema por periodos prolongados.

En el diseño del chasis del sistema que se presenta se tomarón en cuenta de alguna manera las consideraciones anteriores, incluyendo las sugerencias del personal de las líneas de fabricación respecto de sus experiencias previas con equipos utilizados.

A continuación se listan los criterios que se tomaron en cuenta para el diseño del chasis, basados siempre en necesidades específicas:

- 1) el chasis del sistema debe acoplarse a las dimensiones de las mesas de trabajo existentes. Esto es importante, ya que influye en la comodidad que el sistema ofrezca en su manipulación.
- 2) El chasis debe contener por completo a todo el sistema, sin aislamiento de secciones que ocasionen problemas en su desplazamiento de un lugar a otro dentro del área de trabajo y que causa a la larga un exceso de conectores y cables de interconexión, dificultando su colocación y el trabajo simultáneo en otras operaciones de la línea de fabricación.
- 3) El chasis se diseñará para ser operado por una persona que este en posición de pie, y que gaste esfuerzo mínimo al operar el aparato y que tenga comodidad al mismo tiempo. Esto incluye facilidad de verificación de resultados, de encendido y apagado del equipo y de control de inicio de prueba, así como focos indicadores y alarma audible para el fácil reconocimiento de situaciones de alerta.
- 4) El chasis debe ser construido con ranuras de ventilación en sus costados y debe incluir también un ventilador para la circulación del aire caliente por convección forzada, esto debido a la presencia de transistores que disipan gran potencia y de registros de lectura y escritura de información que también disipan gran cantidad de calor.
- 5) El chasis debe tener la facilidad de acceso a su interior donde estarán alojados todos los subsistemas que conforman al equipo de prueba, así como también debe incluirse una forma sencilla de colocar las alarmas en él para ser probadas.

Habiendo expuesto los criterios fundamentales en el diseño del cha-

--sis, se muestran a continuación en las figuras 2.11 y 2.12 esquemas -- del chasis construido así como fotografías del sistema en conjunto para la mejor apreciación del chasis. En las fotografías 2.1, 2.2, 2.3 y 2.4 se observan 4 vistas del conjunto.

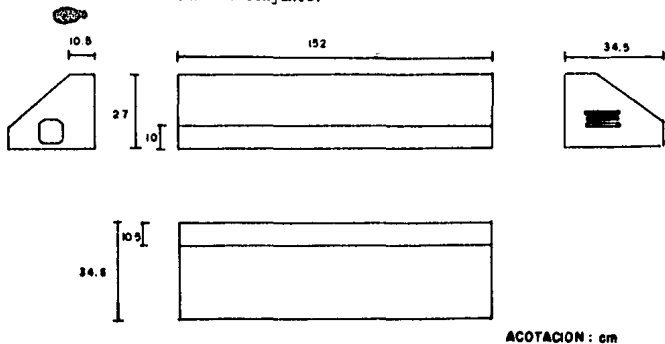


Figura 2.11. Medidas del chasis del sistema de prueba.

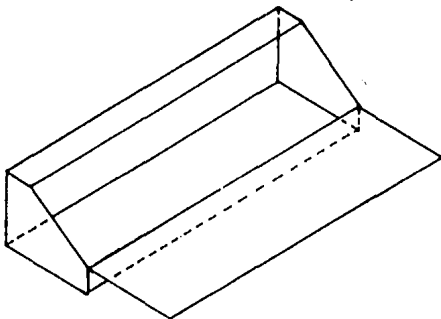


Figura 2.12. Perspectiva isométrica del chasis.

El área individual de conexión para cada alarma fue determinante para la elección de la longitud definitiva del chasis completo ya que se pretendió hacer un espacio lo suficientemente cómodo y accesible entre una alarma y otra, para la mejor manipulación de los dispositivos a ser-

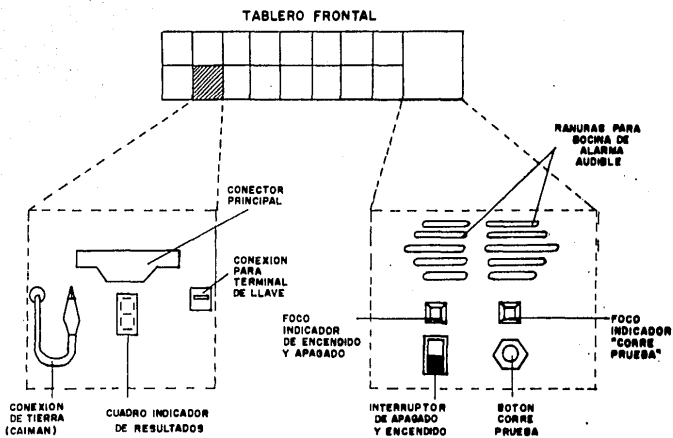


Figura 2.13. Descripción del tablero frontal del sistema de prueba.

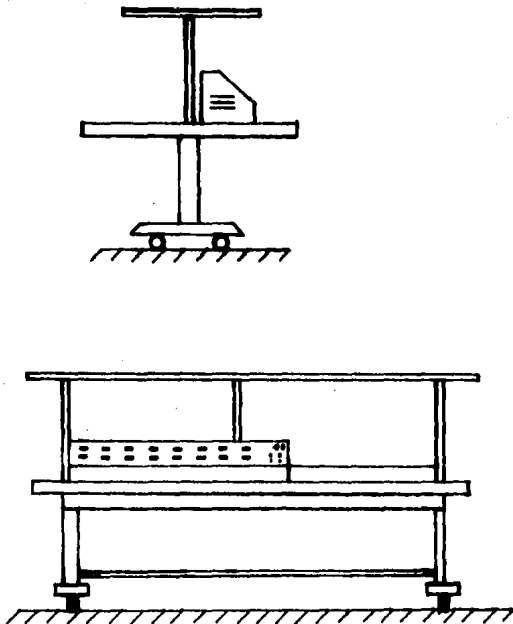


Figura 2.14. Adaptación del chasis a las mesas de trabajo.

--probados.

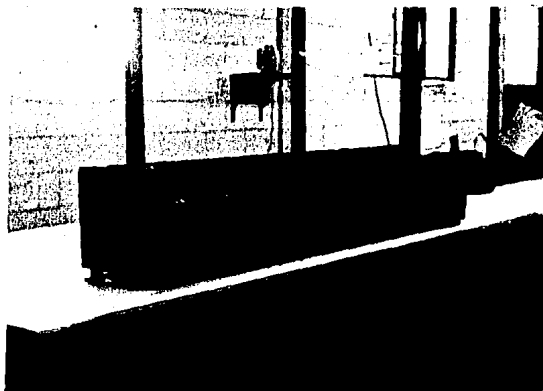
Asimismo, existe una terminal tipo "caimán" de conexión a tierra, - que tiene gran flexibilidad por su ubicación en este espacio y que sirve para el contacto con la terminal de tierra de la alarma. Esto se tomó mucho en cuenta ya que la alarma puede ser probada en tres etapas de armado diferentes, las cuales son:

- sin caja, con sus conexiones de llave y tierra sueltas, y que permite una fácil conexión con el caimán de tierra y la terminal de llave.
- Con caja cerrada temporalmente, con sus terminales de llave y tierra sujetas a la caja mediante orificios de fijación que permite también la conexión sencilla con el caimán de tierra y la terminal de llave.
- Con caja cerrada definitivamente, con la terminal de tierra remachada a la caja y la terminal de llave sujeta a la caja a través de un orificio de fijación. En revisiones de control de calidad o rechazos, la caja esta ya cerrada y es cuando la ubicación del --caimán de tierra entra en juego, pues de no ser así, habría dificultad al conectar el caimán de tierra con su correspondiente terminal.

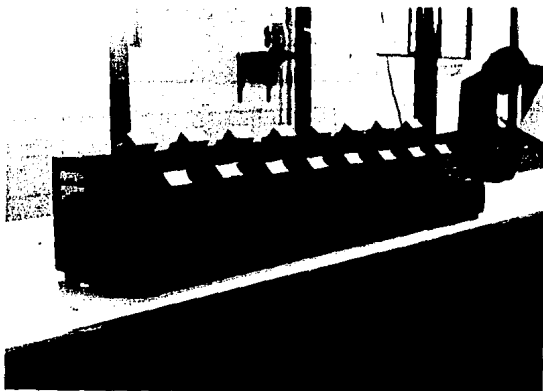
En las fotografías 2.5 y 2.6 se pueden apreciar las secciones del tablero asignadas a cada una de las 16 alarmas en prueba así como el interruptor de encendido y apagado y el botón de corre prueba junto con -- los focos indicadores y las ranuras para la alarma audible. En la figura 2.13 se describen las secciones del tablero y sus detalles.

Con el diseño escogido y la explicación que se ha dado de él, se reconsideran los criterios de diseño y se verifican si se han cumplido.

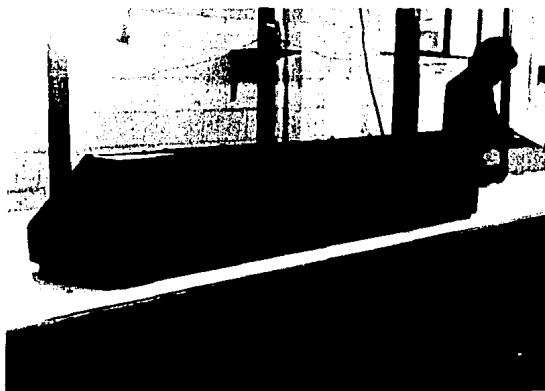
Primeramente se llevó a efecto que el chasis se acomoda perfectamente en las mesas de trabajo sin obstruir ni dejar partes sobradas en -- el área del operario. Esto se puede constatar a partir de las medidas -- del chasis y de las mesas de trabajo las cuales se ilustran en conjunto en la figura 2.14.



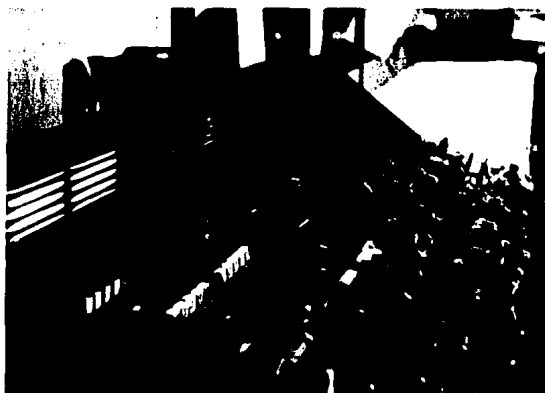
Fotografía 2.1. El sistema de prueba en el ámbito de la línea de producción. Obsérvense los conectores de las 16 alarmas.



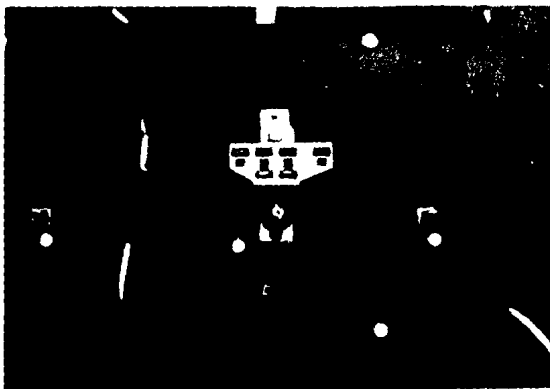
Fotografía 2.2. Aspecto del sistema de prueba a su máxima capacidad con todas las alarmas en sus conectores de verificación.



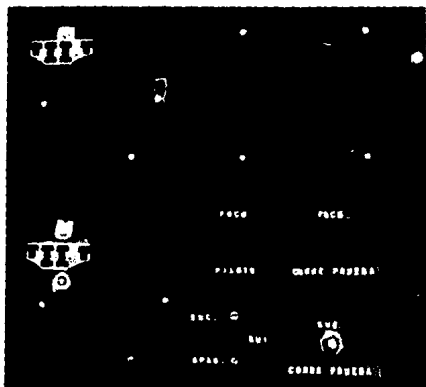
Fotografía 2.3. Vista posterior del sistema de prueba. Obsérvense las ranuras posteriores y el ventilador en el cotado del chasis



Fotografía 2.4. Aspecto del chasis con la puerta de acceso abierta. En este esquema se puede observar el acomodo de los circuitos así como las ranuras posteriores.



Fotografía 2.5. Detalle del área de conexión para cada alarma en el tablero frontal del chasis.



Fotografía 2.6. Imagen detallada que muestra los dos focos indicados, dos interruptores y las ranuras de la bocina - de la alarma audible en el tablero frontal.

Como segundo criterio se tomó en cuenta que el chasis debería contar a todos los elementos que conforman al sistema, lo cual se verificó gracias a las medidas realizadas en la tarjeta principal o tarjeta madre que representaba el modelo a tomar en cuenta por el ancho en su medida - y que fué tomado como una base en la elección de la misma medida del chasis. La distribución interior quedó definida de la manera ilustrada en - la figura 2.15.

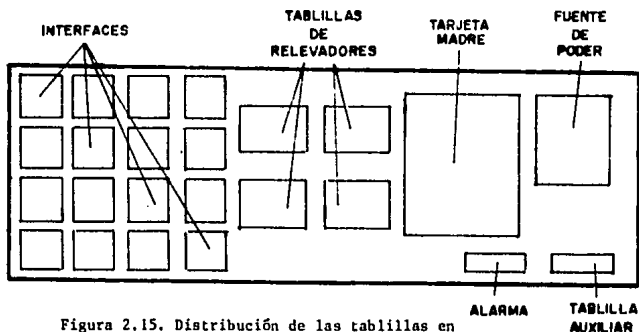
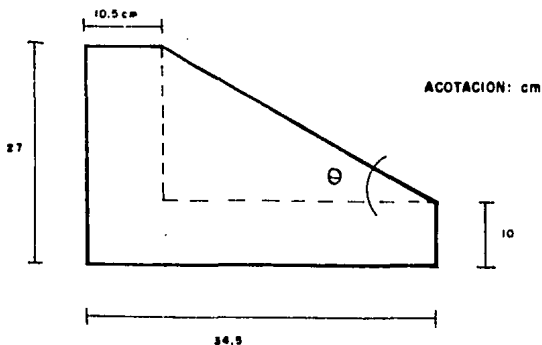


Figura 2.15. Distribución de las tablas en el interior del chasis.

Lo anterior confirma que se cumple con el criterio de que todo estuviera contenido en un solo chasis. Se montaron también tablas en la puerta del chasis que contienen a los cuadros indicadores, así como gran parte del cableado del sistema. El único cordón que sale del chasis es la clavija de alimentación de C. A. que lo hace prescindir de conectores extra y por lo tanto de cables de interconexión entre posibles secciones que conformen al equipo, evitando con esto un exceso de cableado en la zona de trabajo. Otro beneficio que se obtiene es el fácil desplazamiento del equipo dentro del área de trabajo, ya que no requiere de volver a conectar módulos por separado.

Como un tercer criterio, se tomó en cuenta que el equipo brindara comodidad al operario lo cual se demuestra mediante el siguiente estudio realizado. El chasis presenta las medidas en sus laterales de la figura 2.16:



Calculando la medida del ángulo teta, se obtiene:

$$\theta = \text{Arc. Tan } \frac{17}{24}$$

$$\theta = \text{Arc. Tan. } 0.7083$$

$$\theta = 35^\circ$$

Figura 2.16.

Ahora bien, tomando en cuenta una estatura promedio de los operarios de aproximadamente 1.65 metros, esto, sabiendo que la mayoría de los operarios son mujeres, se comprueba que el ángulo obtenido satisface la comodidad que se puede brindar para una rápida verificación de resultados, así como una pronta e inmediata acción sobre cualquier alarma en prueba o al encender o apagar el aparato y para iniciar la prueba con el botón ya descrito. Los focos indicadores están en visibilidad así como un buen sonido de la bocina a través de las ranuras en el tablero. Todo lo anterior se dibuja en la figura 2.17, donde se aprecia la facilidad que el operador tiene al manipular el chasis, que también será útil para diferente personal de la planta de fabricación.

Como cuarto punto en los criterios de diseño se considera la existencia de ranuras de ventilación y un ventilador para provocar la circulación del aire por el método de convección forzada.

El chasis presenta ranuras de ventilación en sus partes posteriores

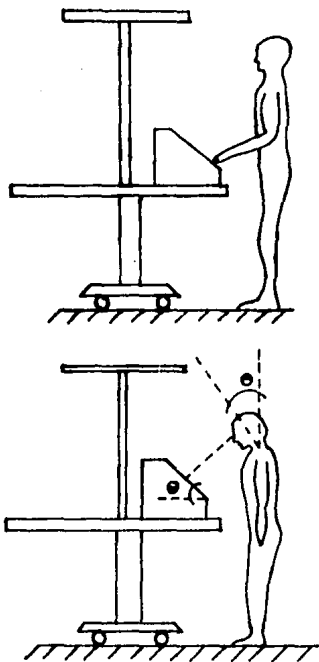


Figura 2.17. Facilidad de manipulación del chasis del sistema de prueba por parte del operario.

y lateral izquierda así como un ventilador colocado en la pared derecha cerca de la fuente de poder y la tarjeta madre. La figura 2.18 ilustra la información descrita.

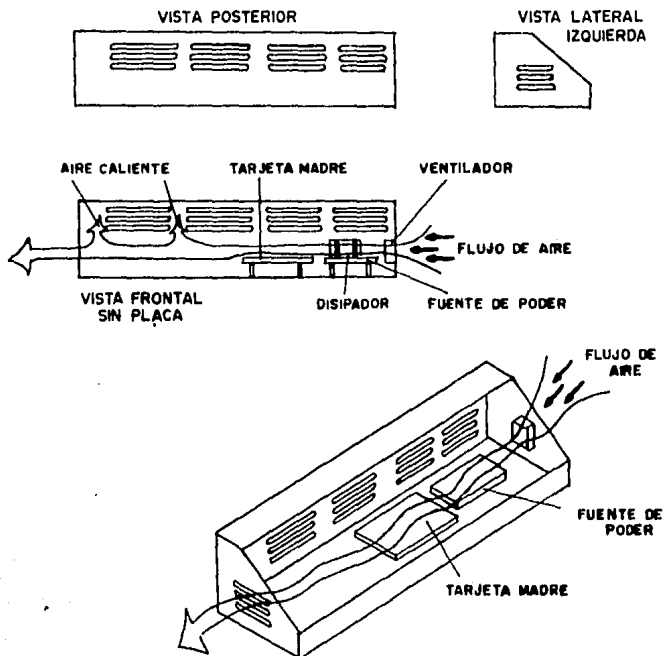


Figura 2.18. Ventilación que proporciona el chasis.

El quinto punto de los criterios tomados en cuenta es quizá uno de los más importantes en el buen desenvolvimiento del sistema, pues se refiere a la forma en que el chasis pueda ser abierto para tener un fácil acceso al interior del sistema y sus secciones que lo conforman. En este punto en discusión, se comprueba que el sistema tiene accesibilidad que se pide en el capítulo primero en los requerimiento básicos del sistema-

—y se lleva a cabo con un criterio de diseño adecuado para el chasis y así cumplir con la obtención final de un buen equipo que por supuesto incluye con el al chasis. La figura 2.19 muestra la forma de apertura del chasis.

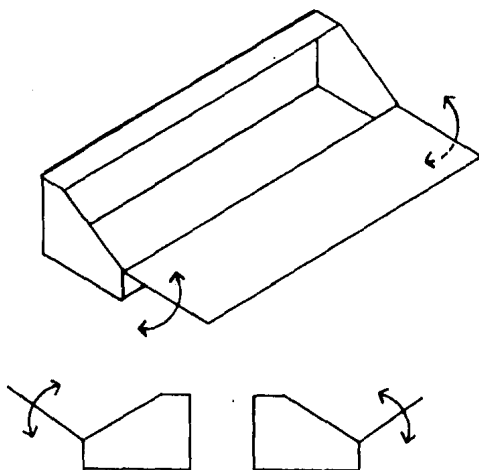


Figura 2.19. Modo de apertura del chasis.

Con esta forma de acceso al sistema se tiene gran facilidad de mantenimiento del mismo, así como una gran versatilidad en la manipulación de sus secciones internas y externas.

Los criterios de diseño expuestos para la construcción del chasis del sistema que se presenta, se basaron siempre en la necesidad de hacer un sistema de prueba que se adapte lo mejor posible a la situación de una línea de producción ya establecida y que aporte mejoras continuas a la misma, demostrando día con día de trabajo continuo, que incluso los criterios de diseño del chasis forman una parte determinante en la utilización del sistema de prueba.

C A P I T U L O III

EXPLICACION ESPECIFICA POR BLOQUES

a) INTERFAZ DE ADECUACION DE SEÑALES.

El bloque de interfaces descrito en la teoría de operación del sistema de prueba, constituye la etapa intermedia entre las señales procedentes de seis de las terminales de la alarma y las señales que son enviadas a la interfaz de entrada de información en la tarjeta madre, para después ser multiplexadas canalizándolas a las distintas entradas analógicas y digitales del microcomputador.

La función fundamental de cada una de las interfaces es adecuar -- las señales de salida de cada terminal de la alarma para transformarlas en niveles de voltaje de un rango tal que puedan ser admitidas por sus características sin problema alguno por los circuitos de interfaz de entrada de información, obteniendo seguridad y exactitud en la medición de parámetros como lo son por ejemplo voltajes, corrientes y tiempos de trabajo.

Para comprender mejor el párrafo anterior, es suficiente explicar - que si la salida de señal cuadrada pulsante de la terminal 2 de la alarma tiene un máximo de voltaje de aproximadamente 12 vcd y un mínimo de - 0.2 vcd, la sola aplicación del valor máximo de la oscilación a la entrada de un circuito con lógica TTL, dañaría seriamente al dispositivo en su estructura interna inutilizándolo quizá de por vida; es por esto que se hace necesario el uso de una interfaz por cada alarma a probar, para asegurar que las señales son leídas por los circuitos usados dentro de los rangos especificados para la familia lógica y tecnología de construcción correspondientes.

La descripción de la interfaz usada para cada alarma se realizará con el estudio de cada una de sus terminales, de acuerdo a la señal que-

-entregan para el funcionamiento de la verificación de cada alarma, explicando el proceso de adecuación que se le da y el resultado final para ser enviado a los multiplexores de información analógica o digital.

Terminal 1, Llave externa.- La operación de esta terminal se cumple poniéndola a tierra para la interrupción de servicio de la alarma o dejándola "al aire" para la puesta en servicio de la alarma. El circuito que se acopla a esta terminal se usa para ayudar a medir efectivamente el voltaje interno regulado de la alarma y para interrumpir el funcionamiento de la misma durante la secuencia de prueba. El circuito utilizado es el ilustrado en la figura 3.1.

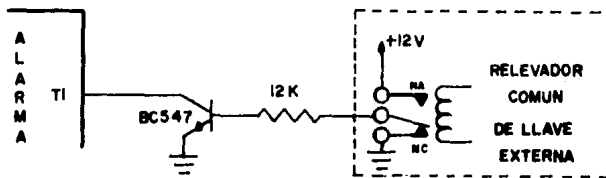


Figura 3.1. Circuito de interfaz de la terminal 1.

Su funcionamiento se auxilia de un relevador común a todas las alarmas, que realiza la función de ponerlas fuera de servicio durante una prueba que les es aplicada y es manejado por la interfaz de manejo de relevadores. Al activarse, el relevador interrumpe la operación de la alarma por la saturación del transistor que pone un nivel de tierra a la terminal 1 de todas las alarmas con lo que cumple su cometido. La terminal 1 está conectada directamente a la etapa de regulación interna de voltaje, por lo que el aislamiento que provee el transistor cuando este se encuentra en estado de corte, es suficiente para poder medir correctamente dicho parámetro en la prueba uno. Si no se tuviera dicho aislamiento, la conexión común del relevador a todas las alarmas causaría errores de apreciación en la prueba de voltaje interno regulado, ya que los valores de voltaje de cada alarma aparecerían en paralelo ocasionando que si alguna de ellas tuviera un valor por debajo del aceptado, las 16 alarmas serían rechazadas, lo cual recaería en un error de diseño que se reflejaría en la línea de producción produciendo en los operarios mala apre-

--ciación. Al tener el relevador a tierra se puede entonces leer con seguridad el voltaje interno regulado de cada alarma. La resistencia de 1K es para limitar la corriente en la base del transistor.

Terminal 2, Luces.- En su operación esta terminal entrega una señal cuadrada pulsante de amplitud máxima igual al valor de alimentación a la alarma y con un valor mínimo de 0.2vcd, suficiente para activar la alerta visual que la alarma brinda con un ciclo de trabajo del $50\% \pm 3\%$ y -- frecuencia mínima de 0.75 hz y máxima de 1.15 hz. El circuito que se conecta sirve para transformar la señal cuadrada de salida a una señal - de oscilación TTL con 5 vcd de amplitud máxima y un mínimo de 0.8 vcd, - para usar esta información al verificar que dicha oscilación exista efectivamente en esta terminal. El circuito usado es el ilustrado en la figura 3.2.

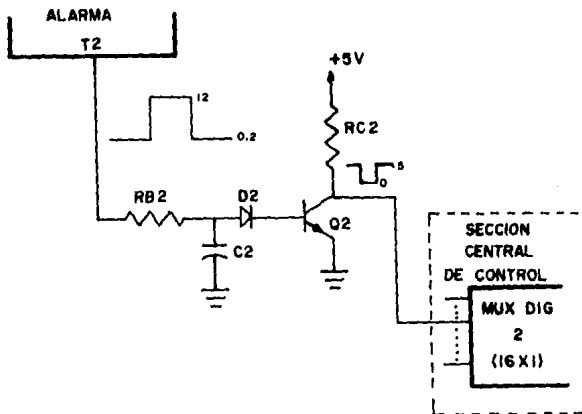


Figura 3.2. Circuito de interfaz de la terminal 2.

La señal de salida de la terminal se especifica en el diagrama junto con la resultante que se envía al multiplexor digital 2, contenido en la sección central de control en la interfaz de entrada de información - (referirse al inciso e). Su funcionamiento se basa en el corte y satura

—ción de un transistor NPN que entrega una señal TTL por su colector, -
 invirtiendo la fase a la señal de entrada proveniente de la terminal 2.
 El capacitor C2 de 0.1 uf conserva siempre el valor de voltaje de la se-
 ñal de entrada, después de la resistencia R2. El diodo D2 funciona como-
 protección al transistor, elevando el voltaje de saturación del mismo a-
 1.2 vcd en su base; el transistor es de pequeña señal y el cálculo de la
 resistencia R2 es como sigue:

$$\begin{aligned}
 I_{Csat} &= 1 \text{ ma} \\
 &= 200 \\
 R_{C2} &= \frac{V_{cc} - V_{cesat}}{I_{Csat}} \\
 R_{C2} &= \frac{5v - 0.2v}{1 \text{ ma}} \\
 R_{C2} &= 4.8 \text{ K} \\
 I_{Bsats} &= I_{Csats} \\
 I_{Bsats} &= \frac{1 \text{ ma}}{200} \\
 I_{Bsats} &= 5 \text{ ua}
 \end{aligned}$$

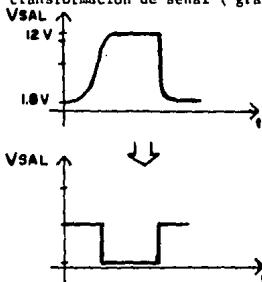
Haciendo una L K V (Ley de Kirchhoff de Voltaje) en la malla de-
 base resulta:

$$\begin{aligned}
 V_{sa1} - V_{D2} - V_{BE2} - I_{Bsats}R_{B2} &= 0 \\
 R_{B2} &= \frac{V_{sa1} - V_{D2} - V_{BE2}}{I_{Bsats}} \\
 R_{B2} &= \frac{12v - 1.2v}{5 \text{ ua}} \\
 R_{B2} &= 2.12 \text{ M}
 \end{aligned}$$

Concluyendo, cuando el voltaje en la terminal 2 es 12 vcd o un va-
 lor suficiente que ponga en operación a la alarma para su alerta visual-
 el transistor se satura y viceversa, con un nivel de menos de 1.2 vcd el
 transistor se corta, provocando la señal TTL con frecuencia y ciclo de -
 trabajo iguales a la de la señal saliente de la alarma por la terminal -
 en análisis, con una forma más cuadrada y un valor máximo de 5vcd, que -

--como ya se dijo es usado en la prueba de verificación de oscilación --
por esta terminal.

Terminal 3, Claxón.- En la descripción de esta terminal en el inci-
so a del capítulo segundo, se menciona que por esta salida se tiene una-
señal cuadrada pulsante con las mismas características de salida que la-
terminal 2, con la diferencia que el nivel mínimo de voltaje es de 1.8 -
vcd. El objetivo del circuito que se acopla a esta terminal es realizar-
la siguiente transformación de señal (gráfica 3.1):



Gráfica 3.1.

Para ello se utiliza el siguiente circuito esquematizado en la fi-
gura 3.3.

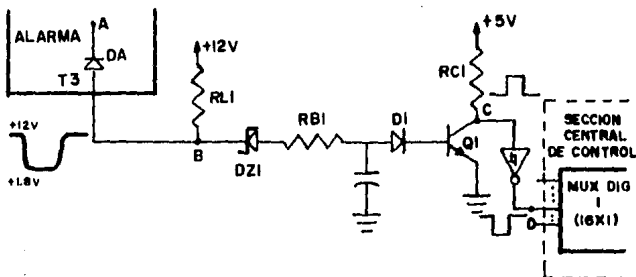


Figura 3.3. Circuito de interfaz de la terminal 3.

Para la explicación del funcionamiento del circuito se incluye en -
el diagrama a un diodo que está contenido en la alarma y que participa -

--en la activación de la alerta auditiva que la alarma proporciona al -- hacer funcionar al claxon. Cuando en el punto A existe un voltaje de 12-vcd, el diodo DA está apagado, no conduce, y al contrario con un valor de voltaje de 1 vcd esta prendido, listo para conducir en sentido directo. Estos valores son obtenidos de la circuitería interna de la alarma. Para elegir el valor de la resistencia limitadora RL1, es necesario explicar que el diodo zenner fue escogido con un valor de 5.1 volts a medio watt de disipación y que solo conduce cuando se presente en su ánodo un valor mayor o igual a 5.1 volts. Mientras esto no suceda, DZ1 se comporta como un circuito abierto en tanto el voltaje de oscilación esté en su nivel inferior por la terminal 3. El circuito equivalente queda de la siguiente forma (figura 3.4):

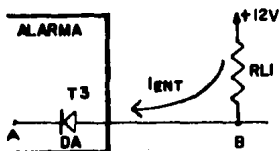


Figura 3.4. Circuito equivalente con la existencia de la parte baja del pulso de salida.

Si se quiere limitar la corriente de entrada Ient a un máximo de -- 100 ma:

$$RL1 = \frac{12v}{I_{ent \max}}$$

$$RL1 = \frac{12v}{100 \text{ ma}}$$

$$RL1 = 120$$

$$PRL1 = (I_{ent \max})^2 \times RL1$$

$$PRL1 = (100 \text{ ma})^2 \times 120$$

$$PRL1 = 1.2 \text{ w}$$

lo cual es un valor aceptable. En caso de calcular el valor real, se obtendría una resistencia con valor de 102 ohms.

Habiendo explicado la elección de esta resistencia, se apuntan ahora los cálculos para RB1 y RC1, sabiendo de antemano que D1 es un diodo-rectificador común, C1 es un capacitor de 0.01 uf, Q1 un transistor de -

—pequeña señal y que DZ1 es un diodo zenner de 5.1 volts a medio watt - de disipación:

$$I_{Csat} = 1 \text{ ma}$$

$$R_{C1} = \frac{V_{cc} - V_{CE \text{ sat}}}{I_{Csat}}$$

$$R_{C1} = \frac{5v - 0.2v}{1 \text{ ma}}$$

$$R_{C1} = 4.8 \text{ K}$$

$$I_{Bsats} = 5 \text{ ua con } \beta = 200$$

Con un voltaje de 12 volts en el punto A, el diodo DA está apagado—representando un circuito abierto entre el punto A y el punto B, estando la señal de salida en un nivel alto de valor ya especificado, con lo que DZ1 entra en su zona de conducción y mantiene un voltaje de 5.1 volts; - el circuito queda de la forma ilustrada en la figura 3.5:

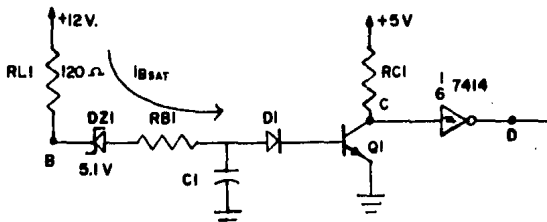


Figura 3.5. Circuito equivalente con la parte alta del pulso.

Haciendo una L K V en la malla resultante de base:

$$12v - VDZ1 - VD1 - VBE1 - IBsatRL1 - IBsatRB1 = 0$$

$$12v - 0.7v - 0.7v - 5.1v - IBsatRB1 = 0$$

$$RB1 = \frac{12v - 6.5v}{5 \text{ ua}}$$

$$5 \text{ ua}$$

$$RB1 = 980 \text{ k}$$

El término, $IBsatRL1$, se elimina por existir el mismo valor de 12 - volts en el punto B aproximadamente que en el extremo opuesto de de la - resistencia $RL1$, lo que representa una caída de voltaje despreciable.

Al mantener el voltaje el diodo zenner DZ1, se permite también el paso de la corriente que satura al transistor. El capacitor C1 se ha colocado con el mismo propósito del colocado en el circuito de interfaz de la terminal 2, así como el diodo D1 que cumple con el mismo cometido de elevar el voltaje de saturación del transistor por su base, ayudando con esto a su protección.

Resumiendo el funcionamiento de la interfaz descrita, cuando en el punto A existe un nivel alto de voltaje, (12 vcd), el diodo DA está apagado, abriendo la conexión entre los puntos A y B. Con la presencia de este valor de voltaje en el punto B, el diodo DZ1 conduce, permitiendo la saturación del transistor a través de D1 y RB1, con lo que un valor de 0.2 vcd se obtiene en el punto C, o sea un "cero lógico", que aplicado ahora a la entrada de un disparador de Schmidt inversor (Referencia a péndice A), contribuye a hacer más cuadrada todavía la señal para recibirla con un nivel de "uno lógico" por el punto D y enviarla al multiplexor digital 1 de la interfaz de entrada de información.

En el caso contrario, cuando en el punto A existe un nivel bajo de voltaje, el diodo DA está encendido lo que permite su conducción y la existencia de un valor de 1.8 vcd en la salida de la terminal en el punto B. Esto provoca que el diodo zenner DZ1 no entre en conducción y que por lo consiguiente D1 y el diodo base-emisor de Q1 estén apagados, poniendo en corte al transistor, con lo que en el punto C se tiene un valor de 5 vcd, "uno lógico", que aplicado a la entrada del disparador de Schmidt inversor, se obtiene en el punto D un nivel de "cero lógico" que es también enviado en su oportunidad al multiplexor digital 1 de la interfaz de entrada de información.

El objetivo que se anotó al principio de la explicación de este circuito de interfaz se cumple con la manera descrita, siendo la señal que se recibe por el punto D, de una frecuencia y ciclo de trabajo muy exactos para ser medidos en las pruebas correspondientes, respetando los niveles TTL que se piden para ser recibidos por la interfaz encargada y por el microcomputador.

Terminal 4, Disparo Negativo.- En el capítulo segundo se describe--

--la función de esta terminal como una activadora para hacer entrar en operación a la alarma cuando se ha violado la cajuela del automóvil, hallándose la alarma en servicio. El uso del circuito de interfaz que se describe a continuación es para, además de hacer entrar en operación a todas las alarmas simultáneamente mediante un disparo negativo único, medir el voltaje interno regulado de la alarma (V I R). Cabe aclarar que existe una diferencia con la fracción de interfaz de la terminal 1 que también tiene acción en la medición del V I R, pero que a diferencia de la que se describe, solo auxilia indirectamente en el muestreo del voltaje sentido. Al ser analógica la cantidad a medir, la salida de esta interfaz va a un multiplexor analógico, contenido también en la interfaz de entrada de información. El circuito utilizado en esta parte de la interfaz se ilustra en la figura 3.6.

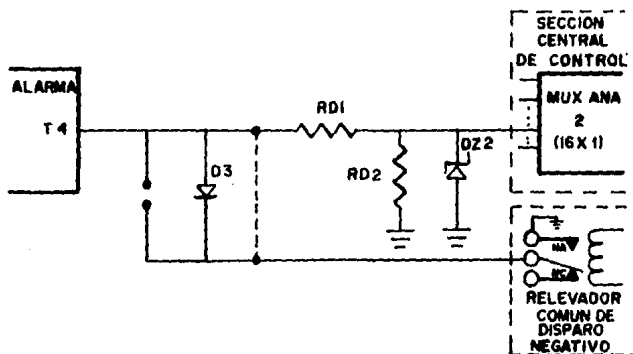


Figura 3.6. Circuito de interfaz de la terminal 4.

Conviene empezar la explicación del circuito por el diodo D3, que es un rectificador común que realiza una función importante tanto en el disparo simultáneo de las 16 alarmas como en la medición del V I R. Si dicho diodo no existiera y se tuviera una conexión común a todas las alarmas en la terminal 4 como se indica con la línea punteada, sucedería lo mismo que en la terminal 1 con el punto común: si alguna alarma tuviera un V I R debajo del rango aceptado, todas las alarmas serían rechazadas en la prueba correspondiente por aparecer en paralelo todos los vol-

--tajes de cada una de las alarmas, teniendo como resultado final el más bajo de todos ellos, que sería el de la alarma defectuosa, lo cual engancharía en la realización de la prueba. Con la participación del diodo D1 y estando el relevador común de disparo negativo siempre abierto en su conexión de NC (Normalmente Cerrado), el diodo representa un circuitoabierto como se indica en el trazo continuo en el diagrama realizado en la figura 3.6, aislando con esto los voltajes de cada alarma para su medición y permitiendo a la vez que cuando el relevador es activado a tierra ocurra el disparo negativo simultáneo. Las resistencias RD1 y RD2 forman un divisor de tensión, siendo ambas de igual valor y se utilizan para ampliar confiablemente el rango de voltaje que pueda ser leído por el multiplexor analógico; así, si existiera una alarma con un V I R con un valor de 10 vcd, en el divisor se obtendrían 5 vcd que es un valor más adecuado y que se ha fijado como máximo, por ser el mayor valor que puede ser aceptado por los multiplexores analógicos, como se verá más adelante. El diodo zenner DZ2 funciona también como un limitador de voltaje, ya que nunca permite que el voltaje que aparece a la salida del divisor supere los 5 vcd, auxiliando con esto en la protección de los circuitos de la interfaz correspondiente. El relevador común de disparo negativo se describe completamente en el inciso b de este capítulo.

Terminal 5, Bloqueo.- El evitar el robo del automóvil es la función primordial de la alarma, lográndose esto con la acción que ejecuta esta terminal aterrizando a tierra el borne negativo de la bobina de encendido. Esta terminal solo tiene dos estados posibles: sin conexión alguna o "al aire" o con un nivel de tierra, indicando el primero que la alarma no esta bloqueando a la bobina y el segundo estado que la alarma esta realizando el bloqueo efectivamente. Para registrar esto en la entrada digital multiplexada que se usa, se utiliza el circuito de la figura 3.7 que permite saber cual de los dos estados de la terminal existe para verificarse en cualquiera de los distintos ciclos de prueba. El funcionamiento ocurre cuando se tiene la acción de bloqueo en la terminal, que es un nivel de tierra que se traduce en un "cero lógico" a la entrada del multiplexor digital, verificándose así que la alarma bloqueó efectivamente. Con la alarma en el estado opuesto de no bloqueo, la resistencia R3 sirve como una resistencia de fijación a nivel alto (pull-up),-

--que fija precisamente el voltaje a +5 vcd, "uno lógico", que puede ser perfectamente interpretado por el multiplexor digital de información. Si no se usara esta resistencia el nivel de no conexión quedaría indeterminado o daría un valor de una situación falsa. El capacitor C3 ayuda a fijar los dos niveles de voltaje, esto es 5 vcd o tierra.

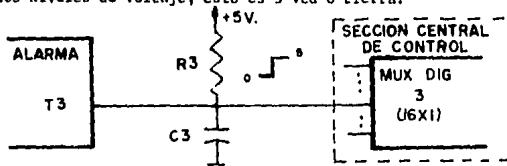


Figura 3.7. Circuito de interfaz de la terminal 5.

Terminal 6, Tierra.- En el capítulo segundo se le describe como la encargada de proveer a la alarma del nivel de potencial cero para el correcto funcionamiento de la misma.

En el estudio que se hace a continuación se demuestra como se hace uso de esta terminal para utilizarla en la medición de corriente que consume cada alarma, mediante la conexión de un circuito de interfaz tal, que permite realizar la verificación satisfactoriamente. El circuito que se utiliza es el siguiente (figura 3.8):

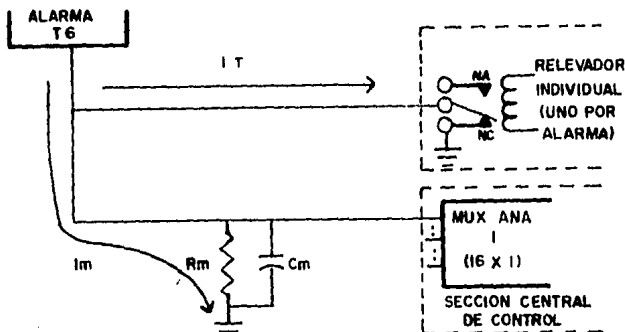


Figura 3.8. Circuito de interfaz de la terminal 6.

Su funcionamiento se basa en un convertidor de corriente a voltaje, formado por la resistencia R_m y auxiliado por el capacitor C_m ; junto con

estos elementos actúa el relevador indicado, que es individual para cada alarma en prueba.

Para medir la corriente de cada alarma, el relevador se activa, dejando conectada la alarma a tierra a través de R_m , esto, con la orden -- proveniente del microcomputador a través de la interfaz correspondiente, con lo que la corriente I_m fluye por R_m , causando una caída de potencial suficiente y cargando al capacitor con este voltaje, mismo que es leído por el multiplexor analógico de la interfaz de entrada de información. - Así se obtiene un valor de voltaje proporcional a la corriente que está siendo consumida por cada alarma. Al desactivarse el relevador vuelve a dejar la alarma conectada a tierra directamente, para poder proceder con las demás pruebas a realizarse.

Hay que hacer mención de que la corriente máxima permitida por alarma es de 20 ma y que un corto circuito entre la alimentación de la alarma y su tierra no ocurre por lo general. Los excesos de consumo de corriente se presentan cuando hay algún corto entre las pistas de la tabla donde se montan los componentes de la alarma, que provocan el rechazo inmediato del producto y que es precisamente lo que se pretende detectar con esta porción del circuito de la interfaz. La prueba de consumo de corriente para cada alarma se realiza activando el relevador correspondiente a esa alarma solamente, probando una por una en orden progresivo, muestreando el voltaje indicado para cada una y desactivando luego su relevador individual. Esto se hace con el objeto de evitar un daño al sistema por un consumo de corriente excesivo serio por parte de alguno - de los dispositivos que se estén probando.

Terminal 7, Batería.- No forma parte del circuito de interfaz ya -- que es manejada directamente por un relevador común que alimenta simultáneamente a todas las alarmas en prueba y que es manipulado por la interfaz correspondiente. El estudio del manejo de este relevador se hace en el inciso siguiente.

Terminal 8, Disparo positivo.- Al igual que la terminal 7, no participa dentro del circuito de interfaz, sino que es manejado en la misma - forma que la terminal anterior, por un relevador común que dispara simultáneamente a todas las alarmas y cuyo estudio se hace también en el inci

so siguiente.

Los circuitos de interfaz de adecuación de señales han sido descritos por separado, desglosando cada uno de ellos por la terminal en que son usados y demostrando así que la interfaz cumple con la función que le es asignada: transformar y adecuar señales provenientes de la alarma en prueba para poder ser interpretadas y recibidas correctamente por los circuitos de adquisición y procesamiento de información, localizados en la sección central de control.

b) TABLILLAS DE RELEVADORES.

En la esquematización del diagrama de bloques se anota la existencia de un banco de relevadores que auxilia en la operación de las interfaces para cada alarma, así como en la alimentación, activación, desactivación y puesta fuera de servicio de las mismas simultáneamente.

En la prueba de consumo de corriente, como se explica en la teoría de operación del sistema de prueba y en el inciso anterior, se usa un relevador para efectuar la medición de un voltaje en la interfaz correspondiente a cada alarma, para que el multiplexor analógico realice un muestreo de la cantidad registrada.

Siendo dieciséis el número de alarmas y de interfaces, se utilizan dieciséis relevadores para realizar la prueba cero en cada alarma, teniendo que activar solo uno de ellos a la vez. Los cuatro relevadores comunes, batería o de alimentación, disparo positivo, disparo negativo y llave externa, son activados en distintas etapas del programa o secuencia de prueba y se incluyen también en la explicación del inciso.

Sumando un total de veinte relevadores que conforman el bloque correspondiente, se han colocado en cuatro tablillas de cinco relevadores cada una conteniendo tres de ellas 15 relevadores individuales y la cuarta a los cuatro relevadores comunes y al relevador individual restante.

Un breve diagrama de bloques ilustra el párrafo anterior en la figura 3.9. Como ya se explicó, la interfaz de manejo y gobierno de rele-

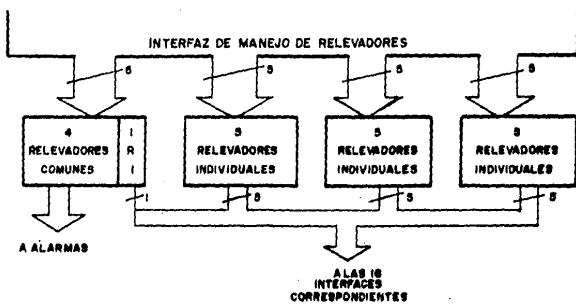


Figura 3.9. Distribución de los relevadores en las tabillas, formando en conjunto el bloque de banco de relevadores.

--vadores es la encargada de la manipulación de este bloque, que transmite sus señales a través de 20 líneas, una por cada relevador, para el control de los mismos. El funcionamiento de esta interfaz se hace en el inciso g.

El circuito impreso realizado para el funcionamiento de cada relevador cumple con el circuito ilustrado en la figura 3.10 (se dibuja 1 de 16 para los relevadores individuales).

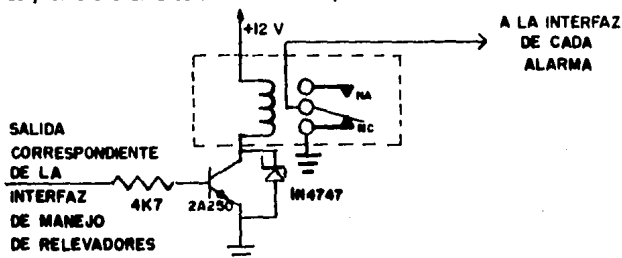


Figura 3.10. Circuito que ejemplifica el manejo de un relevador.

El funcionamiento se verifica con la aplicación de un nivel de voltaje suficiente para saturar al transistor NPN Darlington, en este caso un "uno lógico" como se verá más adelante, lo que provoca el paso de la corriente por la bobina del relevador y en consecuencia la activación del mismo, cumpliendo con esto la función para cada interfaz. El diodo zener se ha colocado como supresor de picos de voltaje en el caso de que estos se presenten por transitorios en el momento de activación y desactivación del circuito. El voltaje nominal de estos diodos es de 20-volts, lo que los hace adecuados para el voltaje de alimentación que son 12 volts. La resistencia de base se ha colocado como limitadora de corriente a la base del transistor, el cual como es del tipo Darlington requiere de poca excitación por su base para su operación, característica por lo que es usado en el manejo de estos relevadores.

El conexionado de los relevadores comunes es igual al anterior, con la variación de las conexiones en los polos de los mismos y que ilustran en la figura 3.11. Para concluir, se aclara que los relevadores utilizados son de 1 polo 2 tiros, suficientes para la aplicación que se les da.

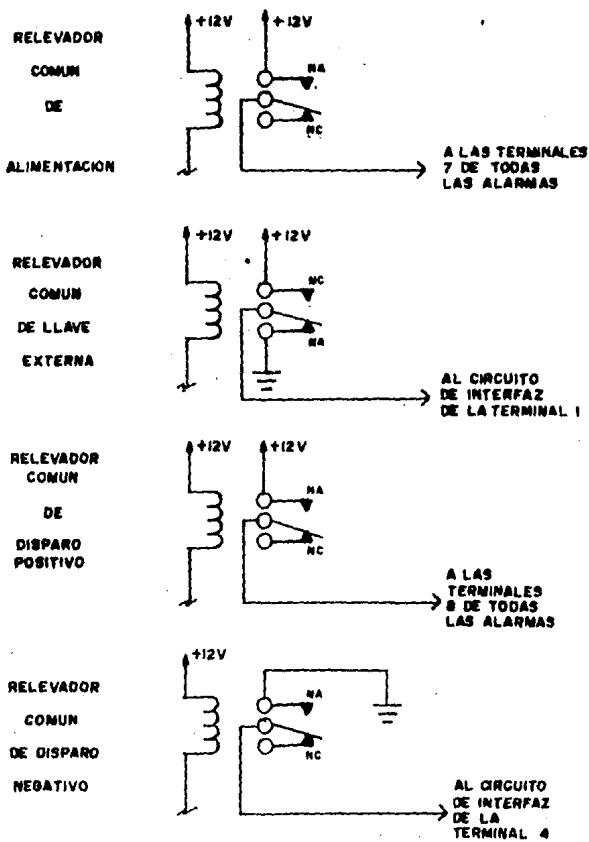


Figura 3.11. Conexión de los relevadores comunes.

c) FUENTE DE ALIMENTACION.

Descrita en el diagrama de bloques, constituye una de las secciones clave para el buen funcionamiento del sistema de prueba, pues provee --- constantemente dos niveles de voltaje necesarios para mantener en correcto funcionamiento a todos los subsistemas que participan en el equipo -- que se presenta, suministrán.doles también la corriente de operación re-querida.

Los voltajes de trabajo efectivos son +5 volts de corriente directa (vcd), y +12 volts de corriente directa con corrientes de operación de 2 amperes y 5 amperes respectivamente, que se han obtenido de una fuente regulada con dos circuitos integrados en su parte fundamental.

Los valores de voltaje se usan a partir de las demandas de alimenta-ción de cada uno de los subsistemas que conforman al conjunto. Asimismo- las corrientes de operación fueron elegidas de acuerdo a las corrientes-extremas de operación de cada uno de los bloques del equipo, considerán-dolas en sus valores críticos y manteniendo una holgura que garantice su buen funcionamiento aún en situaciones críticas consideradas de antemano en un análisis del sistema.

Para la descripción de la fuente se utilizan dos secciones, de a--- acuerdo a sus voltajes de operación, con el cálculo de sus capacitores de filtrado y justificaciones adjuntas. Hay que apuntar que el transforma--dor usado posee en su secundario 2 derivaciones de acuerdo a los volta--jes requeridos para la operación de los reguladores integrados.

Fuente de +5 vcd a 2 amperes.- Su parte medular es un regulador de-voltaje 78T05 de 5 volts de corriente directa de salida, con una corriente máxima de regulación de 3 amperes y un voltaje mínimo de entrada para funcionar adecuadamente de 7.5 vcd. Para alimentarlo se usa un nivel de-voltaje de entrada fijo de +10 vcd a 2 amperes, proporcionado por el se-condario del transformador en esta sección del devanado. Los diodos que-se utilizan en el puente rectificador son diodos rectificadores de uso -general, número 1N1127 con una corriente máxima en directa de 3 amperes-y con un voltaje de encendido de 1.1 volts en sentido directo.

Para calcular el capacitor de filtrado se usa la siguiente expresión:

$$I = C \frac{dV}{dt}$$

$$C = I \frac{dt}{dV}$$

donde:

- C = valor del capacitor en farads
- dt = tiempo de carga del capacitor
- dV = rizo de voltaje máximo
- I = corriente máxima del regulador

Los valores que se tienen son:

- dt = 8.3 ms (120 hz)
- I = 3 amperes (por holgura)

Para encontrar el valor del rizo máximo se sabe que el capacitor debe sostener +10 volts RMS de C. D. de una entrada de pico de +12 volts - D. C., lo que arroja:

- voltaje pico = 12 volts de corriente directa.
- voltaje fijo = 10 volts RMS de corriente directa.
- ∴ voltaje de rizo = 2 volts de corriente directa (máxima carga).

Con los datos obtenidos, se aplica la fórmula:

$$C = \frac{8.3 \text{ ms} \times 3 \text{ amperes}}{2 \text{ volts}}$$

$$C = 12.45 \text{ mf}$$

$$C = 12500 \text{ uf}$$

Como el voltaje pico es de 12 volts, se elige por seguridad y garantía un capacitor de +20 vcd.

Se colocan además capacitores de 1 uf para dar estabilidad al regu-

—lador en su operación, procurando colocarlos lo más cerca posible del circuito integrado para evitar oscilaciones o efectos inductivos.

Un diagrama de la fuente de alimentación se dibuja en la figura --- 3.12.

Fuente de +12 vcd a 5 amperes.- Para esta fuente se han instalado dos reguladores de voltaje 78T12 de 3 amperes cada uno como corriente -- máxima de salida en regulación y con un voltaje mínimo de entrada de --- +14.5 vcd.

Se ha seccionado la salida de +12 volts para evitar cargas alternas entre los reguladores. una de las salidas alimenta a:

- interfases.
- Alarmas en prueba.

La otra salida provee de voltaje y corriente iguales a la anterior a:

- tablillas de relevadores.
- Sección central de control.
- Alarma audible.

Para su funcionamiento en su etapa de regulación se provee al regulador de un voltaje de +16 volts RMS de corriente directa, obtenido por el valor nominal del devanado en la otra parte del secundario del transformador. Siendo la corriente notablemente más elevada, se utilizan diodos 1S1288 de potencia con corriente máxima en directa de 20 amperes y - con un nivel de conducción de 1.2 volts en sentido directo.

Haciendo un cálculo análogo para el capacitor de filtrado:

$$\begin{aligned} dt &= 8.3 \text{ ms (120 hz)} \\ dV &= 20.5 \text{ volts} - 16 \text{ volts} \\ dV &= 4.5 \text{ volts} \\ I &= 5 \text{ amperes} \end{aligned}$$

Substituyendo valores:

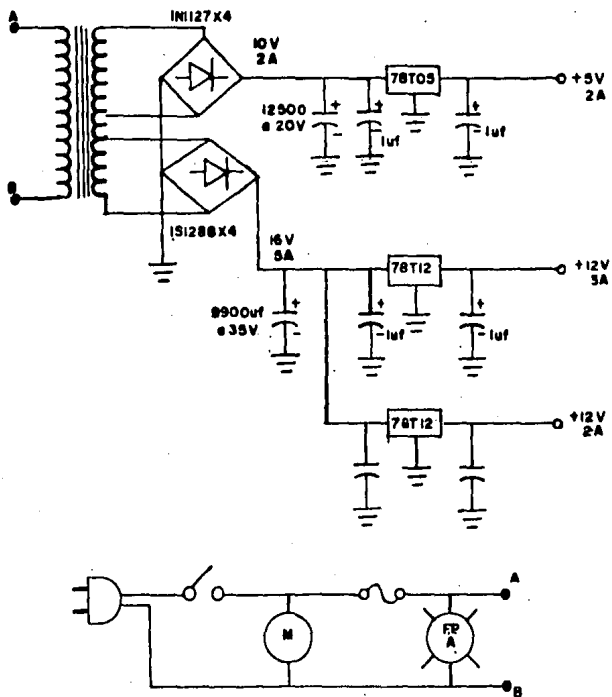


Figura 3.12. Fuente de alimentación y conexión de alimentación de línea de 120 vca.

$$C = \frac{8.3 \text{ ms} \times 5 \text{ amperes}}{4.5 \text{ volts}}$$

$$C = 9,900 \text{ uf (por holgura)}$$

El voltaje pico es de 20.5 vcd, por lo que se utilizan capacitores de +35 vcd por garantía y seguridad.

Nuevamente se utilizan capacitores de estabilidad en ambos circuitos 78T12 con valor de 1 uf para evitar oscilaciones en condiciones críticas y con su colocación lo más cerca posible del ancapulado.

En el primario del transformador se localizan el interruptor general, el fusible, el foco piloto y el ventilador de corriente alterna que ayuda en el enfriamiento de los disipadores de los reguladores.

La conexión se ha realizado de tal forma que si el fusible se llega a abrir por un exceso de corriente, la indicación primaria es que el foco piloto se ha apagado, pero no así el ventilador, que puede auxiliar en el caso de un calentamiento provocado por el exceso de corriente en los reguladores, previniendo un daño mayor a todo el sistema a pesar de ya no recibir alimentación. El fusible se ha escogido de acuerdo a los valores máximos nominales de corriente en el secundario.

d) ALARMA AUDIBLE.

La alarma audible se describe en la teoría de operación del sistema de prueba como una alerta para la prueba de consumo de corriente y para anunciar el fin de la secuencia de prueba.

Su utilización se decidió al considerar que la presencia de una o más alarmas con consumo excesivo de corriente en la ejecución de la prueba cero, podría llegar a afectar al funcionamiento del sistema de prueba o a cualquiera de los subbloques que lo forman, por la posible existencia de un corto circuito entre algunas de las pistas de la tablilla de una alarma en prueba.

La alarma audible ofrece una llamada de atención inmediata al operario que procede prontamente a reemplazar la alarma defectuosa, o bien,

como se describió en el capítulo segundo, a quitar las alarmas que ya -- fueron probadas con la llegada al final de la secuencia de prueba, que -- es como ya se dijo anunciada también con el sonido de la alarma.

El diagrama a bloques del dispositivo se ilustra en la figura 3.13.

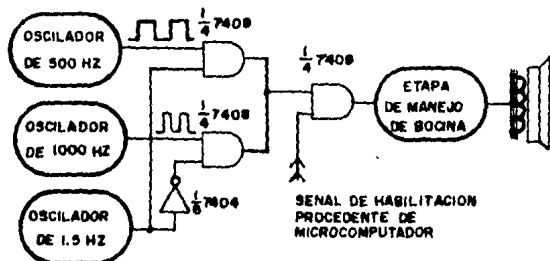


Figura 3.13. Diagrama a bloques de la alarma audible.

El funcionamiento de la alarma se basa en el paso de dos frecuencias alternadas aplicadas cada una a las entradas de dos compuertas AND y con las entradas restantes de cada una de ellas manejadas por lo que se puede llamar un habilitador "alternativo", realizado con el oscilador de 1.5 hz y el circuito inversor, cuya función es precisamente, permitir el paso a una frecuencia o a otra, intercambiando la habilitación de cada compuerta AND y por lo tanto de las frecuencias aplicadas a cada una.

La salida de frecuencias alternadas es recibida en la salida común a ambas compuertas y aplicadas a la entrada de otra compuerta AND, cuya otra entrada sirve para como habilitación para toda la alarma en sí y cuyo manejo se explica en el inciso h de este capítulo. Con un "cero lógico" en esta entrada de habilitación, no habrá salida de señal por la compuerta última lo que tiene deshabilitada y lista a la alarma para operar y que se pone en funcionamiento en cuanto se presente un "uno lógico" en la entrada que se ha llamado de habilitación.

Con la alarma habilitada, un sonido de frecuencias alternadas se escucha por la bocina, ayudada por la etapa de manejo de la misma y que se ilustra en la figura 3.14. Esta etapa consiste en un amplificador que hace posible escuchar el sonido de la alarma, utilizando para ello un tran

sistor tipo Darlington NPN manejado por su base para hacer vibrar a la membrana de la bocina a las frecuencias deseadas. La resistencia de 68 K es la limitadora de corriente por la base y la de 18 ohms en serie con la bocina sirve para limitar la corriente en el colector y ayudar a disipar parte de la potencia producida por la bocina como carga. El capacitor sirve como filtro para oscilaciones que puedan afectar al funcionamiento del dispositivo, desviándolas a tierra para contrarrestar este efecto haciendo las veces de un amortiguador en los posibles picos de voltaje. El diodo funciona también como un supresor de transitorios, recortando los picos de voltaje de descarga del campo de la bobina de la bocina. Nuevamente el transistor Darlington permite manejar gran cantidad de corriente, con muy poca excitación de base, lo que es adecuado para manejar la bocina de 8 Ohms utilizada.

Cabe anotar que las frecuencias de 500 y 1000 hz fueron escogidas por considerarlas lo suficientemente agudas como para ser distinguidas dentro del ámbito de la planta de fabricación por el operario del equipo y así representar realmente una alerta audible que llame la atención inmediata e inconfundiblemente. La bocina fue colocada en la parte frontal del tablero.

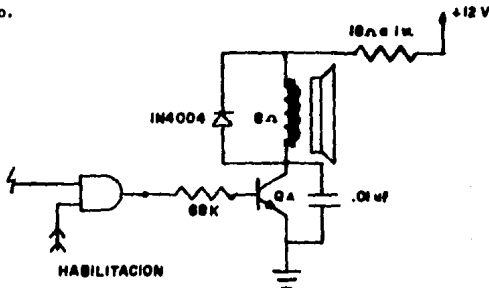


Figura 3.14. Etapa de manejo de bocina para la alarma audible.

e) INTERFAZ DE ENTRADA DE INFORMACION A LA TARJETA MADRE.

En la breve descripción que se dió de esta interfaz en el inciso b- del capítulo segundo, se menciona su función primordial que es multi---

--plexar la información tanto analógica como digital proveniente de cada una de las dieciséis alarmas en prueba a través de sus interfaces correspondientes, para canalizarla a las entradas de los puertos analógicos o digitales contenidos en el microcomputador, para después ser procesada - de acuerdo al programa grabado en la memoria del mismo.

Al mencionar en el título del inciso el término "tarjeta madre", - debe entenderse por esta, al bloque designado como la sección central de control. El término "tarjeta madre" se utiliza como asignación de un calificativo a la tableta donde están colocados los principales circuitos- de interfaz y de control que gobiernan a un sistema o equipo electrónico y en este caso, al sistema de prueba que se presenta.

Para la explicación del circuito de esta interfaz y su funciona--- miento, se describen a continuación cada uno de los componentes que en - conjunto integran al circuito en estudio, con una breve visión de la fun--- ción que desempeñan, para que al concluir, se proporcione una descripción total de la operación lógica del circuito.

A lo largo de la explicación de esta interfaz, se hace referencia--- continua al diagrama que se presenta en la figura 3.15, el cual muestra--- la estructura del conexionado del circuito logrando con ello la mejor --- comprensión del funcionamiento del mismo. Para la distribución especffi--- ca de terminales de cada circuito integrado que se describa, hay que re--- ferirse al apéndice A. Hay que aclarar también que se usará también una--- notación especial para las señales que sean activo bajo, o en otras pala--- bras, aquellas que encuentren su reconocimiento en un circuito integrado con un nivel bajo de voltaje, típicamente de 0.8 vcd máximo, y cuya ex--- presión se anotará con el nombre de la señal seguido de una línea diago--- nal (/).

C I C G 74139, Decodificador doble de 2 a 4 líneas.- Las iniciales C I C G (Circuito Integrado de Control General) se asignan por ser este circuito la representación del bloque de habilitación a las distintas secciones que el puerto B tiene bajo su mando, que como ya se menciona--- ron en el inciso b del capítulo II son cuatro:

- bloque de entrada de información digital.

- Bloque de entrada de información analógica
- Habilitación para interfaz de manejo de relevadores (HBR/).
- Habilitación para despliegue de información a cuadros indicadores (HDI/).

Siendo este un decodificador doble, su primera sección es la encargada de la habilitación de cualquiera de los cuatro bloques, manejando sus dos entradas de decodificación los 2 bits más significativos del puerto B, PB6 y PB7 que según sus combinaciones habilitan a las cuatro secciones de acuerdo a la siguiente tabla de verdad:

PB7	PB6	SALIDAS				HABILITAN
		Y0/	Y1/	Y3/	Y4/	
0	0	0	1	1	1	Bloque de información analógica
0	1	1	0	1	1	Bloque de información digital
1	0	1	1	0	1	Bloque de relevadores
1	1	1	1	1	0	Despliegue de información

Las salidas como se observa son un nivel bajo cuando son verdaderas y su entrada de habilitación esta permanentemente en funcionamiento, lográndose esto con su conexión a tierra fija.

La segunda sección de este circuito integrado es el decodificador que maneja cada una de las entradas de habilitación de los 4 multiplexores analógicos que componen al bloque de entrada de información analógica, que recibe su habilitación en la forma ya descrita. Sus entradas de decodificación son manipuladas por los bits PB3 y PB4 del puerto similar del microcomputador.

CI 74151, Multiplexor digital de 8 líneas a una.- Contándose en número de 6 operan por pares para conformar los tres multiplexores de 16 x 1 líneas cada uno, que forman el bloque de entrada de información digital. El primer par de multiplexores se designa como multiplexor digital 1 (MuxDig 1), el segundo como multiplexor digital 2 (MuxDig 2), y en consecuencia el tercero es denominado multiplexor digital 3 (MuxDig 3) para ser fácilmente identificados. Cada uno de ellos posee una entrada de habilitación y 3 líneas de elección para permitir el acceso de infor-

—nación a la salida, a un solo canal de los ocho existentes, según la combinación de bits en las líneas de elección. La salida de información se ha elegido como la negación de la entrante para hacer más limpia la señal de salida.

CI 74138, Decodificador de 3 a 8 líneas.- Este circuito es el encargado de habilitar a cada uno de los 3 multiplexores digitales, por medio del empleo de seis de sus salidas de acuerdo a la combinación de sus tres líneas de decodificación asignadas, bits PB3, PB4 y PB5 del puerto correspondiente. Una de sus líneas de habilitación es fija a nivel alto mientras que las otras dos existentes con funcionamiento de activo bajo reciben la señal del C I C G 74139, que pone en operación con esto a todo el bloque de información digital.

CI Cmos 4051, Multiplexor/Demultiplexor analógico de 8 a 1 línea.- Al manejar información analógica, hay que hacer uso de dispositivos que como en este caso, permitan su transmisión sin alteración de valores de voltaje. Los circuitos integrados 4051 con tecnología Cmos (Complementa ry metal-oxide semiconductor), permiten el multiplexaje de las 16 alarmas para recibir de cada una de las 16 interfases 2 voltajes de verificación que son como ya se ha anotado, el voltaje interno regulado y el valor proporcional de voltaje correspondiente al consumo de corriente de cada alarma.

Se utilizan en número de cuatro, operando en dos pares que conforman al bloque de entrada de información analógica, estructurando con esto a los multiplexores analógicos 1 y 2 respectivamente. Cada uno contiene una entrada de habilitación que es manejada por las cuatro salidas (una por circuito integrado), del segundo decodificador contenido en el C I C G 74139. El multiplexor analógico 1 se emplea para el multiplexaje de los 16 voltajes equivalentes al consumo de corriente de cada alarma siendo común la salida de los dos circuitos integrados en un mismo punto que después se aplica al amplificador de voltaje que se describe posteriormente. El multiplexor analógico 2 se encarga del multiplexaje de los 16 voltajes internos de regulación de cada alarma, siendo común su salida y aplicada directamente al puerto analógico PAN1. Las tres líneas de decodificación de cada circuito integrado se utilizan para la elección de la línea que transmite su información a la salida del circuito.

Amplificador de voltaje.- Este circuito es usado para elevar el voltaje multiplexado de cada una de las alarmas en la prueba de consumo de corriente. Como se apuntó en párrafos anteriores, las salidas del multiplexor analógico 1 se unen en un punto común para enviarse al amplificador que a continuación se describe. El amplificador de voltaje presenta la configuración de la figura 3.16:

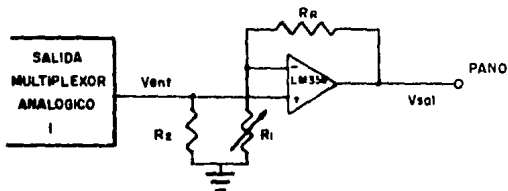


Figura 3.16. Amplificador de voltaje utilizado en la interfaz de entrada de información.

El circuito integrado LM 358 es un amplificador operacional de baja potencia que se ha configurado como un amplificador para aumentar el voltaje que es leído por el puerto analógico PANO, encargado de recibir la información analógica para convertirla a un número digital equivalente por medio del convertidor A/D y así poder ser comparado en el programa en un rango determinado. El voltaje de salida está dado por la expresión:

$$V_{sal} = \frac{R_f}{R_1} V_{ent}$$

Con el potenciómetro que se ha colocado se pretende lograr la calibración adecuada del factor de amplificación del circuito. El voltaje de salida en el punto común y por ende el máximo admitido por alarma es de 210 milivolts (mv) y se ha calibrado el circuito para que corresponda a este valor un máximo en la salida de 2.5 vcd, que fija el límite superior en la prueba cero.

Ahora bien, ¿porqué un amplificador de voltaje?; la justificación se halla al haber hecho pruebas con el convertidor A/D contenido en el microcomputador y detectar que su operación con voltajes pequeños no es muy exacta y repetitiva, pues con el tiempo asignado para muestrear y retener un voltaje no fué capaz de repetir mediciones y efectuar conver-

--siones constantemente. Es por esto que se utiliza el amplificador de voltaje, para presentar un valor mayor de voltaje al convertidor A/D, --proporcional al detectado por la interfaz y el multiplexor analógico 1.

CI 7400, Compuertas NAND cuadruples de 2 entradas.- Su función básica es hacer la operación NAND entre las dos salidas de los multiplexores digitales 1, 2 y 3. Al hacer esto se pretende cuadrar aún más las señales que entran a los puertos de adquisición de información digital, --PC0, PC1 y PC2, que reciben datos de las salidas de cada una de las tres compuertas NAND, correspondientes a los multiplexores digitales 1, 2 y 3. Es de hacer mención que como se han elegido en los circuitos 74151 las salidas negadas de las señales de entrada, el estado lógico de no operación de cada una de estas salidas, es decir, cuando el circuito integrado correspondiente no está habilitado, es de un "uno lógico", lo que aplicado a una entrada de la compuerta NAND, la habilita para dejar pasar la información al puerto receptor. Esto sucede cuando se accesa el multiplexor digital correspondiente a la prueba que se desee efectuar.

Habiendo ofrecido ya un panorama general de la estructura de la interfaz, se procede a continuación con la explicación de la operación lógica en conjunto. Para ello es necesario especificar las direcciones que habilitan a las cinco secciones de multiplexaje de información y que se listan a continuación (referirse al diagrama de la figura 3.15 para una mayor comprensión):

Direcciones Multiplexor Digital 1

Hexadecimal	Binario							
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
40H	0	1	0	0	0	0	0	0
a								
4FH	0	1	0	0	1	1	1	1

Direcciones Multiplexor Digital 2

50H	0	1	0	1	0	0	0	0
a								
5FH	0	1	0	1	1	1	1	1

Direcciones Multiplexor Digital 3

Hexadecimal	Binario							
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
60H	0	1	1	0	0	0	0	0
a								
6FH	0	1	1	0	1	1	1	1

Direcciones Multiplexor Analógico 1

00H	0	0	0	0	0	0	0	0
a								
0FH	0	0	0	0	1	1	1	1

Direcciones Multiplexor Analógico 2

10H	0	0	0	1	0	0	0	0
a								
1FH	0	0	0	1	1	1	1	1

Con las direcciones anteriores en el puerto B, se accesa la información digital o analógica requerida. Las señales HBR/ y HDI/ se analizan en los dos siguientes incisos.

Hay que hacer notar que el ducto de 3 líneas que contiene la combinación de bits para multiplexar la información en cada circuito integrado es común a los 3 multiplexores digitales y 2 analógicos y que solo to mará acción sobre el bloque habilitado para su direccionamiento.

Para explicar la operación de la interfaz, supóngase que se va a -- acceder la entrada de información digital de la alarma número 12 por el multiplexor digital 2, para verificar que la salida de Luces del dispositivo esta efectivamente en oscilación.

Para lograr esto es necesario poner la dirección 5BH en el puerto B lo que habilita inmediatamente al bloque de entrada de información digital, por la señal activo bajo recibida del decodificador 74138 de su salida correspondiente hacia la entrada de habilitación del multiplexor digital encargado de recibir la información. La señal de habilitación para el bloque de información digital viene del C I C G 74139. Con la combina

ción de los bits PB5, PB4 y PB3 que es un 011 en binario, la cuarta salida del decodificador 74138 muestra un nivel bajo en su estado verdadero, lo que habilita al segundo multiplexor 74151 del multiplexor digital 2. Ahora bien, los tres bits menos significativos canalizan la cuarta entrada del multiplexor 74151 en cuestión hacia la salida W/ que a su vez es aplicada a una de las entradas de la compuerta NAND asignada. Estando la otra entrada de la compuerta en estado alto por no estar el otro circuito integrado que compone al multiplexor digital 2 habilitado, la información de oscilación o del estado preponderante de esa terminal de la alarma accesada, llega al puerto digital PCI, que esta en modo de entrada para recibir la información.

Ejemplificando ahora el acceso de información analógica, supóngase que se va a verificar el consumo de corriente de la alarma 9, usando para ello el multiplexor analógico 1.

Para lograr esto, es necesario poner la dirección 08H en el puerto-B lo que habilita al decodificador encargado del bloque de entrada de información analógica por el nivel bajo presente en su entrada correspondiente, proveniente de la primera salida del decodificador maestro C I C G 74139, ahora verdadera. Los bits PB4 y PB3 presentan la combinación 01 en binario que habilita al segundo circuito integrado 4051 que integra el multiplexor analógico 1. Con la combinación 000 en binario en el ducto común de líneas de elección, la entrada 1 de dicho circuito integrado muestra el voltaje sentido en la interfaz, que es después aplicado al amplificador de voltaje y cuyo resultado es introducido por el puerto analógico PAN0.

Para concluir con la descripción de esta interfaz, resta enunciar que en la verificación de las alarmas, el acceso a cualquier multiplexor digital o analógico se hace en orden progresivo, para permitir el flujo ordenado de información al microcomputador que procesa estos datos para luego desplegar los resultados a los cuadros indicadores como se describe en el inciso siguiente.

f) INTERFAZ DE DESPLIEGUE DE INFORMACION A CUADROS INDICADORES.

En la teoría de operación del sistema de prueba así como en el diagrama de bloques, se presenta a esta interfaz como la encargada del correcto despliegue de resultados de las pruebas que son aplicadas a las 16 alarmas.

Con el uso de la circuitería que conforma a esta interfaz, el sistema ofrece la facilidad de estar al tanto de la secuencia de prueba que se lleva a cabo para todas las alarmas en proceso de verificación, ya que actualiza y conserva los resultados reportados que provienen del microcomputador.

Para la explicación del funcionamiento de la interfaz es necesario recordar el uso que se le dá al puerto A del microcomputador, que es el asignado para manejar directamente a este circuito de despliegue de información.

En la justificación del porque la elección de 16 alarmas para probarse simultáneamente en el sistema, se mencionó que existen 10 pruebas a realizar, lo que obliga el uso de 4 bits mínimos para el despliegue de resultados de las mismas a los cuadros indicadores de 7 segmentos, manejados por un decodificador de B D C (Binario Decimal Codificado) a 7 segmentos que es el que se utiliza para el reporte de información. Es por esto que los 4 bits menos significativos del puerto A son usados para mandar la información del número de prueba que se realice, a los circuitos de esta interfaz, y los 4 bits más significativos restantes encuentran su utilización en la decodificación del lugar correspondiente a cada alarma en su cuadro indicador. Esta designación de bits del puerto A implica entonces que se manejan el número de alarma en el tablero y el número de prueba que le es aplicada a la alarma, anunciándose esto último en el cuadro indicador.

Para el mejor entendimiento de lo que se ha explicado y se explicará a continuación, es conveniente referirse continuamente al diagrama de la interfaz de despliegue de información que se ilustra en la figura 3.16, del cual se hará uso para la descripción del funcionamiento de la interfaz en cuestión. Asimismo se sugiere consultar el apéndice A, donde

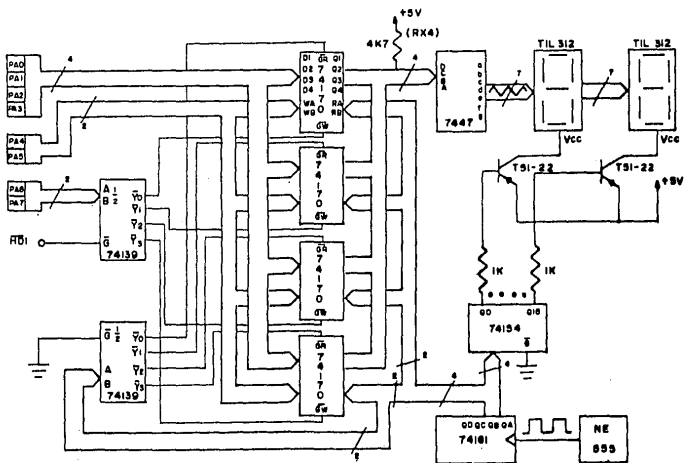


Figura 3.16. Interfaz de despliegue de información a cuadros indicadores.

están contenidos los diagramas de terminales para cada circuito integrado que se describe en el entorno de este inciso.

Para comenzar, se desglosa a continuación el circuito por sus componentes, para dar una visión general de cada uno de ellos y su función en la interfaz, para después explicar la lógica de operación en conjunto de la misma.

CI 74170, Archivos de 4 x 4 de lectura y escritura simultánea.- Este circuito TTL es el encargado de la adquisición y mantenimiento directo de los 4 bits menos significativos que se utilizan para la decodificación posterior del número de prueba a los cuadros indicadores correspondientes a cada alarma.

Contiene 4 localidades de memoria con 4 bits cada una (4 x 4), -- con entradas y salidas de información en paralelo. Cada una de estas localidades se accesa mediante dos decodificadores de dos líneas a cuatro líneas, uno empleado para la escritura y el otro para la lectura. Para leer o escribir se tienen dos señales de habilitación que permiten la lectura o escritura de datos. La característica esencial de este componente es que las funciones de lectura o escritura son simultáneas que hace en cierta forma independiente su operación, lo que facilita y hace adecuado el uso que se le da en esta interfaz. Hay que hacer notar que el circuito mantiene la información en la localidad correspondiente hasta que no le es escrito otro dato binario, lo que permite una total actualización de información en los cuadros indicadores en el momento que se -- desee, logrando esto con la lectura de la localidad correspondiente en el circuito específico. Las salidas de información son de colector abierto lo que es útil para fijar corrientes de operación deseadas.

CI 74139, Decodificador doble de 2 a 4 líneas.- El circuito contiene dos decodificadores que sirven para habilitar la lectura o escritura de los archivos de 4 x 4 respectivamente.

El decodificador de escritura a los archivos esta manejado directamente por los dos bits más significativos del puerto A, PA7 y PA6, y las cuatro salidas decodificadas habilitan cada una a los cuatro archivos. - La habilitación de este circuito decodificador se realiza por medio de -

--la señal HDI/ proveniente del circuito decodificador C I C G 74139, -- que asu vez como ya se estudio, es manejado por el puerto B y que es el-encargado de habilitar la salida de información a cuadros indicadores.

El decodificador de lectura de cada uno de los archivos 7-170 es ma- nipulado por el barrido de dos bits más significativos de un contador bi- nario en cuenta constantemente, habilitando con esto la lectura secuenc- cial de los archivos 74170. La habilitación a este segundo decodificador es constante con un nivel fijo a tierra.

CI 74154, Decodificador de 4 a 16 líneas.- Utilizado para mandar -- una señal de saturación secuencial a los 16 transistores que manejan a - los cuadros indicadores. Sus cuatro entradas para decodificación son ma- nejadas por un barrido constante de un contador binario de cuatro bits y tiene su habilitación permanente.

CI 74161, Contador binario de 4 bits.- El contador tiene tres fun- ciones de acuerdo a su cuenta hexadecimal desde 0H hasta FH:

- con los cuatro bits de salida de cuenta, hace el ba- rrido constante al decodificador 74154.
- Sus dos bits menos significativos realizan el barri- do también constante de las dos entradas que decodi- fican a cada una de las cuatro localidaes contenidas en cada uno de los archivos de 4 x 4 74170, para rea- lizar la función de lectura de datos.
- Los dos bits más significativos, operan haciendo el- barrido continuo de las dos entradas del decodifica- dor encargado de la habilitación de lectura de datos en cada uno de los archivos 74170 , decodificador -- contenido en cada circuito de archivo como se especi- fica en la descripción del mismo.

CI 7447, Decodificador B D C a 7 segmentos, con manipulación para - cuadros indicadores.- Este circuito es el encargado de recibir toda la - información en binario de cada una de las 16 localidades que conforman - los cuatro circuitos de archivo de 4 x 4 para decodificar y enviarla a - los cuadros indicadores.

CI NE555, Temporizador de precisión.- Componente usado como oscilador, para servir de reloj y manejar directamente al contador 74161 a una frecuencia de 1000 hz, lo que facilita la percepción correcta de los resultados en los cuadros indicadores.

CI TIL 312, Cuadro indicador de 7 segmentos.- En cada uno de los 16 existentes se reportan los resultados de las pruebas aplicadas a cada alarma en prueba. Requieren de una resistencia por segmento para su operación y un voltaje de +5 vcd. La resistencia utilizada es de 220 ohms.

Transistores PNP T51-22 de pequeña señal.- Estos dispositivos se emplean para alimentar secuencialmente a los 16 cuadros indicadores, operando cada uno de ellos solo cuando se halla en estado de saturación, -- que les es provocado progresivamente por las salidas del decodificador - 74154 teniendo estas como estado verdadero un nivel bajo de lógica TTL, -- lo que es suficiente para hacer conducir al transistor. A cada transistor se le ha colocado una resistencia de base para limitar la corriente. Cada vez que uno de ellos se satura, el voltaje de alimentación llega -- al cuadro indicador correspondiente para desplegar la información reportada.

Habiendo descrito brevemente cada uno de los componentes que comprende la interfaz en estudio y la función que realizan, se explica a -- continuación su operación lógica en conjunto. Nuevamente se sugiere referirse a la figura 3.16 para la mejor comprensión de lo que se explica en los párrafos siguientes.

Supóngase que el dato hexadecimal F5H se presenta en el puerto A. - La parte baja del dato, que representa el número de prueba, esta presente en el canal de datos que es común a todas las entradas de información de los archivos. Los dos bits más significativos PA6 y PA7, que forman -- lo que podría llamarse la selección de registro o de localidad en cada -- archivo, están habilitando con esta combinación de bits al cuarto registro de archivo 74170 precisamente mediante la decodificación del número -- 11 en binario que habilita a la cuarta salida del decodificador 74139 -- a su estado verdadero con un nivel bajo, permitiendo con esto que el archivo pueda recibir información en determinada localidad.

Los bits PA4 y PA5 poseen el dato en binario 1 1, y forman el que puede llamarse el canal de selección de localidad para escritura y que es también común a los cuatro circuitos de archivo. Con la combinación presente en este ducto, la parte baja del byte presentado en el puerto A se guarda entonces en la última localidad correspondiente a la alarma -- número 16.

Con el barrido del contador cuando este llega al número 1 1 1 1 en binario, esto implica que se está decodificando la cuarta salida del segundo decodificador contenido en el circuito 74139 para que esta sea verdadera con un nivel bajo, lo que a su vez habilita al cuarto circuito de archivo para leer información de él. Los dos bits menos significativos proveen la combinación necesaria para leer la cuarta localidad de memoria de este circuito habilitado, que como se recuerda tiene almacenado un número 5H, que es leído por el proceso descrito y que se hace presente en el ducto de datos común que se introduce en las cuatro entradas del decodificador 7447 para con esto ser enviado en información apropiada al cuadro indicador correspondiente, lo que se logra con la misma combinación 1 1 1 1 presente en el contador, que habilita ahora a la salida 16 del decodificador 74154, que satura con su nivel bajo de salida verdadero al transistor 16, que a su vez provee de alimentación también al cuadro indicador 16, correspondiente al mismo número de alarma.

Mientras que en la cuarta localidad del cuarto circuito de archivo no se escriba algo diferente al 5H, la misma cantidad es leída por la -- lógica de lectura de resultados, conservándose de esta manera los resultados en los cuadros indicadores para cada alarma.

Cabe hacer notar que al escribir un F5H en el puerto A, se está enviando como se explicó en la teoría de operación y al principio de este inciso, el resultado de la prueba 5 en el cuadro de la alarma número 16, lo que cumple perfectamente con la justificación de porque 16 alarmas en prueba simultáneamente. Así, al enviar un dato hexadecimal A2H al puerto A, se está reportando el resultado de la prueba 2 en la alarma 11 en su cuadro indicador correspondiente.

Hay dos aspectos que son sumamente importantes en el funcionamiento

óptimo de esta interfaz.

El primero es la participación de la señal HDI/ (Habilitación de Despliegue de Información) en esta interfaz, y que es manejada por el puerto B. En el diagrama de bloques aparece como una de las cuatro funciones que desempeña dicho puerto en coordinación con el C I C G 7413 9, cuya tercera salida se dirige al bloque identificado como "Habilitación de salida de información", el cual a la vez presenta su señal actuando sobre el bloque identificado como "Interfaz de despliegue de información".

La señal HDI/ es la encargada de dar la orden de escritura precisa en cada una de las 16 localidades que en conjunto forman a los cuatro registros de archivo. Así pues el procedimiento que se sigue para escribir el resultado de alguna prueba en el cuadro indicador correspondiente es, primero presentar el dato hexadecimal en el puerto A y posteriormente dirreccionar en el puerto B la acción de la señal HDI/, para asegurar que la información se guarda en la localidad correcta.

Si la señal HDI/ no existiera, el decodificador de selección de archivo estaría constantemente habilitado con un nivel fijo a tierra para operar y los cambios de estado de los resultados reportados en sus niveles lógicos, detectarían transiciones que harían aparecer resultados erróneos en los cuadros indicadores.

Para desglosar lo explicado, supóngase que se va a reportar el resultado de la prueba 2 en cualquier cuadro indicador de alguna alarma, lo cual es esquematizado en la tabla 3.1.

Con la habilitación permanente de dicho decodificador, los bits PA4 y PA5 en su transición del número 12H al 22H, detectarían una transición suficiente en sus niveles lógicos, como para ser interpretada como un número 32H momentáneo por el decodificador y por la lógica de escritura de información a los circuitos de archivo, lo que a la larga se traduce en un número 2 en los cuadros indicadores de las alarmas 3 y 4 simultáneamente, lo que ocasionaría una confusión inmediata en el reporte ordenado de resultados, apareciendo de aquí en adelante la información en dos cuadros indicadores simultáneamente y en pruebas posteriores, se desple-

--garian números que no corresponderían a la prueba que se ejecuta en ese momento.

DATO HEXADECIMAL

DATO BINARIO

	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
02H	0	0	0	0	0	0	1	0
12H	0	0	0	1	0	0	1	0
22H	0	0	1	0	0	0	1	0
.
.	0	0	1	1	0	0	1	0
F2H	1	1	1	1	0	0	1	0

Tabla 3.1. Ejemplo de una situación especial en el reporte de resultados.

Para ilustrar el contenido de la tabla 3.1 así como el párrafo anterior se ilustra a continuación en la figura 3.17 una secuencia con diagramas de tiempos.

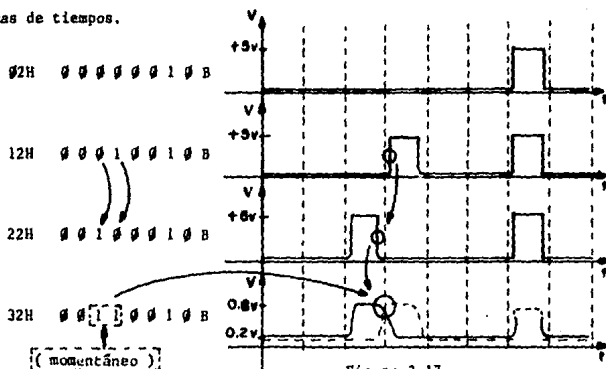


Figura 3.17.

Con la ausencia de la señal HDI/, la transición de 0 a 1 en binario a 1 0, ocasiona la aparición momentánea de un 1 en binario por los niveles lógicos de TTL de umbral que se presentarían simultáneamente, desple

gándose en dos cuadros indicadores el mismo resultado, sin poder tener la certeza de cuál de las dos alarmas está correcta o defectuosa en determinada prueba y apareciendo resultados falsos para pruebas subsiguientes.

Con la utilización de la señal HDI/, se garantiza que al presentar el dato en el puerto A y a continuación la orden de habilitación, las transiciones momentáneas de umbral no se presentan, por tener un control directo y seguro en el despliegue de información al enviar el dato a la localidad correcta y por ende al cuadro indicador con la certeza de que lo que se anuncia en él es información verdadera.

En el segundo aspecto de importancia, es de hacer mención que los cuadros indicadores se han conectado en un cableado llamado "cadena de margarita" (daisy chain), que une todas las terminales semejantes de cada cuadro indicador, salvo las de alimentación, que como ya se apuntaron manejadas por los transistores PNP T51-22. Con este tipo de conexión se logra que el dato de salida ya decodificado a 7 segmentos, se posiciona en todo el ducto común de información, para aparecer solamente en el cuadro indicador correspondiente a una alarma, siendo determinado esto por la lógica antes explicada.

Para concluir se listan a continuación las direcciones que se deben usar en el puerto A para el correcto despliegue de información de las diez pruebas a cada uno de los dieciseis cuadros indicadores:

	DIRECCION EN HEXADECIMAL
Prueba Cero	00H a F0H
Prueba Uno	01H a F1H
Prueba Dos	02H a F2H
.	.
.	.
.	.
.	.
Prueba Nueve	09H a F9H

g) INTERFAZ DE MANEJO DE RELEVADORES.

Descrita brevemente en la teoría de operación del sistema de prueba y en el diagrama de bloques, es la encargada de activar y desactivar los 20 relevadores necesarios para el funcionamiento del sistema, adecuando las señales del microcomputador por medio de las direcciones enviadas al puerto B, que como ya se ha anotado es el encargado de manipular a esta interfaz.

Siguiendo un procedimiento análogo al empleado para la descripción de las dos interfases anteriores, se describen primero los componentes que integran a esta interfaz, para después hacer la explicación lógica en conjunto de todo el circuito. Se sugiere referirse al diagrama de la figura 3.18 para la mejor comprensión de la explicación que se enuncia en los párrafos siguientes.

CI 74139, Decodificador doble de 2 a 4 líneas. - Uno de los decodificadores utilizados de este circuito, se aplica para manipular la habilitación del bloque de relevadores comunes o del bloque de relevadores individuales, utilizando para ello sus dos primeras salidas Y0/ y Y1/ --- ambas con salida verdadera en niveles bajos, y empleando a los bits PB5- y PB4 como señales de decodificación, para elegir a cualquiera de los dos bloques antes mencionados. La habilitación de este circuito integrado es a la vez la señal que pone en funciones a todo el bloque de los 20 relevadores, señal que ya ha sido descrita como HBR/ (Habilitación del Bloque de Relevadores) y que encuentra su estado de activación con un nivel bajo de voltaje.

El segundo decodificador contenido en el mismo encapsulado, utiliza sus cuatro salidas para funcionar cada una como reloj a cuatro circuitos de memoria Flip/Flop, encargados de manejar a los cuatro relevadores comunes a todas las alarmas, ya descritos en el inciso b de este capítulo. Las entradas de decodificación a este segundo circuito son los dos bits menos significativos del puerto B, PB1 y PB0, y su habilitación para entrar en operación la recibe directamente del decodificador con el que comparte el encapsulado, que como se mencionó en el párrafo anterior, es el encargado de habilitar al bloque de relevadores ya sea comunes o indi

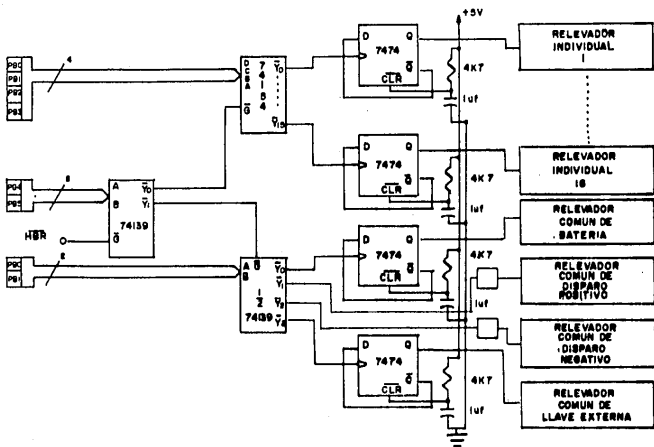


Figura 3.18. Interfaz de manejo de relevadores.

viduales.

CI 74154, Decodificador de 4 a 16 líneas.- Es el encargado de utilizar sus 16 salidas como relojes a los 16 circuitos de memoria Flip/Flop que manejan cada uno a un relevador individual por alarma. Sus señales para decodificación provienen de los 4 bits menos significativos del puerto B, PB3, PB2, PB1 y PB0 y su señal de habilitación proviene del primer decodificador contenido en el circuito 74139 anteriormente, que habilita a este bloque de relevadores individuales.

CI 7474, Circuito de memoria Flip/Flop tipo D.- Se cuentan por número de 20 en la interfaz, uno para cada relevador usado en el sistema de prueba; 16 de ellos son individuales (uno por alarma) y 4 de ellos comunes a todas las alarmas (uno por relevador común).

La necesidad de utilizar circuitos Flip/Flop, surge con el requerimiento de mantener activados a los distintos relevadores a través de la prueba de consumo de corriente y de las pruebas subsecuentes. Por citar un ejemplo, el relevador común de alimentación debe permanecer activado durante toda la prueba así como cada uno de los 16 relevadores individuales por el tiempo que sea necesario para muestrear el valor de voltaje correspondiente a cada alarma.

Como se ilustra en la figura 3.18, estos circuitos son empleados como divisores entre dos, para garantizar la presencia de los dos estados lógicos en la entrada D del circuito de memoria, para activar y desactivar después por Q a cada relevador. La red RC que se coloca en la entrada de "clear" es para proporcionar un nivel "cero lógico" inicial en la salida Q y así no tener activado ningún relevador al encender el sistema y al iniciar la secuencia de prueba. Con la transición positiva en la entrada de reloj, la información en la entrada D se desplaza hacia Q, activando o desactivando, según sea el caso, el relevador en uso.

De lo anterior debe quedar claro que para operar el reloj de cualquier circuito de memoria Flip/Flop, se debe habilitar la salida correspondiente activo bajo de reloj, que pertenezca ya sea a un relevador individual o a uno común, según el bloque que se desee accesar, para que con la transición positiva que ocurre con el cambio inmediato de salida-

—de alguno de los decodificadores, se desplace la información de D a Q por el estado alto que adquieren las salidas no verdaderas en cada decodificador.

Para ejemplificar lo anterior, supóngase que se desea activar el relevador de batería. Para esto se pone una dirección en el puerto B tal que habilita la salida activo bajo Y_0 del decodificador del bloque de relevadores comunes; supóngase además que es el principio de la secuencia de prueba. Con estas condiciones iniciales, el circuito de memoria Flip/Flop se ilustra en la figura 3.19, incluyéndose en ella los estados lógicos que corresponden.

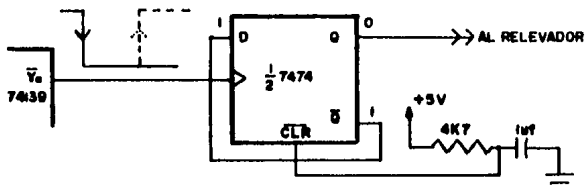


Figura 3.19. Condiciones previas a la activación del relevador de batería.

El reloj del Circuito de memoria Flip/Flop espera entonces la transición positiva para desplazar el "1" de D hacia Q. Ahora bien, para provocar este desplazamiento de información, basta con poner cualquier otra dirección en el puerto B, lo que deshabilita la salida Y_0 , regresándola a su estado no verdadero (uno lógico), con lo que la transición positiva se manifiesta para así activar o desactivar el relevador, conservando el estado mientras no se accese nuevamente el reloj de dicho circuito de relevador. Un diagrama de lo explicado se muestra en la figura 3.20.

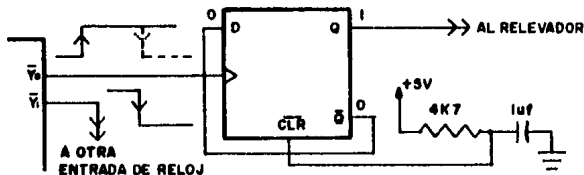


Figura 3.20. Condiciones existentes con el relevador de batería activado.

Con la explicación anterior de los componentes y su forma de funcionamiento en la interfaz, la operación lógica en conjunto es más sencilla de exponer.

Para ello es necesario determinar las direcciones que accesan por el puerto B a los dos bloques de relevadores.

Para el bloque de relevadores individuales, las direcciones son:

HEXADECIMAL	BINARIO							
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
80H	1	0	0	0	0	0	0	0
a								
8FH	1	0	0	0	1	1	1	1

Para el bloque de relevadores comunes sus respectivas direcciones son:

90H	1	0	0	1	0	0	0	0
a								
93H	1	0	0	1	0	0	1	1
				6				
	1	0	0	1	x	x	1	1

Hay que notar que los bits PB3 y PB2 no influyen en este direccionamiento, pero que se ha elegido que no haya cambio alguno en ellos para hacer más simple el acceso al bloque.

La operación de la interfaz en conjunto se lleva a cabo con el direccionamiento del bloque de relevadores individuales para la prueba de consumo de corriente, poniendo el puerto B a trabajar con las direcciones que abarcan como ya se definió de 80F hasta 8FH, habilitando con la parte alta del dato al bloque de relevadores individuales y con la parte baja a los relojes de los 16 circuitos de relevador, operándose en forma secuencial para activar uno tras otro a los relevadores en turno. El hecho de hacer la prueba secuencialmente, facilita la activación y desactivación de cada relevador por la lógica de operación explicada en los circuitos de memoria FLIP/Flop de cada uno de ellos.

Por otra parte, en el funcionamiento del bloque de relevadores comunes - la parte alta del dato pone en acción a dicho bloque, mientras que las - cuatro combinaciones restantes en los dos bits menos significativos del puerto, manipulan la función de reloj para cada relevador común.

Para concluir se cita un ejemplo de como se activan los relevadores individuales.

Con el dato 80H presente en el puerto B, el reloj del primer circuito de memoria Flip/Flop que hace el primer circuito de relevador, entra en un nivel lógico bajo ("cero lógico"), preparado para recibir la - transición positiva que le permitirá desplazar el dato de D hacia Q para poner en activo al relevador correspondiente. Basta con presentar el dato 81H en el puerto B, lo que ocasiona la transición positiva en la entrada de reloj del circuito de relevador primeramente accesado, para activar definitivamente al elemento de conmutación en cuestión. Para desactivarlo se coloca nuevamente la dirección 80H en el puerto B y se envía a continuación la dirección del siguiente relevador a activar, con lo -- que se pone fuera de funcionamiento al primero y se prepara al segundo - para entrar en operación.

Con los relevadores comunes, la manipulación es semejante. La diferencia radica en que solo se utilizan cuatro direcciones para acceder a los circuitos y que los valores hexadecimales de direccionamiento para - hacerlos entrar en operación deben ser diferentes de las direcciones que manejan a los relevadores individuales para no causar conmutaciones erróneas en estos últimos.

h) MANEJO DE ALARMA, FOCO "CORRE PRUEBA", Y BOTON "CORRE PRUEBA".

Manejo de Alarma.- En el inciso d se ha descrito ya el funcionamiento de la alarma audible que se emplea en el sistema de prueba.

Ahora bien, la señal de activación que proviene del microcomputador posee una lógica de control que es necesario utilizar para el correcto funcionamiento de este dispositivo auxiliar.

La alarma audible esta en operación continua con las dos frecuencias que le fueron asignadas, pero solo con la señal de habilitación, el sonido se reproducirá en la bocina, anunciando las condiciones de alerta predeterminadas para la secuencia de prueba.

La alarma es habilitada con un "uno lógico" en la entrada de la compuerta NAND, estado que se debe conservar durante el tiempo que se haya fijado para su operación y así obtener el sondio de alerta.

Para conservar ese estado se hace uso de un circuito de memoria --- Flip/Flop tipo D, cuyo reloj es manejado directamente por un bit del --- puerto C, PC3, como se describió en la teoría de operación. El circuito usado se ilustra en la figura 3.21.

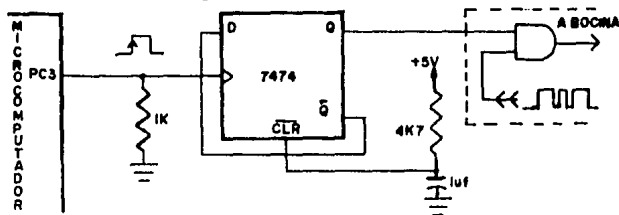


Figura 3.21. Circuito de manejo de alarma audible.

La lógica se usa basicamente como un divisor entre dos, conectando la salida Q/ a la entrada D. La entrada de "clear" es conectada a una red RC para provocar el estado inicial en la salida Q de un "cero lógico" y preparar a la vez el 1 lógico en la entrada D para el estado de habilitación futuro, que se da con el pulso de reloj proveniente del bit PC3 hacia un nivel alto, lo cual desplaza la información de D hacia Q.

La resistencia de 1 K en la entrada de reloj, se coloca para asegurar que las transiciones en el momento del encendido del aparato que se puedan presentar en el puerto C, no provoquen un funcionamiento inicial fuera de tiempo de la alarma. Esta resistencia se denomina a menudo una resistencia de fijación a tierra (pull-down), que fuerza ya sea un nivel de tierra absoluto cuando se presente un "cero lógico" en la entrada de reloj o un "uno lógico" cuando sea necesaria la transición positiva.

Resumiendo, la configuración de divisor entre dos garantiza los dos estados necesarios para el manejo de la alarma, ya que al inicio el nivel existente es un "cero lógico" y el que ya esta preparado es un "uno lógico", listo para activar a la alarma. Al presentarse el "uno lógico" para activar a la alarma en la salida Q, el "cero lógico" siguiente para desactivarla esta ya listo ahora en la entrada D. La red RC y la resistencia de fijación a tierra sirven para establecer correctamente los estados iniciales.

Manejo de Foco "Corre Prueba".- El funcionamiento de la lógica de control para el uso de este foco indicador es muy similar a la usada para la habilitación o deshabilitación de la alarma.

En la teoría de operación del sistema de prueba se especifica que el foco "corre prueba" es un indicador que informa visualmente que la secuencia de prueba se esta llevando a cabo normalmente. Su apagado significa que dicha secuencia se ha intrumpido y que por lo tanto hay una alarma con consumo excesivo de corriente o que una situación anormal se ha suscitado en el sistema.

Para conservarlo prendido durante el tiempo requerido y poder también manipularlo correctamente en su apagado se utiliza la lógica de conexión de la figura 3.22.

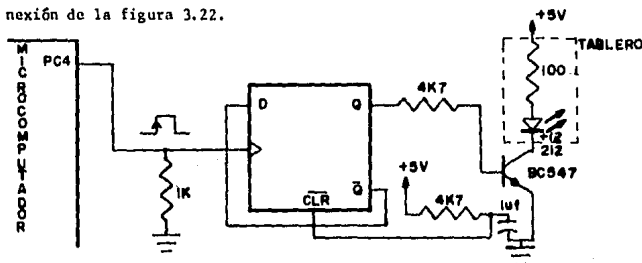


Figura 3.22. Circuito de manejo del foco "corre prueba".

Como se puede observar la idea fundamental es la misma del manejo de la alarma: un divisor entre dos para garantizar los dos estados de "uno o cero lógicos" en la entrada D para manipular el encendido o apa-

--gado del foco indicador. La red RC y la resistencia de fijación a tierra tienen la misma función que en el circuito de manejo de la alarma. - El bit PC4 del puerto C es el encargado de dar el pulso de reloj para la operación adecuada de los valores de voltaje lógicos hacia el foco indicador.

La parte que se ha añadido es el arreglo necesario para manejar el foco indicador en el tablero, el cual consta de un transistor de pequeña señal que se utiliza como interruptor, excitado por su base con la señal TTL proveniente de la salida Q del Flip/Flop y que se limita en corriente con la resistencia de 4K7 en la base. En el colector del transistor se ha colocado un diodo emisor de luz (L E D) con su resistencia limitadora utilizando el siguiente cálculo:

$$\begin{aligned}V_{\text{diodo}} &= 1.5 \text{ volts} \\I_{\text{diodo max}} &= 20 \text{ ma} \\I_{\text{requerida}} &= 15 \text{ ma} \\RL &= \frac{1.5 \text{ v}}{15 \text{ ma}} \\RL &= 100 \text{ ohms}\end{aligned}$$

El funcionamiento del foco "corre prueba" se verifica con un "unc - lógico" procedente de la salida Q que satura al transistor, dando con es to la corriente necesaria para encender el foco indicador durante el --- tiempo que dure la ejecución de la secuencia de prueba; todo esto, siempre y cuando se conserve el nivel alto en la salida Q. Consecuentemente el foco se apaga con un nivel bajo proveniente de la salida del circuito Flip/Flop, poniendo al transistor en estado de corte e interrumpiendo la conducción del diodo.

Manejo de Botón "Corre Prueba".- Un diagrama que esquematiza el conexionado del circuito que maneja al botón en estudio se muestra en la - figura 3.23. El botón está colocado como ya se especificó en la teoría - de operación, en el tablero frontal del sistema de prueba. Su función es precisamente la de enviar la señal de ejecución de secuencia de prueba - al microcomputador en el momento en que el operario pulse el botón para-

—ordenar la acción del sistema.

Un tercer bit individual del puerto C, PC5, es usado como entrada para detectar la orden de ejecución de la secuencia de prueba.

En su funcionamiento se usa una resistencia de fijación a nivel alto (pull-up) para que en el bit PC5 del puerto C se lea constantemente un "uno lógico". Por programación del microcomputador, se le ordena al mismo esperar la presencia de un "cero lógico" en el bit PC5 por medio de una instrucción que esta contenida en el juego de instrucciones del microcomputador. Con la pulsación del botón por el operario, un nivel de "cero lógico" se presenta en la entrada del microcomputador asignada, -- por el contacto directo con el nivel cero de potencial, tierra, lo que obliga a un nivel bajo en esa entrada del puerto C, con lo que se iniciará la secuencia de prueba. Como conclusión se puede concretar que la ejecución de la secuencia de prueba se dá con la transición negativa en el bit PC5 del puerto similar.

Se podría cuestionar el no uso de la entrada de interrupción externa que posee el microcomputador, pero esto se justifica por no ameritar la operación del botón "corre prueba" el uso de una característica tan necesaria y especial que podría utilizarse en otra función.

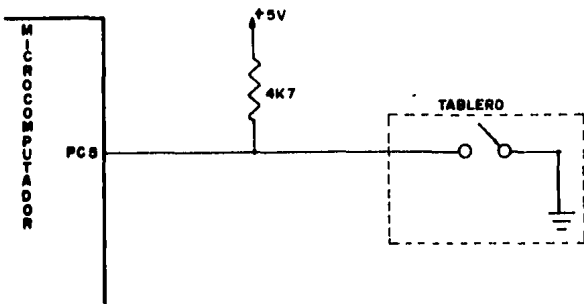


Figura 3.23. Circuito de manejo de botón "corre prueba".

C A P I T U L O I V

EL MICROCOMPUTADOR MC68705R3 Y EL PORQUE DE SU UTILIZACION.

a) FUNCIONAMIENTO Y CARACTERISTICAS.

El microcomputador MC68705R3 es un miembro de la familia M6805 con versión de memoria EPROM (Erasable Programmable Read Only Memory) que es manufacturado por la empresa Motorola Inc. de Estados Unidos.

Pertenece a la rama de microcomputadores de bajo costo en encapsula do individual de cerámica, que con su característica de poseer a la memo ria tipo EPROM, permite cambios y modificaciones en el programa para a-- pliaaciones de baja escala, como utilización en proyectos específicos de alcance limitado para la industria electrónica y que no trascienden por lo general el ámbito de la empresa que los emplea. Esto es una gran ventaja sobre los microprocesadores y microcomputadores con versión programa da de máscara de fábrica que dificulta en muchas ocasiones el uso versa til que se pretenda dar al dispositivo, siendo además por sus caracte rísticas no muy útiles en la clase de proyectos que se utiliza el micro computador que se estudia.

El nombre nominal del dispositivo que se describe en este inciso es como sigue: "microcomputador EPROM de 8 bits con convertidor analógico a digital". Sus características serán explicadas brevemente de acuerdo a las siguientes secciones:

- a.1 Alimentación.
- a.2 Mapa de Memoria.
- a.3 Diagram de Bloques.
- a.4 Unidad Central de Proceso, U C P (Central - Processing Unit, C P U).
- a.5 Reloj Integrado y Frecuencia de Operación.
- a.6 Puertos de Entrada/Salida (E/S).
- a.7 Convertidor Analógico a Digital (A/D).

- a.8 Temporizador (Timer), Registro Opcional de Máscara R E O M (Mask Option Register M O R), Registro de Control del temporizador R C T (Timer Control Register T C R).
- a.9 Interrupciones.
- a.10 Restablecimientos (Reset).
- a.11 Programación.

Antes de principiar con el desglose de ñas secciones listadas, es conveniente mencionar que la arquitectura general del microcomputador es de 8 bits, tanto externa como interna.

Para una información más detallada de cada característica que es — describe, incluyendo rangos de operación eléctricos, referirse al manual de microcomputadores y microprocesadores de Motorola, así como al manual del usuario de la familia 6805 y al apéndice A, donde se halla una ilustración del microcomputador con sus terminales numeradas y especificadas adecuadamente. En la descripción de las señales que actúan por parte del microcomputador hacia el exterior así como aquellas que son recibidas -- por el mismo con niveles de voltaje lógicos equivalentes a "ceros lógicos" para el adecuado funcionamiento del dispositivo, se utilizará nuevamente la notación empleada en el capítulo anterior de colocar junto a la identificación de la señal activo bajo una raya diagonal para indicar dicho modo de operación (/).

a.1 Alimentación.- El microcomputador opera con un voltaje Vcc de 5.25 volts de corriente directa (vcd) \pm 0.5 vcd y un voltaje Vss de -- tierra de 0.2 vcd máximo. En su entrada de programación Vpp requiere de un voltaje de 22vcd máximo y 20 vcd mínimo, para el quemado óptimo de -- las localidades de memoria ROM que contendrán los programas a ejecutar. En modo de operación normal la entrada de voltaje de programación es conectada a un nivel de +5 volts para garantizar un desempeño satisfactorio del microcomputador.

a.2 Mapa de Memoria.- El mapa de memoria se esquematiza en la figura 4.1. El hecho de tener la memoria en mapa en el microcomputador, facilita en gran escala su programación así como el uso adecuado de cada --

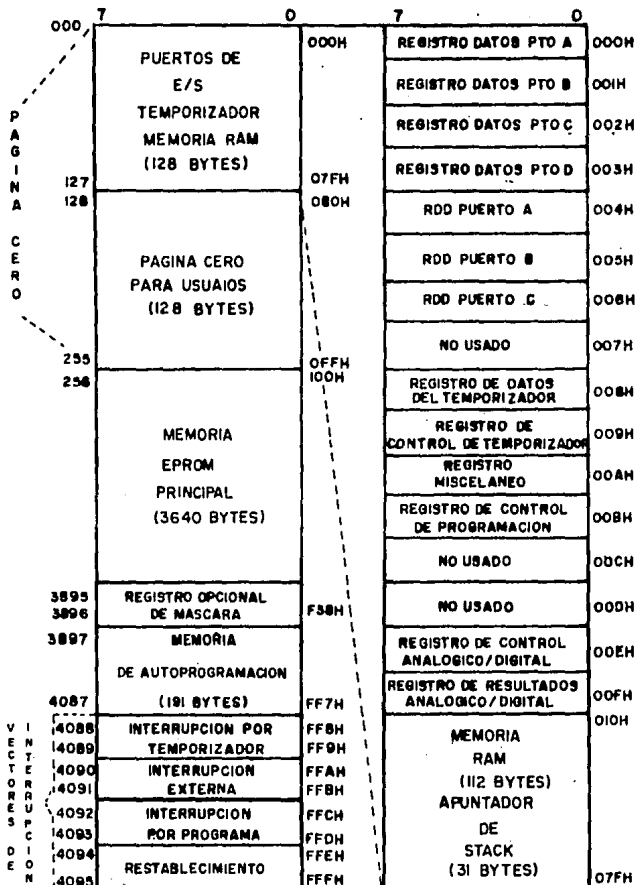


Figura 4.1. Mapa de memoria del microcomputador.

--una de sus localidades de ROM disponibles par el usuario, pués reduce-
el problema de direccionamiento de memoria, puertos de entrada/salida y-
equipo de interfaz opcional, evitando así errores posibles al acceder --
cierto tipo de información.

Refiriéndose al mapa expuesto, la memoria contiene 4096 bytes (4K-
bytes) que pueden ser direccionados por el microcomputador a través de-
su contador de programa. La memoria a su vez se divide en:

128 bytes de memoria RAM
3777 bytes de memoria EPROM
191 bytes de memoria ROM

TOTAL 4096 bytes de memoria

Los 128 bytes de RAM se subdividen en:

31 bytes para apuntador de "stack"
81 bytes disponibles para el usuario
16 bytes de ocupación por registros especiales

TOTAL 128 bytes de memoria RAM

A su vez los 16 bytes ocupados por registros especiales en memoria-
RAM son:

7 registros para puertos de E/S
2 registros para el Registro de Control del -
Temporizador R C T
1 Registro Misceláneo R M (Miscellaneous Re-
gister, M R)
1 Registro de Control para Programa R C P ---
(Program Control Register P C R)
2 registros para el convertidor analógico a -
digital (A/D)
3 bytes no usados

TOTAL 16 bytes (3 no usados)

La memoria EPROM esta formada de 3777 bytes disponibles para el usuario, siendo 8 bytes destinados a vectores de interrupción y otro byte al registro REOM en la memoria EPROM.

Los 191 bytes de memoria ROM son de autoprogramación (Bootstrap -- ROM), que contienen el programa que da lugar al proceso de obtención de información para el quemado de localidades de la memoria EPROM.

Restando las tres localidades no usadas en la memoria, el total de bytes es de 4093, que son usados por el microcomputador en su direccionamiento y almacenamiento de información.

a.3 Diagrama de Bloques.- El diagrama de bloques se esquematiza en la figura 4.2. En él se aprecian los distintos circuitos en bloque que conforman al microcomputador y que son desglosados en los párrafos siguientes.

a.4 Unidad Central de Proceso, UCP.- En el diagrama de bloques se observa que la UCP esta colocada independientemente de las configuraciones de puertos de E/S y de memoria. Consecuentemente puede ser estudiada como un bloque aparte, comunicado por ductos de direcciones, datos y control.

La UCP contiene una Unidad Lógica Aritmética, U L A (Arithmetic -- Logic Unit, A L U), encargada de realizar operaciones lógicas y aritméticas de acuerdo a las instrucciones y datos que le sean asignados para procesar y retener en sus circuitos internos.

El control de la UCP contiene todos los circuitos de control de tiempos y de manejo de información así como algunas señales de control externo que actúan sobre la UCP directamente.

Tiene 5 registros disponibles para el usuario que se explican a continuación:

- Acumulador (A).- Registro temporal de 8 bits de propósito general, que mantiene los operandos y resultados para las distintas operaciones lógicas y aritméticas.

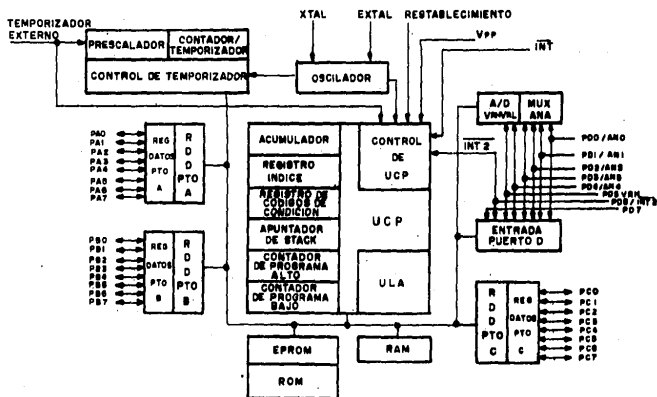


Figura 4.2. Diagrama de bloques del microcomputador MC68705R3.

- Registro Índice (X).- Registro de 8 bits usado en el modo de direccionamiento índice. Puede ser aplicado también en el manejo de información temporal así como en instrucciones de lectura-modificación-escritura.

- Contador de Programa (C P A , C P B).- Registro de 12 bits que contiene la dirección de la siguiente instrucción a ejecutar.

- Apuntador de "Stack" (A S).- Registro de 12 bits que contiene la dirección de la siguiente localidad vacía disponible en el "stack". Se decrementa al recibir información por una llamada a subrutina o por una interrupción y se incrementa cuando esta información es devuelta al programa principal. Con su capacidad de 31 bytes, se permiten hasta 15 llamados a subrutinas dentro de un mismo lazo de operación, tomando en cuenta que durante una subrutina solamente la parte alta y la parte baja del contador de programa son guardadas en el "stack". Con la presencia de una interrupción se conservan en el "stack" los valores de: contador de programa en sus partes alta y baja, registro índice, acumulador y registro de códigos de condición.

- Registro de Códigos de Condición R C C (Condition Code Register C C R).- Registro de 5 bits, todos ellos utilizados como banderas para anunciar los resultados de la instrucción recién ejecutada. Estas banderas pueden ser revisadas por instrucciones de salto (branch) condicionales para efectuar decisiones en el programa principal o en las subrutinas. Este registro se dibuja en la figura 4.3.

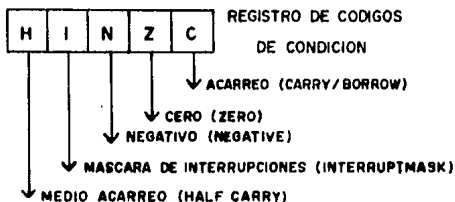


Figura 4.3. Bits que componen al Registro de Códigos de Condición (RCC).

Cada uno de los bits de este registro se explica a continuación:

- 1) Medio Acarreo M A (Half Carry, H C).- Este bit se enciende --- (uno lógico) si durante las operaciones de suma ocurre un bit de acarreo entre los bits b3 y b4 de cualquier registro. Si no es así, el bit permanece apagado.
- 2) Máscara de Interrupción M I (Interrupt Mask, I).- Si este bit permanece encendido, todas las formas de interrupción del microcomputador son inhibidas. Si una interrupción ocurre cuando este bit esta encendido, la interrupción se guarda hasta que se ordena el apagado de este bit.
- 3) Negativo N (Negative N).- Cuando este bit se enciende, es señal de que el resultado de la última operación ejecutada fue negativo. Si el bit esta apagado se revisan entonces los bits de - MA ó A/B.
- 4) Cero C (Zero Z).- Con este bit encendido se tiene el anuncio de que el resultado de la última operación aritmética, lógica o de manipulación de datos fue cero.
- 5) Acarreo/Borrow A / B (Carry/Borrow C/B).- Cuando este bit se enciende, es indicador de que el resultado de la operación que se llevó a cabo en la ULA produjo un bit de acarreo. Este bit es afectado también por instrucciones de salto (branch), prueba de bits y rotación de información.

El Registro de Códigos de Condición RCC, con sus banderas de resultados es sumamente útil en la operaciones de decisión dentro del programa principal y subrutinas.

a.5 Reloj Integrado y Frecuencias de Operación.- El reloj integrado en el microcomputador esta diseñado con un circuito tal, que permite el uso mínimo de componentes externos como lo son por ejemplo un cristal, una resistencia, una señal externa o un puente directo entre las entradas disponibles para estos componentes. Cualquier frecuencia que se introduzca al circuito de entrada de reloj será dividida entre cuatro para obtener la frecuencia del reloj integrado en el microcomputador. La frecuencia mínima de operación del microcomputador es de 400 khz y la máxima de 4 mhz.

a.6 Puertos de Entrada/Salida (E/S).- El microcomputador cuenta con un total de 32 puertos de E/S, 24 de ellos bidireccionales (puertos A, B, C) y 8 de entrada exclusiva (puerto D). La entrada de interrupción del microcomputador INT/ puede ser usada como un puerto adicional de entrada con instrucciones de salto (branch).

Todos los puertos bidireccionales son compatibles con las familias-TTL y CMOS, así como el puerto D de entrada exclusiva.

La programación de los puertos se realiza escribiendo en los Registros de Dirección de Datos RDD (Data Direction Registers, D D R), el bit correspondiente para que funcionen como entrada o como salida; poniendo un FFH en estos registros el puerto esta en modo de salida y con un 00H el puerto se pone en modo de entrada. El puerto D al ser de entrada solamente no tiene un RDD. Los RDD se inicializan por restablecimiento (Reset/) a modo de entrada y se debe primero escribir el dato que se desea en las salidas del puerto en los registros correspondientes, Registro de Datos del Puerto A, Puerto B y Puerto C, RDD A, RDD B, RDD C - (Data Register Port A, B, C, D R A, D R B, D R C), antes de cambiar el modo del puerto de entrada a salida.

El puerto D comparte con el convertidor A/D sus entradas como se verá más adelante, así como con la entrada 2 de interrupción externa INT2/, como se estudia también posteriormente. Las direcciones de los RDD y los RDD se anotan en el mapa de memoria y se dibujan en el diagrama de bloques.

a.7 Convertidor Analógico a Digital (A/D).- Una de las características que hace poderoso al microcomputador MC68705R3 es el convertidor A/D que contiene en su configuración interna. El convertidor trabaja con 8 bits de resolución interna con un error de ± 1 bit menos significativo de exactitud, utilizando para ello una técnica de aproximaciones sucesivas.

Comparte como ya se dijo en la sección anterior con el puerto D, 4-entradas multiplexadas y 2 entradas más para fijar los voltajes de referencia. Los puertos analógicos se designan como PAN0, PAN1, PAN2 y PAN3.

Las entradas de referencia del convertidor Vrh y Vrl tienen un valor máximo en Vrh de +5 vcd y en Vrl de 0.2 vcd como máximo. Si en Vrh se utiliza un voltaje menor de 4 vcd la exactitud del convertidor decae proporcionalmente. Para la aplicación que se le da en el sistema de prueba, la entrada de Vrh se ha fijado a 4 vcd y el voltaje de referencia mínimo se ha puesto a tierra absoluta en la entrada Vrl, teniendo entonces como resultado de cuenta por incremento de resultado:

$$\frac{4 \text{ volts}}{256} = 0.0156 \text{ volts}$$

esto es:

15.6 milivolts por incremento en la cuenta desde 00H hasta FFH.

El convertidor A/D hace uso de 2 registros de 8 bits para su operación, que se especifican en el mapa de memoria: Registro de Control Analógico / Digital R C A (Analog / Digital Control Register A C R) y el Registro de Resultados Analógico / Digital R R A (Analog / Digital Result Register A R R). El primero es el encargado del multiplexaje de las cuatro líneas de entrada y de cuatro canales de calibración interna, todo ello de acuerdo a la tabla de verdad 4.1.

RCA2	RCA1	RCA0	ENTRADA SELECCIONADA
0	0	0	PAN0
0	0	1	PAN1
0	1	0	PAN2
0	1	1	PAN3
1	0	0	Vrh
1	0	1	Vrl
1	1	0	Vrh/4
1	1	1	Vrh/2

Tabla de verdad 4.1.

El convertidor opera continuamente, necesitando 30 ciclos de máquina para completar una conversión, lo cual es anunciado con la bandera b7 del RCA, que se enciende cuando la conversión ha sido terminada, proporcionando un avisador con garantía para funcionamiento correcto de las --

Las entradas de referencia del convertidor Vrh y Vrl tienen un valor máximo en Vrh de +5 vcd y en Vrl de 0.2 vcd como máximo. Si en Vrh se utiliza un voltaje menor de 4 vcd la exactitud del convertidor decae proporcionalmente. Para la aplicación que se le da en el sistema de prueba, la entrada de Vrh se ha fijado a 4 vcd y el voltaje de referencia mínimo se ha puesto a tierra absoluta en la entrada Vrl, teniendo entonces como resultado de cuenta por incremento de resultado:

$$\frac{4 \text{ volts}}{256} = 0.0156 \text{ volts}$$

esto es:

15.6 milivolts por incremento en la cuenta desde 00H hasta FFH.

El convertidor A/D hace uso de 2 registros de 8 bits para su operación, que se especifican en el mapa de memoria: Registro de Control Analógico / Digital R C A (Analog / Digital Control Register A C R) y el Registro de Resultados Analógico / Digital R R A (Analog / Digital Result Register A R R). El primero es el encargado del multiplexaje de las cuatro líneas de entrada y de cuatro canales de calibración interna, todo ello de acuerdo a la tabla de verdad 4.1.

RCA2	RCA1	RCA0	ENTRADA SELECCIONADA
0	0	0	PAN0
0	0	1	PAN1
0	1	0	PAN2
0	1	1	PAN3
1	0	0	Vrh
1	0	1	Vrl
1	1	0	Vrh/4
1	1	1	Vrh/2

Tabla de verdad 4.1.

El convertidor opera continuamente, necesitando 30 ciclos de máquina para completar una conversión, lo cual es anunciado con la bandera b7 del RCA, que se enciende cuando la conversión ha sido terminada, proporcionando un avisador con garantía para funcionamiento correcto de las --

--conversiones que se realicen en el programa o proceso en el cual esté involucrado el microcomputador. Esta bandera se apaga cuando se escribe una nueva cantidad analógica en la entrada que se esté multiplexando, -- con lo que el convertidor muestrea y mantiene el voltaje sentido, interrumpiendo la conversión que se esté llevando a cabo en ese momento y reiniciando el proceso de conversión. El resultado de la conversión se coloca en el segundo registro asignado al convertidor, el RRA, de donde se obtiene la cantidad a comparar contra un rango aceptable que se estudió previamente, y sea colocado en el programa.

a.8 Temporizador, REOM y RCT.- El reloj o temporizador contenido en el microcomputador esta formado como se describe en el diagrama de bloques por un prescalador de 7 bits, un Registro de Datos del Temporizador R D T (Timer Data Register, T D R) y un bloque de control, compuesto a su vez por el RCT (Registro de Control del Temporizador) que a la vez es auxiliado por el REOM (Registro Opcional de Máscara) para su funcionamiento.

El temporizador tiene tres funciones primordiales:

- Realizar interrupciones programadas a distintos intervalos de tiempo.
- Seleccionar tres opciones de reloj para operación del microcomputador.
- Elegir los diferentes modos de división de frecuencia para el prescalador.

Para la descripción de las partes que conforman al temporizador, se explicarán los registros que intervienen en su operación y las funciones de cada uno así como la interrelación que existe entre ellos.

En primer plano el RCT y el RDT presentan junto con el prescalador la estructura mostrada en la figura 4.4. Estudiando en orden creciente los bits del RCT se tiene:

b0, b1, b2, SP0, SP1, SP2 (Selección de Prescalador).- Seleccionan una de las 8 salidas del prescalador para dividir la frecuencia de en

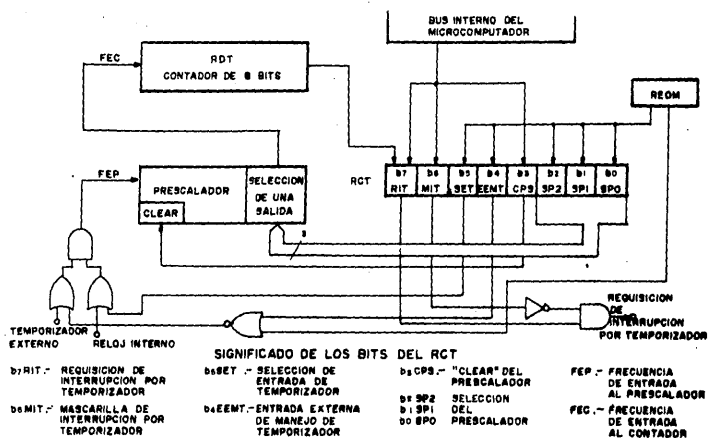


Figura 4.4. Estructura del Registro de Control del Temporizador (RCT). Se incluye también el Registro de Datos del Temporizador (RDT).

trada al prescalador (F E P) en la que se desea obtener para ser aplicada al RDT, que a su vez se designa F E C (Frecuencia de Entrada al -- Contador), la cuál decrementa al RDT para que este tome acción en las - interrupciones periódicas o en la medición de eventos. En este párrafo - es conveniente mencionar que el RDT se puede leer o escribir por programa, lo que facilita y permite interrupciones periódicas y cuenta de eventos, sin que esto altere su operación. Asimismo el RDT se decrementa continuamente desde PFH hasta 00H si no le es escrito nada por programa. -- Los bits en estudio actúan en el restablecimiento del microcomputador -- (Reset/) en concordancia con sus correspondientes bits en el REOM como se estudiará posteriormente.

b3 BPS (Borrado del Prescalador).- Bit que es encargado de borrar el prescalador para una nueva elección de factor de división de frecuencia por parte de los bits SP0, SP1, SP2.

b4, b5, EEMT (Entrada Externa de Manejo del Temporizador) y SET - (Selección de Entrada del Temporizador).- Estos bits seleccionan el modo de entrada de la frecuencia FEP al prescalador, según las opciones de reloj existentes, incluyendo en esto al reloj integrado en el microcomputador. Se tienen tres modos opcionales y uno de deshabilitación del temporizador de acuerdo a la tabla de verdad 4.2:

SET	EEMT	Tipo de Reloj
0	0	Reloj Interno Integrado
0	1	Se realiza la Operación AND de reloj-interno y externo
1	0	Deshabilitación del temporizador; no-hay reloj
1	1	Reloj externo

Tabla de verdad 4.2. Opciones del reloj en el microcomputador.

Estos dos bits funcionan en conjunción con sus correspondientes en el registro REOM al igual que los bits SP0, SP1, SP2.

b6, b7, MIT (Máscara de Interrupciones del Temporizador) y RIT -- (Requisición de Interrupciones por Temporizador).- El bit b6 MIT es el

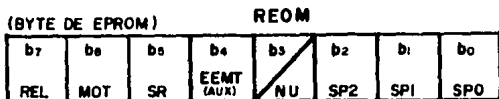
encargado de poner una "máscara" a las interrupciones del temporizador - cuando este se encuentra encendido por programa o por condiciones iniciales. Si este bit está en estado de habilitación, lo cual es un estado de "cero lógico", las interrupciones por medio del temporizador estarán disponibles para procesarse.

El bit 7 RIT, habilita el procesamiento de una interrupción por -- temporizador cuando es encendido, lo que se presenta cuando el contador-RDT alcanza su cuenta a ceros (00H), después de haberse decrementado - desde FFH. Hay que recalcar que si el bit b6 MIT esta en nivel bajo, la interrupción del temporizador tendrá lugar tan pronto como el bit b7 RIT llegue a estado alto, siendo, como ya se dijo, consecuencia del conteo - en decremento del RDT. Más importante es el hecho de recordar que el bit MI del RCC (consultar sección referente a la UCP) pone una máscara a - todas las interrupciones del microcomputador y que si alguna se llega a presentar, en este caso la del temporizador, esta no es procesada hasta quitar la máscara de habilitación del bit MI. La interrupción por temporizador tiene un vector de dirección de subrutina de servicio en las últimas localidades del mapa de memoria.

Con los bits del RCT descritos, se procede ahora a la explicación del registro REOM (Registro Opcional de Máscara) cuyos bits trabajan - y deben estar en concordancia con los del registro RCT en el momento de inicializar el microcomputador.

Se hace notar en primera instancia que en el diagrama del temporizador expuesto (figura 4.4), hay una señal o línea de habilitación que procede precisamente del REOM y que faculta al temporizador para ser controlado por programación o bien para emular una versión de memoria del - microcomputador MC6805R2 también de la familia del MC6805 al cual pertenece el microcomputador descrito en este capítulo. Todo lo anterior es - controlado por un bit sencillo que se estudia en los párrafos siguientes concernientes al registro REOM.

El registro se compone de los bits ilustrados en la configuración mostrada en la figura 4.5 para una mayor comprensión.



EXPLICACION DE LOS BITS DEL REOM

b7REL	RELOJ	b4EEMT (AUX)	ENTRADA EXTERNA DE MANEJO DEL TEMPORIZADOR (AUXILIAR)
b6MOT	MODO DE OPERACION DEL TEMPORIZADOR	b3NU	NO USADO
b5SR	SELECCION DE RELOJ	b2SP2	SELECCION DEL PRESCALADOR
		b1SPI	
		b0SPO	

Figura 4.5. Registro Opcional de Máscara (REOM) y descripción breve de los bits que lo integran.

Los bits son empleados de la siguiente forma:

b0, b1, b2, SP0, SP1, SP2 (Selección del Prescalador).- Implantan la mascarilla inicial para la selección de la salida de frecuencia del - prescalador, FEC, que es aplicada para el decremento del RDT. La combinación que se coloque en esta mascarilla debe estar en acuerdo con los --- bits correspondientes en el RCT. Después de la inicialización los bits - b0, b1, b2 del RCT son seleccionables por programación.

b3, N U (No Usado).

b4, b5, EEMTaux, SR (Entrada Externa de Manejo del Temporizador -- auxiliar) y (Selección de Reloj).- El bit b5 SR es el más importante en esta combinación, pues debe ser colocado en concordancia con el bit - b5 SET del RCT para la selección del reloj que dará la frecuencia FEP, - ya sea el reloj interno integrado o el reloj externo. Ahora bien, con el bit b4 EEMTaux del REOM se determina también la fuente de reloj para la frecuencia FEP y debe estar en acuerdo con los bits b4 EEMT y b5 SET del RCT. Si el RCT se configura para ser un émulo de memoria del MC6805R2, - este bit no se usa.

b6, OT (Operación del temporizador).- Este bit determina una de --

--las dos configuraciones de control para el temporizador y sus regis--
tros adjuntos, ya sea como se ha dicho, por programación o por emula---
ción de versión de memoria del MC6805R2. Nótese en el primer diagrama -
del temporizador la compuerta NOR para habilitar al RCT por control de-
programa, participando directamente este bit.

b7, REL (Reloj).- Determina la elección de la fuente de oscila---
ción externa. Si b7 es igual a un "uno lógico" la oscilación se provee -
con un puente entre las entradas de cristal del microcomputador o con --
una resistencia conectada a una de estas entradas. Si por el contrario,-
el bit b7 es igual a un "cero lógico", la oscilación se controla por ---
medio de un cristal de cuarzo o se obtiene de una fuente de frecuencia -
externa.

Hay que recalcar que el REOM solamente fija las condiciones inicia-
les de operación del temporizador mediante una mascarilla, y que los ---
bits correspondientes deben estar en perfecta concordancia; de lo contra-
rio, un mal funcionamiento se presentará en la operación del microcompu-
tador. Después de las condiciones de inicialización, el RCT y sus bits -
son manejados por programación, si las condiciones del b6 OT del REOM --
así lo permiten.

La importancia del temporizador contenido en el microcomputador se-
corroborra en la aplicación que se le da en las pruebas de medición de --
tiempos de la alarma.

a.9 Interrupciones.- El microcomputador posee 4 formas de interrup-
ción diferentes:

- Interrupción Externa (INT/)
- Interrupción por Temporizador
- Interrupción Externa 2 (INT2/, puerto D)
- Interrupción por Programación (Software Interrupt)

Las interrupciones tienen un orden de prioridad igual a forma en --
que fueron listadas. Todas ellas poseen vectores de interrupción en las-
ocho últimas localidades del área de memoria como se observa en el mapa-
de la figura 4.1.

Existen dos interrupciones que comparten el mismo vector de dirección de subrutina de servicio que son la interrupción por temporizador y la externa (INT2/), lo que es aprovechado para colocar el vector de dirección de restablecimiento (Reset/) que se comporta en forma muy semejante a una interrupción por la forma de proceder con la dirección que le es asignada en el correspondiente vector.

La interrupción externa 2 INT2/ encuentra su bandera de habilitación en el Registro Misceláneo R M (Miscellaneous Register, M R), en cuyos dos bits más significativos se hallan las combinaciones necesarias a fijar para la operación de esta señal de interrupción. El bit más significativo de este registro se enciende cuando se detecta un nivel bajo en la entrada INT2/, avisando con esto a la UCP que la fuente de procedencia de la interrupción fue externa en el nivel dos. El bit b6 de este registro es el encargado de poner la mascarilla a la interrupción INT2/. Cuando se presentan simultáneamente la interrupción del temporizador y la INT2/, la UCP revisa los dos bits de máscara de ambas requisiciones de atención, el bit b6 MIT en el RCT y el bit b6 en el RM, para averiguar la procedencia de la interrupción y cual de las dos está habilitada para ser atendida; en el caso de estar ambas en estado de solicitud de atención la prioridad es para la interrupción por temporizador.

Cuando una interrupción es procesada: la instrucción en ejecución es completada, el estado de la UCP se guarda en el apuntador de "stack"- el bit MI del RCC se enciende, la dirección de la subrutina de servicio se obtiene del vector de interrupción correspondiente y se ejecutan las instrucciones contenidas en la subrutina de servicio; esta última debe tener como última instrucción a aquella que ordena el regreso al programa principal y que es identificada como RTI (Return from Interrupt).

a.10 Restablecimiento (Reset/).- El microcomputador puede ser -- restablecido de dos formas:

- por encendido inicial.
- Por su entrada de restablecimiento externa, con la aplicación de un nivel lógico de volta

je suficiente para ser reconocido por la lógica de esta entrada del microcomputador.

La señal de restablecimiento se comporta como una interrupción en cierto sentido, pues posee en el área de vectores de interrupción, uno - que le permite tomar la dirección del programa donde se encuentran las - inicializaciones del mismo. El hecho de ordenar un restablecimiento al - microcomputador, ocasiona que el proceso del programa sea totalmente de- tenido, para volver al punto de inicio del programa e inicializar todos- los registros y localidades nuevamente.

a.11 Programación.- En el mapa de memoria se incluyen los 191 --- bytes de memoria ROM de autoprogramación (Bootstrap ROM), que permiten que el microcomputador obtenga su información de operación de programa - desde circuitos externos a él. Este programa en memoria ROM solo cumple- este cometido.

Dentro de las funciones que cumple el programa están las de enviar las señales necesarias de reloj, voltaje , borrado (clear), etc. para- manejar el circuito que proporciona la información a la memoria EPROM pa- ra su ocupación de localidades. Este circuito se describe completamente- en el inciso siguiente de este capítulo, junto con las características - de programación que hacen poderoso al microcomputador MC68705R3, de las- cuales se pueden citar como ejemplos sus modos de direccionamiento e in- trucciones especiales. El registro de Control de Programa R C P (Program Control Register, P C R) es usado como registro de apoyo en la autopro- gramación y se utilizan 3 bits de los 8 de que esta formado, aplicándoo- las como banderas de aviso para proceder o no con la programación, para- avisar que el voltaje de programación es el correcto o no para leer y al- macenar la información en orden, de acuerdo al dato enviado por el cir- cuito de programación utilizado.

Las principales características del microcomputador han sido des- critas y son ampliadas en su aspecto de manejo de programación en el in- ciso siguiente. En el capítulo V se explica y se anotan como son aprove- chadas las ventajas que son útiles al manejar información en el sistema- de prueba, aplicados a los diferentes parámetros que se verifican en él.

La información presentada hace confirmar porque este tipo de micro computadores son usados en modelos prototipo de cualquier desarrollo de equipo electrónico que se desee elaborar, pues al presentar la versatili dad de operación junto con la opción de alterar su información cuantas veces se desee y sin mucha dificultad, lo hace ideal para producciones piloto o bien como en el caso que se presenta, para desarrollar equipo de prueba basados en diversas ideas de utilización óptima de estos dispositivos.

b) PROGRAMACION.

En el inciso anterior, se mencionan algunas de las características generales del proceso de programación del microcomputador, como lo son - por ejemplo el programa en memoria ROM de 191 bytes que permite una fácil adquisición de información para la memoria EPROM por medio del "quemado" de sus distintas localidades, el registro de control de programa, RCP, o el contenido de instrucciones especiales que brindan gran accesibilidad en la manipulación de información y toma de decisiones.

Es objetivo de este inciso el ampliar esta información, detallándola para el mejor entendimiento del proceso de programación y facilidades que se encuentran en los modos de direccionamiento y juego de instrucciones del microcomputador.

El inciso se divide en dos secciones:

b.1 Circuito de programación.

b.2 Explicación general del juego de instrucciones y modos de direccionamiento.

Ambas secciones son descritas brevemente, pero lo suficientemente completas para constatar las ventajas y criterios de diseño y utilización que se aplican en el uso del microcomputador.

b.1 Circuito de programación.

El circuito usado para la programación del microcomputador se dibja en la figura 4.6 y se hace referencia continua a él para la explica-

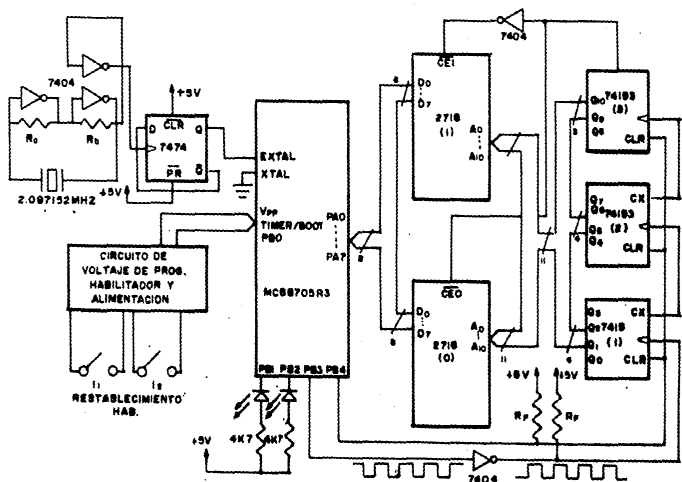


Figura 4.6. Circuito utilizado para llevar a cabo la programación del microcomputador.

—cación de su diseño y operación.

Las razones del diseño parcial de este circuito son las siguientes:

1) El circuito sugerido por la compañía manufacturera Motorola, --- pide el uso de un contador de 12 bits número MC4040, que en el momento de la construcción del equipo no estaba disponible en el mercado mexicano y su importación requería 2 meses de tiempo de entrega.

2) Se sugiere también la utilización de una memoria EPROM número -- MCM2532 de 32 Kbits (4 Kbytes) de capacidad, para pregrabar la informa ción que le será vertida a la memoria del microcomputador, circuito inte grado que se hallaba en las mismas circunstancias de adquisición que el anterior.

3) Se requiere asimismo el uso de un cristal de 1 Mhz de frecuencia que no fue posible conseguir en el mercado nacional y se decidió no im portarlo.

Refiriéndose ahora al circuito de la figura 4.6, se observa que se suplanta el uso del contador MC4040, con la habilitación de tres contado res TTL 74LS193 de 4 bits cada uno, usados en cascada para substituir al contador único. Para lograr la acción de reloj, el bit de acarreo del -- primero se conecta a la entrada de reloj del segundo contador y así suce sivamente con el segundo y tercero, siendo la señal de "clear" común a - los tres contadores. Las entradas de carga de datos y habilitación de -- carga de datos así como las entradas no empleadas, se conectan a niveles lógicos correspondientes, para no afectar el funcionamiento del conjunto substituo. 11 de las salidas de los contadores (11 bits), se conectan a las entradas de dirección de los circuitos de memoria EPROM que substi tuyen a las memorias MCM2532 de 4 Kbytes de capacidad; estos circuitos - substitutos son las memorias EPROM 2716 de 2 Kbytes de capacidad y que - por lo tanto son empleadas en número de dos, complementando comodamente los 4 Kbytes de memoria necesaria. Los 11 bits de dirección forman el -- ducto de direcciones común a ambas memorias, mismas que serán habilita-- das por el bit restante número 12 de la configuración del contador. Como se puede apreciar esto es un direccionamiento de memoria de las direccio nes:

000H a 7FFH (primera memoria EPROM)

800H a FFFH (segunda memoria EPROM)

Con esto se abarca el contenido de las 4096 localidades. Las salidas de datos de cada una de las EPROMs 2716 forman el ducto de datos -- que se introduce al puerto A del microcomputador. Cabe hacer mención -- que cada una de las memorias 2716 son previamente grabadas en un circuito quemador de memorias EPROM que puede ser montado en una computadora o en un sistema de desarrollo, donde se puede cargar previamente el programa en lenguaje ensamblador del microcomputador MC68705R3.

Ahora bien, el circuito usado para la obtención de la frecuencia de 1 Mhz, es en su primera etapa un oscilador por desplazamiento de fase, -- logrado con un arreglo de compuertas NAND y resistencias. La salida de esta etapa es enviada a un divisor de frecuencia con factor de dos, para obtener la frecuencia de 1 Mhz deseada, que es aplicada a la entrada de cristal del microcomputador (XTAL y EXTAL). El bloque descrito como -- " Circuito de Voltajes de Programación, Habilitador y Alimentación", está formado por la circuitería necesaria para realizar estas funciones, -- acompañada de dos interruptores que proveen las señales de restablecimiento y de habilitación para el inicio del proceso de programación del dispositivo.

El proceso de autoprogramación se inicia al abrir los interruptores con lo cual se retira el restablecimiento (reset/) del dispositivo y se aplican los voltajes de programación necesarios.

El programa de autoprogramación da las señales de "clear" y reloj -- a los contadores para leer las localidades de EPROM correspondientes a -- las memorias con las del microcomputador, completando en esta forma el -- ciclo de carga de información al dispositivo. Terminando esto, la señal -- de "clear" es enviada nuevamente a los contadores, el foco indicador de -- programa se enciende y se repite el proceso anterior de programación, pa -- ra después encender el foco indicador de verificación para confirmar la -- información obtenida. Para mayor información de la programación del mi -- crocomputador, consultar el manual de microprocesadores y microcomputado -- res de Motorola (ver bibliografía), así como el apéndice A, donde se --

--dan distribuciones de terminales de cada circuito integrado, incluyendo las del microcomputador.

b.2 Explicación General del Juego de Instrucciones y Modos de Dirección.

El microcomputador MC68705R3, contiene un juego de instrucciones -- muy completo con capacidad de ser utilizado en conjunto con 10 modos de direccionamiento.

Posee como la mayoría de los microcomputadores y microprocesadores -- instrucciones de transferencia de datos, aritméticas, lógicas, transferencia de control etc., abarcando tres tipos de instrucciones que son de gran utilidad para una programación fácil y sumamente versátil, las cuales se pueden subdividir para su estudio en:

b.2.1 Manipulación de Bits Individuales.

b.2.2 Saltos (branch) en base a estados particulares de bits en memoria RAM.

b.2.3 Saltos (branch) condicionales en base a los estados particulares del RCC de la UCP.

A continuación se describen brevemente cada uno de estos tipos de -- instrucción y el porque de su importancia.

b.2.1 Manipulación de bits individuales.

Este tipo de instrucciones permite el manejo voluntario por parte -- del programador, para poner cualquier bit de la memoria RAM en el estado lógico que se desee, logrando esto con una simple instrucción de 2 bytes y 7 ciclos de máquina (13.6 microsegundos aproximadamente) y que ahorra el trabajo de lectura-modificación-escritura para la alteración de -- información de alguna localidad de RAM usada como registro de banderas o como un registro de control de datos por parte del microcomputador (RD, RDT, RCT, RRA, RDI etc.). La importancia de este tipo de instrucción -- radica en poder manejar los bits de localidades de memoria RAM, para ponerlos en estados lógicos correspondientes tales que se adecúen lo mejor posible a ser usados como banderas para reportar el resultado de alguna --

—prueba o para poner un bit de algún puerto de E/S en el estado lógico-necesario para manipular un circuito externo al microcomputador, como en el caso del sistema que se presenta, en el que la habilitación de la alarma audible se logra por el bit PC5 del puerto C cambiando su estado - de cero a uno y viceversa. Un ejemplo de este tipo de instrucción se da a continuación. Supóngase que se desea poner en estado bajo el bit 7 del RCT, RIT, ya descrito en el inciso anterior. Antes de la ejecución de la instrucción correspondiente el registro se halla de la siguiente manera (figura 4.7) :

		RIT							
RCT		b7	b6	b5	b4	b3	b2	b1	b0
			1	0	0	0	1	1	0

Figura 4.7. Estado del RCT antes de la aplicación de una instrucción de manipulación de bits individuales.

Con la ejecución de la instrucción:

ETIQUETA	DIRECCION	CODOP	MNEMONICO	COMENTARIOS
PI	: 634F	1F	BCLR 7, RCT	; pon en estado bajo el bit 7, RIT, del RCT - para preparar interrupción por temporizador.
	6350	09		

el registro quedaría (figura 4.8) :

		RIT							
RCT		b7	b6	b5	b4	b3	b2	b1	b0
			0	0	0	0	1	1	0

Figura 4.8. Estado del RCT después de la ejecución de una instrucción de manipulación de bits individuales.

cumplíendose así la función de esta instrucción.

b.2.2 Saltos (branch) en base a estados específicos de bits en memoria RAM.

La utilización de este tipo de instrucción permite la averiguación-

--específica y singular de cualquier bit de memoria RAM, y en base a su estado lógico, realizar un salto si la condición especificada del bit es verdadera, abarcando el salto un espacio de memoria de 129 localidades - hacia adelante o 126 hacia atrás, brindando una forma muy versátil de toma de decisiones en localidades de memoria RAM empleadas como registros de bandera o de información. En combinación con el tipo de instrucción - explicado en el subinciso anterior, se forma una poderosa herramienta de manipulación de información.

Un ejemplo de una instrucción contenida en el grupo que se describe se proporciona a continuación. Supóngase que se desea averiguar el estado del puerto C en su bit PC2; si el estado de este bit es un "uno lógico", se indica al microcomputador que reporte un defecto asociado con el estado del puerto en este bit; si el estado es el contrario al especificado para realizar el salto el programa debe cargar en el acumulador el dato presente en el puerto C.

La fracción del programa se anotaría así:

ETIQUETA	DIRECCION	CODOP	MNEMONICO	COMENTARIOS
	6340	04	BRSET, DRC, ALDE1	; ¿Hay bloqueo para
	6341	02		alarma multiple-
	6342	20		xada?
	6343	B6	LDA DRC	; si, carga el esta
	6344	02		do del puerto C

ALDE1 :	6363	BE	LDX RAM LOC 11	; no hay bloqueo, re
	6364	11		porta directo a -
				cuadro indicador.

En el ejemplo: 04H es el código de operación, 02H la localidad de memoria RAM (puerto C) y 20H la longitud del salto, que se añade al contador de programa para localizar la dirección efectiva del salto en caso de ser efectuado.

b.2.3 Saltos (branch) condicionales en base a estados particulares del RCC de la UCP.

Este tipo de instrucciones permite la evaluación de los estados de cada una de las 5 banderas de anuncio del RCC, que se encienden o se apagan de acuerdo a los resultados de las instrucciones u operaciones ejecutadas en la ULA. La versatilidad que se halla en estas instrucciones es que cada bandera es afectada por varias operaciones y que existe un salto condicional en base a las banderas que puede ser especificado también de acuerdo a la operación ejecutada, lo que hace el empleo de estas instrucciones un tanto lógico. Un ejemplo de este tipo de instrucciones es enunciado a continuación. Supóngase que se tiene la comparación de una cantidad digital de voltaje para el rango superior; si la cantidad es mayor que el rango se envía al programa a esperar una interrupción externa y si el voltaje digitalizado es menor el programa debe continuar. El listado aparecería como sigue:

ETIQUETA	DIRECCION	CODOP	MNEMONICO	COMENTARIOS
	6742	A1	CMP #2A	; Compara con el rango
	6743	2A		máximo de voltaje -- permitido.
	6744	22	BHI EIE	; ¿es mayor?
	6745	10		
	6746	B8	EOR RAM LOC IF	; no, continua
	6747	1F		

EIE	; 6756	2F	BIR EIE	; el rango fue excedido
	6757	FE		espera para reportar a cuadro indicador.

En el ejemplo se utilizan dos instrucciones de salto (branch), ambas que usan el bit A/B para operar, pero a la vez, se emplean con diferente objetivo.

Pasando ahora a la explicación de los modos de direccionamiento, y-

--con la idea ya explicada de los tres tipos de instrucciones que hacen muy peculiar y poderoso al microcomputador, se da una definición de cada uno de ellos, aclarando que no es el objetivo principal de este inciso - el desglosar detalladamente la operación de cada uno de ellos.

Los modos de direccionamiento son:

- Inmediato
- Directo
- Extendido
- Relativo
- Índice sin extensión
- Índice con 8 bits de extensión
- Índice con 16 bits de extensión
- Cambio de estados de bits específicos
- Prueba de bits y salto condicional
- Inherente

Antes de comenzar a enunciar la definición de cada uno de ellos, es conveniente aclarar el término "dirección efectiva" DE, por el cual se entiende: "dirección efectiva es la dirección de donde el argumento para la ejecución de una instrucción es obtenido o almacenado". Con esto en mente se definen a continuación los 10 modos de direccionamiento:

- Modo de Direccionamiento Inmediato.- El operando esta contenido en el byte inmediato al código de operación.
- Modo de Direccionamiento Directo.- La dirección efectiva del argumento esta contenida en el siguiente byte del código de operación y abarca el direccionamiento de las primeras 256 localidades de memoria.
- Modo de Direccionamiento Extendido.- La dirección efectiva del argumento está contenida en los dos bytes que siguen al código de operación, permitiendo acceder información en todo el espacio de memoria.
- Modo de Direccionamiento Relativo.- Se usa solo en instrucciones de salto (branch). En este modo de direccionamiento el conteni-

- do del byte que sigue al código de operación es añadido al contador de programa para obtener la dirección efectiva, si y solo si, el salto es verdadero.
- Modo de Direccionamiento Índice sin Extensión.- La dirección efectiva del argumento esta contenida en el registro índice de 8 bits (X). Sirve para referenciar una tabla o una localidad de memoria-RAM que es accesada constantemente.
 - Modo de Direccionamiento Índice con 8 bits de Extensión.- La dirección efectiva es obtenida sumando el contenido del registro índice al byte que sigue al código de operación, logrando con esto acceder una tabla de n elementos siendo n menor de 256.
 - Modo de Direccionamiento Índice con 16 bits de Extensión.- La dirección efectiva se obtiene sumando el contenido del registro índice a los dos bytes que siguen al código de operación, pudiendo acceder una tabla de datos que se encuentre en todo el espacio de memoria.
 - Modo de Direccionamiento de Cambios de Estados de Bits Específicos.- En este modo de direccionamiento, el bit a ser puesto en cualquiera de los dos estados lógicos posibles esta incluido en el código de operación y la dirección del byte donde se localiza el bit a ser afectado, se especifica en el byte que sucede al código de operación.
 - Modo de Direccionamiento de Prueba de Bits y Salto Condicional.- En este modo de direccionamiento, el bit del cual se averigua su estado y el estado en particular a ser verificado se incluyen en el código de operación y la dirección donde se localiza el byte que contiene al bit a investigar se anota en el segundo byte después del código de operación, empleándose un tercer byte para definir la longitud del salto en el caso de que el estado que se pretenda averiguar haya sido verdadero.
 - Modo de Direccionamiento Inherente.- En el código de operación esta incluida toda la información para realizar la instrucción y el movimiento de información.

La descripción de las características de programación del microcomputador ha sido realizada, algunas brevemente y otras más extensamente-

--desde el punto de vista de su importancia y la influencia que tienen - en la realización de los programas que abarcan la secuencia de prueba, - estando también de acuerdo a la gran utilidad y versatilidad con que son utilizadas para este propósito.

En el capítulo V se detalla el empleo de cada instrucción y sus ventajas en su aplicación al estar ya formando parte de un programa principal que está actualmente en operación.

c) VENTAJAS Y EL PORQUE DE SU UTILIZACION.

En los dos incisos anteriores, se proporciona un panorama de las características que ofrece el microcomputador MC68705R3 para ser usado en una gran variedad de aplicaciones, limitadas solo por la imaginación, ingenio y necesidades del usuario.

Es ahora necesario, listar y discutir las ventajas que ofrece el microcomputador desde un punto de vista generalizado, para después poder - justificar el porque fue elegido para ser el elemento central del sistema automático de prueba que se presenta.

Las ventajas son listadas a continuación, con una pequeña explicación y discusión de cada una de ellas.

- Gran capacidad de memoria.- La memoria EPROM disponible para el - usuario es suficiente para almacenar un programa muy completo, para desarollar un trabajo específico por parte del microcomputador, permitiendo a la vez ampliarlo o acortarlo con facilidad. Es conveniente anotar que - en producciones piloto el microcomputador en estudio es de gran utilidad pues permite "modelar" una mascarilla que puede más tarde ser incluida - en un circuito integrado que realice las funciones de un proyecto que se halla llevado a cabo con base en el microcomputador citado. Por otra parte la memoria RAM ofrece una cantidad suficiente de localidades para ser - utilizadas en un programa que no demande una gran capacidad de la memo--ria mencionada. Si bien es cierto que los 81 bytes efectivos de memoria - RAM para el usuario son un número relativamente pequeño, también es cierto que se tiene que dar cabida a la memoria EPROM, sacrificando un poco-

—de memoria RAM; es por esto que el uso de esta memoria requiere de su máximo aprovechamiento.

- Memoria en mapa.- Característica que ofrece una gran ventaja al usuario, pues simplifica en gran escala la programación del dispositivo.

- Temporizador.- Dispositivo auxiliar del microcomputador de múltiple empleo. Es útil en una gran variedad de aplicaciones que van desde ser utilizado como reloj muy exacto en mediciones de tiempo, hasta ser un medidor de ancho de pulso de una señal externa que es introducida al microcomputador, además de constituirse en él una de las cuatro interrupciones que posee el dispositivo.

- 4 Tipos de interrupción.- Característica que es sumamente importante, pues forma un manejo accesible y no complicado de manipular este tipo de función, que debe estar contenida en cualquier microprocesador 0 microcomputador que se considere competitivo y eficiente.

- Puertos bidireccionales de E/S.- Esto es una gran ventaja en el microcomputador en estudio, ya que al contarse los puertos bidireccionales en número de 24, permiten un uso sumamente extenso de esta característica que es vital en el dispositivo computacional, pues brinda al usuario una gran capacidad de acceso externo así como la opción de utilizar como líneas de control individual a una entrada de puerto exclusiva.

- Convertidor A/D.- Sin discusión, una de las ventajas más relevantes del microcomputador MC68705R3, pues es una facilidad sumamente necesaria en cualquier dispositivo electrónico actual que pretenda realizar acciones de control o medición de parámetros, y lo es más útil como cuando en este caso, el convertidor está incluido en el mismo encapsulado y con una resolución de 8 bits, grande y suficiente para el tamaño del dispositivo.

- Programa de autoprogramación.- Otra ventaja peculiar del microcomputador que lo hace muy valioso al evitar un proceso tedioso de obtención de información para su memoria EPROM, pues al quedar grabada la información del programa que será realizado por el dispositivo, el mismo es colocado en su lugar de operación y no requiere de buscar información

extra para su funcionamiento en circuitos externos adicionales como por ejemplo un banco de memoria extra o interfaces adicionales.

- Juego de instrucciones completo.- Esto es una gran ayuda, pues de esto depende que el microcomputador sea poderoso en su manejo de información para realizar el programa asignado.

- Instrucciones de manipulación de bits específicos.- Como ya se ha discutido en las secciones b.2.1 y b.2.2 este tipo de instrucciones representa una ventaja sobre otras opciones de elección de microcomputadores, pues muy pocos fabricantes han llevado a la manufactura dispositivos con esta característica de programación. Como se estudia más adelante, este tipo de instrucciones es muy útil en el sistema de prueba.

- Instrucciones de salto (branch).- Reportan como ventaja un empleo lógico de ellas al poseer una forma fácil y accesible de ser empleadas en los programas.

- 10 modos de direccionamiento.- Esto hace muy poderoso al microcomputador en estudio ya que los tres modos índices de direccionamiento y los dos de manipulación de bits, permiten un manejo muy versátil de la información para ser procesada en el sistema de prueba.

En base a las ventajas enunciadas, se exponen a continuación las razones del porque de la elección y utilización del microcomputador analizado.

Una de las principales razones por la cual se decidió la utilización del microcomputador MC68705R3 se funda en el hecho de que se tiene en un solo encapsulado dispositivos tan útiles y variados como lo son el temporizador, 32 puertos de E/S, un convertidor A/D, manejo de interrupciones fácil y versátil y un completo juego de instrucciones.

Ahora bien, ¿porque todas estas características son tan importantes para las aplicaciones que se le dan al microcomputador en el sistema de prueba y dentro del ámbito mismo de la empresa?.

Para contestar esta pregunta es necesario mencionar que los productos que son manufacturados en la compañía donde se desarrollo el trabajo de tesis que se presenta, requieren para su desarrollo, producción y proceso de prueba, de dispositivos electrónicos que hagan sencilla, eficiente y dinámica estas operaciones de manufactura.

Para concretar con un ejemplo, que mejor justificación que la que se expone a continuación, donde se discuten las aplicaciones de los circuitos contenidos en el microcomputador listados en el párrafo anterior junto con los porqués de su necesidad al tener que desarrollar el sistema de prueba que se presenta para la verificación de alarmas en forma múltiple.

Para principiar, ha de recordarse que la alarma requiere para su funcionamiento de valores de voltaje y corriente tales que tienen que estar contenidos dentro de un rango permisible proporcionado por el cliente. Con esto en mente, se hizo necesario pensar para su medición y verificación en un circuito que manejara cantidades analógicas y que permitiera hacer uso de esta información en compatibilidad con un sistema digital, lo cual hace pensar inmediatamente en un convertidor A/D. El microcomputador en análisis contiene este convertidor, con una resolución bastante aceptable, además de tener sus entradas multiplexadas y fácilmente controlables por programa, lo que en conjunto, contribuyó en gran parte para su elección.

Pasando a otro punto, en las especificaciones de la alarma (Capftu lo II inciso a), se mencionan dos parámetros de tiempo que tienen que satisfacerse para la aceptación del producto: el tiempo largo de operación (60 y 90 segundos), y el ciclo de trabajo junto con la frecuencia de operación. Para la medición de estos parámetros y la revisión de los mismos, el microcomputador posee al temporizador y 4 formas de interrupción muy accesibles , lo que resulta en un par de recursos muy útiles en la aplicación de pruebas de tiempo a cada una de las 16 alarmas y que como se estudia posteriormente, resuelven gran parte de las tareas de medición y revisión con facilidad.

Para manejar a las 16 alarmas en el sistema de prueba, es necesario

pensar que si el mismo fue desarrollado en base a un microcomputador, la capacidad de puertos de E/S del mismo para manipular interfaces diversas que ayudan a realizar la adquisición de datos necesaria para llevar a cabo correctamente el objetivo propuesto, tiene que ser lo suficientemente grande y fácil de manejar para cumplir adecuadamente con la tarea asignada. Ya que el microcomputador posee una capacidad de puertos de E/S bidireccionales en número de 24, satisface completamente el requerimiento enunciado.

Habiendo justificado y discutido brevemente el porque de la utilización del microcomputador en estudio en lo que respecta a sus aspectos de circuitería y las facilidades que brinda al usuario, es de cuestionarse el porque no se usó, a diferencia de un microcomputador, un microprocesador con una UCP tal vez más poderosa que la contenida en el MC68705R3.

La respuesta reside en el hecho de que es claro que existen microprocesadores más poderosos en el mercado, pero que los circuitos adicionales necesarios para la verificación de los parámetros de la alarma tales como los listados en párrafos anteriores, se adquieren por separado del microprocesador y que por lo general demandan más gastos por parte de la empresa y más circuitería y conexión externa, complicando un poco más la coordinación de señales y aprendizaje en el uso del dispositivo en conjunto.

Microprocesadores como el Z-80 ó el 6809, presentan UCP's con características muy superiores a las de la contenidas en la UCP del MC68705R3 pero que al mismo tiempo demandan gran cantidad de circuitería externa según las necesidades de expansión y utilización que demande el proceso.

Por otra parte, las características y la arquitectura del MC68705R3 cumplen en forma global y satisfactoria con los requerimientos de desarrollo y expansión de la empresa donde el sistema de prueba fue construido, misma que considera su aplicación variada y general en los diversos procesos de manufactura.

Pasando a otro plano, hay que hablar ahora de las características de programación y sus facilidades que hicieron que el microcomputador en

estudio fuera elegido para su aplicación en el sistema de prueba que se presenta.

Como ya se ha mencionado, tres son las principales razones en que se fundamenta la elección del microcomputador en su aspecto de programación:

- programa de autoprogramación.
- Instrucciones de manipulación de bits específicos.
- 10 modos de direccionamiento.

El hecho de contener un programa de autoprogramación, hace que la puesta en marcha de obtención de información para el microcomputador sea sencilla tanto para el usuario familiarizado con el dispositivo como para el que lo utiliza por primera vez, brindando una garantía en su operación y en el sistema o equipo que está destinado a gobernar.

Las instrucciones de manipulación de bits específicos, conforman uno de los recursos más sólidos en el manejo de registros auxiliares de banderas o información de resultados dentro del programa principal, pues con ellas se pueden usar a cualquiera de las 32 líneas de puertos de E/S como líneas de control para dispositivos externos y a la vez servir de base para la toma de decisiones inmediata según una bandera de aviso en cualquier registro y una variedad de aplicaciones, de las cuales se anotarán en el capítulo siguiente unas cuantas.

Por último, los modos de direccionamiento son quizá uno de los apoyos más significativos en la operación y manipulación eficiente del microcomputador, pues es a través de esta característica que un dispositivo como el estudiado encuentra su máximo poder, al estar dotado de una variedad de formas de acceder información tal, que lo hace flexible para el programador en todos los sentidos, ya que él mismo puede encontrar un límite hasta donde su ingenio y experiencia abarquen representando aún así un gran aprendizaje y un beneficio para el sistema donde está destinado a operar el microcomputador.

A lo largo de este capítulo han sido descritas las ventajas, caracte

terísticas y justificaciones del porque y como del microcomputador que -
constituye la base del sistema de prueba presentado , todas ellas con ra
zonamientos que se fundamentan en el funcionamiento actual del sistema -
que se desarrolla en una línea de producción.

Las aplicaciones y ventajas que se dieron y que posee el sistema de
prueba, encuentran su extensa explicación y puesta en marcha en el capí-
tulo siguiente, donde está contenido el resumen de la operación conjunta
de los circuitos de interfaz con el microcomputador MC68705R3 y que de--
muestra la efectividad de ambas partes trabajando en coordinación para -
lograr el objetivo propuesto, así como una visión práctica de la utili--
dad del microcomputador utilizado.

C A P I T U L O V

PRUEBAS A REALIZAR: CRITERIOS DE DISEÑO Y DIAGRAMAS DE FLUJO.

a) PRUEBAS A REALIZAR.

En la teoría de operación del sistema de prueba, así como en los capítulos anteriores, se hace mención continuamente a las pruebas de verificación que son aplicadas a cada una de las 16 alarmas a que da cabida el sistema que se presenta. Esto último en el sentido de que se han descrito los circuitos e interfaces que permitirán desarrollar estas pruebas, con algunas explicaciones previas y breves, que dan idea del trabajo conjunto de cada sección del sistema. Ahora bien, hay que aclarar que no se ha enunciado más que una pequeña parte de las pruebas que se estudian en este inciso.

El objetivo primordial de este capítulo, es el de detallar la estructura de cada una de las pruebas de verificación que se realizan en el sistema de prueba para cada alarma, exponiendo los criterios de diseño aplicados en cada uno de los programas que conforman al programa principal que está contenido actualmente en la memoria EPROM del microcomputador y que opera satisfactoriamente.

Se incluyen también en este capítulo, los diagramas de flujo correspondientes a cada una de las pruebas que se realizan, para fijar la idea del cómo se lleva a cabo cada secuencia de verificación. Asimismo al final de este capítulo, en el inciso 1, se ofrece un diagrama de flujo general.

Este primer inciso se subdivide en las siguientes secciones:

- a.1 Descripción de las 10 pruebas realizadas.
- a.2 Uso de localidades de memoria RAM.
- a.3 Subrutinas de aplicación general.
- a.4 Consideraciones generales en la secuencia de prueba.

Se sugiere referirse continuamente al inciso a del capítulo II así como al capítulo III por completo. En el inciso a del capítulo II se describe detalladamente el funcionamiento de la alarma y a la vez están contenidos los parámetros y especificaciones de operación para la misma, en los cuales se basan la aplicación de cada una de las pruebas, correspondiendo al capítulo III todo lo referente a los circuitos de interfaz y - auxiliares.

a.1 Descripción de las 10 pruebas realizadas.

- Prueba Cero: Consumo de Corriente.- Se verifica que el consumo máximo de corriente de cada alarma no sea mayor de 20 ma. Esta prueba es la primera en ejecutarse por considerarse este defecto como factor crítico en la operación de la alarma y el sistema de prueba.

- Prueba Uno: Voltaje Interno Regulado y No Bloqueo.- Prueba que -- permite verificar este valor de voltaje regulado, propio de cada alarma cuando esta se encuentra en activación. El voltaje revisado en esta prueba tiene como valor mínimo en la terminal donde se verifica 3.70 vcd --- (volts de corriente directa), que es equivalente a tener el voltaje correcto para la operación adecuada del dispositivo. Al añadir la prueba - de no bloqueo en combinación con la revisión del voltaje interno regulado, se pretende comprobar que la alarma no ejerce dicha función fuera de tiempo, o lo que es lo mismo, cuando el dispositivo esta en servicio solamente.

- Prueba Dos: Disparo Positivo y Oscilación por Terminal de Luces.- Con la realización de esta prueba se persigue verificar que todas las alarmas respondan correctamente a la puesta en operación con el disparo positivo (puertas), y lo cual es comprobado revisando que exista una oscilación efectivamente en la terminal 2 de Luces. Así, la alarma que no haya respondido a la señal de activación, no oscilará por la terminal verificada.

- Prueba Tres: Oscilación por Terminal de Claxón y Bloqueo.- En esta prueba se revisa que haya oscilación por la terminal 3 de Claxón y -- que al mismo tiempo, exista ya la función de bloqueo en la alarma

- Prueba Cuatro: Frecuencia.- El objetivo de esta verificación, es comprobar que la alarma está dentro del rango de frecuencia admisible -- por el cliente.

- Prueba Cinco: Ciclo de Trabajo y Bloqueo.- En esta prueba, se revisa el ciclo de trabajo para cada alarma, asegurando que se encuentre - en el rango aceptado. Al mismo tiempo se hace seguro nuevamente que la a larma siga ejerciendo la acción de bloqueo en la etapa de encendido del-automóvil.

- Prueba Seis: Desactivación y No Bloqueo.- Realizar esta prueba, - permite comprobar que la alarma realmente se desactiva cuando así le es-ordenado por la llave externa de control y que al mismo tiempo, pone fue ra de funcionamiento a la acción de bloqueo.

- Prueba Siete: Disparo Negativo y Tiempo Largo Mínimo (60 seg.). En esta secuencia de prueba, se pretende verificar que la alarma respon-da correctamente a la señal de activación con el disparo negativo (ca--juela). Por otro lado, se comprueba el tiempo largo mínimo de operación que la alarma debe poseer, funcionando con todas las alertas y acción - de bloqueo correctamente.

- Prueba Ocho: Tiempo Largo Máximo (90 seg) y Bloqueo.- En esta - prueba se verifica que la alarma permanezca activada hasta un máximo de- 90 segundos, cumpliendo durante todo el tiempo anterior con todas sus -- funciones y que al mismo tiempo, al dejar de operar antes del tiempo an^o tado, persista la acción de bloqueo sobre la etapa de encendido.

- Prueba Nueve: Prueba Final de Aprobación.- Con la llegada a esta- prueba, se revisa si alguna alarma estuvo defectuosa en cualquiera de -- las pruebas anteriores. La alarma que no presentó defectos en ninguna -- prueba aparece con un número 9 en su cuadro indicador, y aquella que es- ta en estado de rechazo, conserva en el cuadro indicador el número co--- rrespondiente a la prueba en que fue hallada defectuosa.

Es de hacer notar el ordenamiento de la ejecución de la secuencia - de prueba, en el sentido de la prioridad que se le asigna al orden de a- plicación de cada proceso de verificación.

Lo anterior encuentra justificación en el hecho de que no hay por-- que perder tiempo de prueba en la verificación de un parámetro que re-- quiere que se cumpla otro anterior a él, y que si este no existe, no es-- útil verificar el que depende de él directa o indirectamente. Esto es, - si alguna alarma es rechazada en la prueba dos o tres, no tiene caso ap-- plicarle la prueba cuatro, puesto que una alarma sin oscilación, no tie-- ne ciclo de trabajo ni frecuencia y, a su vez, una alarma con un defecto en uno de los dos parámetros anteriores, no tiene porque emplear tiempo-- útil en el sistema para verificaciones posteriores.

a.2 Uso de localidades de memoria RAM.

El objetivo de esta sección es el dar a conocer la utilización de - cada localidad de memoria RAM que se emplea en el transcurso del programa principal. En la explicación de cada prueba así como en los diagramas de flujo se mencionan nuevamente a estas localidades.

LOCALIDADES DE MEMORIA RAM, (010H a 051H); USO Y VALORES DE INICIALIZACION.

LOCALIDAD	USO Y FUNCION
011H	Almacena acumulador en subrutina de retraso de tiempo de 15 mseg y sirve para guardar el registro índice (X) en el transcurso del programa principal.
012H	Almacena valor de registro índice en subrutina de re-- retraso de tiempo de 15 mseg. No tiene valor de iniciali-- zación.
013H	Almacena una cantidad constante que se le añade al acu-- mulador durante la subrutina de contador auxiliar llama-- dada SUBCOAX. Se carga con un valor de 10H inicialmen-- te.
014H	Almacena el valor del acumulador en subrutina SUBCOAX. No tiene valor de inicialización.
015H	Contiene el valor de comparación contra el cual se ve-- rifica si las 10 pruebas ya han terminado. Se le ini-- cializa con un valor de F0H.

- 016H Contiene el valor de las direcciones que manejan a los relevadores individuales de tierra. Se carga con un valor inicial de 80H.
- 017H Contiene el valor de dirección que permite acceder las entradas analógicas al microcomputador. Se carga inicialmente con un valor de 00H.
- 018H Contiene el valor que habilita la salida de información a cuadros indicadores. Se le asigna un valor de C0H inicialmente.
- 01AH Localidad usada como contador para verificar oscilaciones en pruebas dos, tres y seis. Se ordena su borrado en cada lazo de verificación. No contiene valor de inicio, por lo que se le manda una señal de borrado a cero inicialmente.
- 01BH Localidad que contiene la cuenta a incrementar en la subrutina de servicio de interrupción por temporizador. Se le envía una señal de puesta a ceros inicialmente.
- 01CH Contiene el valor de la cuenta de ciclo de trabajo (1a cuenta). Se le escriben ceros inicialmente.
- 01DH Contiene el valor de la cuenta de ciclo de trabajo (2a cuenta). Se le escriben ceros inicialmente.
- 01EH Localidad que indica la ruta que debe seguir la interrupción del temporizador. Se carga con un valor de 80H inicialmente.
- 20H a 2FH 16 localidades que contienen las banderas de anuncio de defectos en las pruebas correspondientes. Se ordena inicialmente que todas las 16 localidades contengan ceros.
- 30H a 3FH Localidades que contienen las banderas auxiliares de anuncio para emplearse en las pruebas siete y ocho. No tienen valor de inicialización; se les escriben ceros.
- 040H Localidad con aplicación en las pruebas cuatro y cinco. Se le escriben ceros al inicio.
- 041H Contiene el valor de la dirección que accesa la entrada al microcomputador del multiplexor digital 1. Se le escribe un 40H al inicio del programa.
- 042H Contiene el valor de la dirección que accesa la entrada

- al microcomputador del multiplexor digital 2. Se le escribe un valor de 50H al inicio del programa.
- 043H Contiene el valor de la dirección que accesa la entrada al microcomputador del multiplexor digital 3. Se le escribe un valor de 60H al inicio del programa.
- 044H Localidad que se utiliza para manejar la información en el movimiento de banderas de defecto. Se le asigna un valor de 20H al inicio.
- 045H Localidad que contiene el valor para manejar las banderas auxiliares en las pruebas siete y ocho. El valor de inicialización que es el asignado es un 30H.
- 047H Localidad empleada en la habilitación de relevadores para el servicio de los mismos en el programa principal. Se le escribe un A0H al inicio del programa.
- 048H Localidad que inhibe la salida de información a los cuadros indicadores. Contiene un valor de B0H inicialmente
- 050H Localidad que se utiliza como contador en las pruebas siete y ocho. Se le escriben ceros al inicio del programa.

A lo largo de la explicación de cada una de las pruebas se hace men ción de estas localidades de memoria RAM, por lo que se sugiere hacer referencia continua a esta sección.

a.3 Subrutinas de uso general.

A todo lo largo del desarrollo del programa principal se utilizan subrutinas que hacen más fácil el trabajo en cada uno de los programas en que son utilizadas. Hay que recordar que subrutina se hace necesaria cuando se presenta una tarea en un programa determinado que ha de repetirse en varias ocasiones a lo largo de la ejecución del mismo.

En esta sección, se describe el criterio de diseño de cada subrutina de uso general, aclarando de antemano que existen más subrutinas que son empleadas solamente en la aplicación de una prueba en específico y que se desglosan en la explicación de esa prueba.

Las subrutinas que se utilizan son:

- Subrutina de retraso de tiempo de 15 milisegundos (mseg.)
- Subrutina de retraso de tiempo de 700 mseg.
- Subrutina de retraso de tiempo de 750 mseg.
- Subrutina de retraso de tiempo de 1.5 segundos.
- Subrutina de revisión digital (prueba 3).
- Subrutina de servicio para interrupciones por temporizador.
- Subrutina de contador auxiliar.

De las anteriores son de uso general las siguientes:

- Subrutinas de retraso de tiempo de 15 y 750 mseg.
- Subrutina de retraso de tiempo de 1.5 segundos.
- Subrutina de contador auxiliar.

Estas cuatro subrutinas se describen a continuación.

- 1) Subrutinas de retraso de tiempo de 15 y 750 mseg., y 1.5 segundos.

Estas subrutinas son iguales entre sí, por lo que se explica el diseño y funcionamiento de una sola de ellas y posteriormente se anota la modificación que se hace en cada una para realizar los distintos retrasos.

Para comenzar, hay que expresar el tiempo de ciclo de instrucción - del microcomputador el cual se expresa y se obtiene por la siguiente fórmula:

$$\text{Tiempo de Ciclo de Instrucción (T C I)} = \frac{4}{F_{osc}}$$

donde " Fosc " es la frecuencia de oscilación del cristal, la cual para el sistema del microcomputador es de 2.097152 Mhz, lo que resulta en :

$$TCI = \frac{4}{2.097152 \text{ Mhz}}$$

$$TCI = 1.9 \text{ microsegundos (useg)}$$

Esta cantidad es útil en la explicación posterior al diagrama de flujo de la subrutina que se expone en el diagrama de flujo 5.1. Como se observa en este último, la construcción esencial de esta subrutina, radica en el principio de lazos de decremento "anidados" : hasta no terminar se una secuencia de decremento no se empieza otra y así sucesivamente, - hasta llegar al final de este proceso con la llegada a ceros del registro que contiene la duración esencial de duración de la subrutina, en este caso el registro índice (X).

Lo que se aprovecha en la realización de este tipo de subrutina, es el tiempo ocupado para cada instrucción dentro de un lazo de iteración - de decremento de registros cargados con valores tales que permiten efectuar los retrasos necesarios. Para entender mejor lo enunciado, es necesario listar el programa de la subrutina para después comprobar lo expuesto:

ETIQUETA	MNEMONICO	CICLOS
SUB750	: LDX #80	
B1	: BEQ Listo	
	: LDA #FF	
Otro	: BEQ ya	
	: DEC A	
	: BRA Otro	
ya	: DEC X	
	: BRA B1	
Listo	: RTS	

Para calcular el retraso y comprender mejor lo ilustrado en el diagrama de flujo 5.1 así como en el listado anterior, hay que referirse -- primero al lazo L1. Al cargar el acumulador con un valor de FFH y decrementar hasta cero en el lazo, se efectúan un total de:

$$256 \times 12 = 3072 \text{ ciclos de máquina ó TCI's}$$

Ahora bien en el lazo L2, para decrementar el registro índice y comprobar si ya alcanzó el valor de 00H se efectúan un total de:

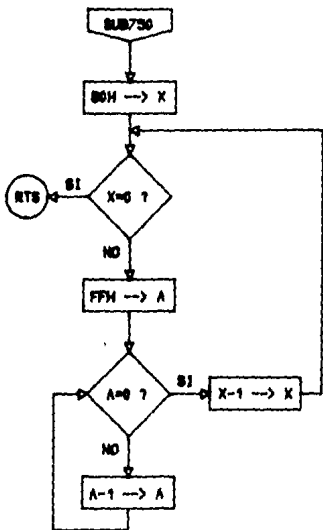


Diagrama de flujo 5.1. Flujo de información en la subrutina de retraso de tiempo de 750 milisegundos,- SUB750.

$12 + 2 = 14$ ciclos de máquina ó TCI's

lo que sumado a los otros 3072 TCI's anteriores, dá un total de:

3086 ciclos de máquina ó TCI's

Ahora bien los lazos L1 y L2 han de realizarse 128 veces (80 en sistema hexadecimal) antes de que el registro índice alcance el valor a ceros, por lo que hay que multiplicar ahora la cantidad 128 por los ciclos de máquina obtenidos en los lazos L1 y L2:

$128 \times 3086 = 395008$ ciclos de máquina ó TCI's

que sumados a los 2 ciclos de máquina de L3 reportan un total de:

395010 ciclos de máquina ó TCI's

Multiplicando este total por el tiempo de ciclo de instrucción:

395010×1.9 microsegundos = 750.5 mseg.

Lo que demuestra que la subrutina cumple con el objetivo que le es asignado, retardando al microcomputador por el tiempo anotado.

Ahora bien. las subrutinas de 15 mseg y 1.5 seg son iguales a la anterior con la diferencia de que se modifica el valor inicial de carga del registro índice. Para lograr los 15 mseg, se modifica el valor de 80H a 03H, lo que reporta:

$3 \times 3086 + 2 = 9260$ ciclos de máquina

lo que reporta:

9260×1.9 microsegundos = 17.6 mseg.

que es un valor muy cercano a 15 mseg y que es preferible que sea superior. Para obtener 1.5 segundos, la carga del registro índice se realiza con un valor de FFH inicialmente.

Las subrutinas se mencionan nuevamente en cada prueba que son apli-

—cadas. Las subrutinas son identificadas en los diagramas de flujo como sigue:

subrutina de retraso de tiempo de 15 mseg	SUB15
subrutina de retraso de tiempo de 750 mseg	SUB750
subrutina de retraso de tiempo de 1.5 seg	SUB1.58

2) Subrutina de contador auxiliar.

Como se puntualiza en la explicación de la interfaz de despliegue de información a cuadros indicadores, las direcciones que deben presentarse en el puerto A para realizar el reporte de las diez pruebas son:

00H a F0H prueba cero
01H a F1H prueba uno
02H a F2H prueba dos
.
.
.
.
08H a F8H prueba ocho
09H a F9H prueba final de aprobación

La importancia en estas direcciones, es notar que la parte baja del byte de información posee el número de prueba y la parte alta porta al número correspondiente de cuadro indicador. Debe apreciarse también, que para reportar la información de cada prueba a los dieciséis cuadros indicadores en forma progresiva, es necesario ir añadiendo el número 10H a la dirección que sale por el puerto A, lo que equivale a decir, que se incrementa solamente la parte alta del byte, que especifica precisamente el cuadro indicador de la alarma n en la prueba que se esté llevando a cabo.

Para efectuar el despliegue de información a los cuadros indicadores, se utiliza un contador auxiliar que proporciona las direcciones en forma progresiva para el reporte de los resultados de las diez pruebas que se realizan en las dieciséis alarmas.

El contador auxiliar es manejado por la subrutina que se explica a-

--continuación, cuya función es precisamente incrementar solamente la-- parte alta del byte de dirección, para modificar progresivamente el reporte a los cuadros indicadores. El registro que es usado como contador auxiliar es el registro índice (X) cuyo valor se altera en esta subrutina en orden progresivo, de 0XII a FXII siendo X un valor de 0 a 9 según el número de prueba. El registro índice como contador auxiliar, se actualiza al principio de cada prueba, para después ser incrementado por acción de la subrutina que se explica. La subrutina es representada por el diagrama de flujo 5.2. En el se aprecia que la operación que se lleva cabo es un traslado momentáneo del valor que contiene el registro índice al acumulador, para que en esta localidad se le agregue el valor 10H y sea transferido de vuelta al registro índice. Ya con la correspondiente dirección modificadase reporta ahora al cuadro indicador que corresponda a la alarma en prueba. El valor del acumulador es guardado en una localidad de memoria RAM para evitar confundir la información al regreso de la subrutina.

Las subrutinas que se han descrito, son de uso general como se ha especificado y demuestran su utilidad a todo lo largo de la secuencia de prueba.

a.4 Consideraciones generales en la secuencia de prueba.

En esta sección se apuntan y se hace énfasis en condiciones que tienen lugar en la secuencia de prueba, tomándose en cuenta desde el punto de vista de que son características generales de programación y de operación que están también contenidas en el sistema de prueba por entero.

Las consideraciones son las siguientes:

1.- El relevador de alimentación común a todas las alarmas, permanece activado a todo lo largo de la ejecución de la secuencia de prueba, esto es, a partir de que se ha ordenado al sistema que realice la prueba de las 16 alarmas hasta que la misma haya terminado. La desactivación del relevador dentro del programa, solo ocurre si se encuentra una alarma con defecto en prueba cero; esto para evitar daños al sistema.

2.- Al hacer referencia a la secuencia de prueba o programa principal, se pretende dar un significado al lustado general en conjunto de

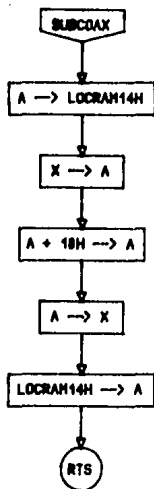
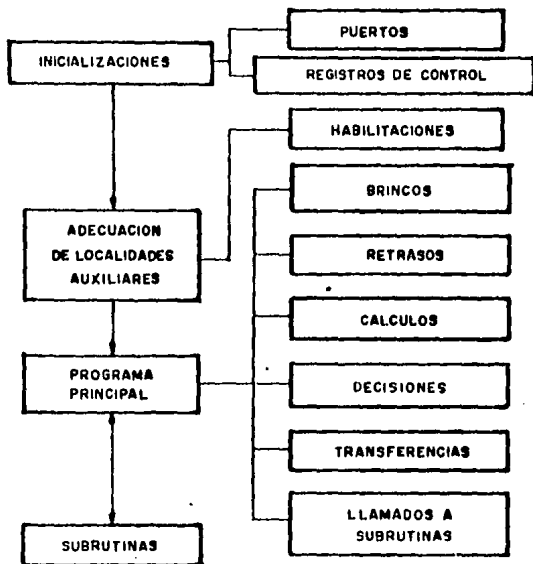


Diagrama de flujo 5.2. Diagrama de flujo de la subrutina de contador auxiliar.

—los 10 programas que lo conforman, no incluyendo inicializaciones, acondicionamiento de registros y localidades auxiliares etc.. Se puede especificar la estructura general de un programa en ensamblador a partir del esquema mostrado en la figura 5.1.



3.- Antes de ejecutar el programa principal, se ordena en el mismo una desactivación general de todas las alarmas a ser probadas, llevándose a cabo dicha tarea, mediante la habilitación momentánea del relevador común de llave externa, que como ya se especifica en párrafos anteriores pone fuera de servicio a las alarmas simultáneamente.

4.- El número de prueba que aparece en el cuadro indicador, es el correspondiente a la prueba que le fue aplicada a la alarma. Si una alarma es rechazada por encontrarse defectuosa en un parámetro "x", esta mantiene en su cuadro indicador el número de la prueba en el que se halló su defecto.

5.- La identificación y aviso de que una alarma ha sido encontrada

—defectuosa en alguna prueba, se realiza mediante el encendido de una bandera en cada una de las dieciseis localidades correspondientes a cada alarma. Así si alguna alarma tiene un defecto en determinada prueba, se procede de inmediato por programación a encender su bandera de aviso para que no le sean aplicadas las pruebas subsecuentes. Análogamente, antes de realizar una prueba a la alarma en turno, se revisa previamente si en su localidad correspondiente se halla encendida la bandera de anuncio de defecto, para que, ya sea que se le aplique la prueba que se vaya a ejecutar o que el programa realice un salto a incrementar localidades para llevar a cabo la misma tarea de revisión de banderas para la siguiente alarma en turno. Cabe hacer mención que las banderas de aviso tienen lugar a partir de la prueba uno, ya que en la prueba cero el sistema no procede con la secuencia de prueba hasta haber verificado que todas las alarmas en la prueba cero han sido aprobadas, misma verificación que no tiene tareas de anotar avisos de defectos al microcomputador.

6.- Siempre que se ordena algún movimiento en algún relevador, se incluye en el programa a continuación de esta tarea, un retraso de tiempo de 15 μ seg, mismo que es realizado por la subrutina ya explicada denominada SUB15. Lo anterior se considera por los tiempos de "rebote" y desacomodo en los contactos del relevador, para hacer seguro que el mismo está haciendo un contacto adecuado con el polo que le corresponde, según haya sido la orden de activación o de desactivación.

7.- Cada uno de los diez programas que se describen a partir del inciso b, representan los procesos de prueba que se aplican en cada alarma los cuales se realizan cada uno dieciseis veces (una vez por alarma) - para reportar el resultado en cada dispositivo, aclarando con esto que la misma prueba se aplica en todos los dispositivos y que no se continúa con la siguiente hasta completar el ciclo en las dieciseis alarmas; de aquí la similitud con lo que se podría llamar subrutinas de prueba.

8.- Al hacer referencia a localidades auxiliares se deben tomar en cuenta a las localidades de memoria RAM que participan en cada prueba en específico. Así, en los diagramas de flujo los rectángulos que aparezcan con la denominación " actualiza localidades auxiliares ", se deben entender como el incremento o decremento de espacios de memoria útiles en el manejo de información para las pruebas de ejecución.

9.- El final de cada prueba se verifica con la revisión continua -- del valor del contador auxiliar, según aparezca el número FXH, siendo X- el número de prueba.

Las consideraciones citadas han sido necesarias para evitar cualquier confusión en el desglose de la explicación de cada una de las pruebas que se aplican a cada una de las dieciseis alarmas que contiene el sistema automático de prueba, y que son descritas en el inciso siguiente detalladamente.

b) PRUEBA CERO.

Para efectuar esta prueba, se activa el relevador individual correspondiente a la alarma que se revisa únicamente, se da acceso al voltaje registrado en el circuito de interfaz de la terminal 6 por el puerto analógico PANØ a través del multiplexor analógico 1 y se espera a que se realice la conversión analógico a digital por medio de una instrucción de prueba de bits específicos aguardando el estado lógico alto del bit más significativo del RCA, el cual indica que la conversión ha sido completada. Una vez terminada la conversión se toma el resultado del RRA y se compara contra el rango máximo permitido. Si el rango es respetado y no es excedido por el valor adquirido, se desactiva el relevador individual de tierra de la alarma probada, se reporta al cuadro indicador un número cero y se actualizan localidades auxiliares para proceder con la siguiente alarma en el orden de prueba.

Si en el caso opuesto al descrito, la alarma presenta un exceso en el consumo de corriente, el relevador común de batería se desactiva al igual que el individual de la alarma que se haya probado, se hace sonar la alarma audible, el foco indicador de "corre prueba" se apaga y se reporta una letra "c" al cuadro indicador. Después de lo anterior se ordena un regreso a inicializar todo el microcomputador, para proceder ahora con la prueba de la alarma que se haya substituido en el lugar de la que fue rechazada. El diagrama de flujo de la prueba en estudio se ilustra en el diagrama de flujo 5.3. En lo que respecta a la utilización de instrucciones, para la activación y desactivación de la alarma audible y --

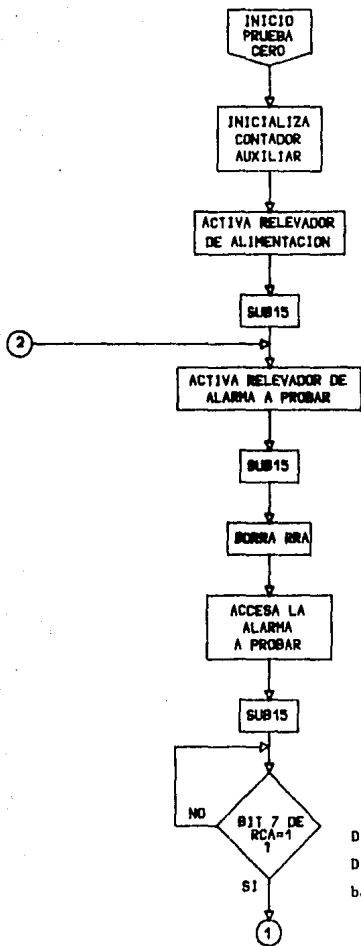
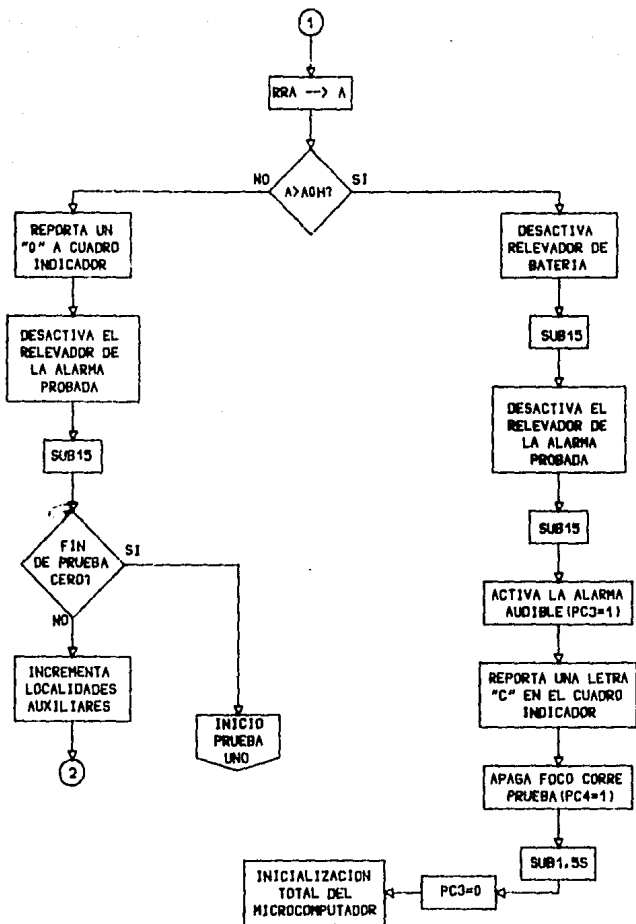


Diagrama de flujo 5.3.
Diagrama de flujo de la prueba cero.



—el apagado del foco "corre prueba", se emplean instrucciones de manipulación de bits específicos en los registros del puerto C de salida, aplicado de esta manera para realizar estas funciones. Un formato modelo de este tipo de instrucciones se proporciona en la sección b.2.1 del inciso b del capítulo IV. Se recomienda asimismo consultar el manejo de la alarma audible y del foco "corre prueba" en el inciso h del capítulo III. Las instrucciones de salto condicional (branch), son también empleadas en gran número en el programa de la prueba cero.

c) PRUEBA UNO.

Para llevar a cabo esta verificación, se accesa el valor del voltaje sensed en el circuito de interfaz de la terminal 4 a través del multiplexor analógico 2 hacia el puerto analógico PAM1, y en similitud con la prueba anterior, se espera que termine la conversión analógico a digital con el anuncio del estado alto del bit más significativo del RCA. — Con lo anterior finalizado, se recoge el resultado de la conversión del-ERA, el cual es comparado contra el mínimo de voltaje interno regulado - aceptado; si el valor es admisible, se accesa ahora por el multiplexor digital 3 la entrada correspondiente a la alarma que se está probando para verificar que no está ejerciendo la acción de bloqueo. Si la alarma - presenta un valor de voltaje interno regulado aceptable y no presenta la función de bloqueo, se reporta en su cuadro indicador un número uno "1" - y se actualizan los valores de las localidades auxiliares para seguir - con la siguiente alarma en turno a revisar.

Estudiando la otra posibilidad, si la alarma presenta su valor de - voltaje fuera de lo permitido, se reporta un número uno "1" en su cuadro indicador y se enciende su bandera de defecto en la localidad que le co- rresponda para ya no ser tomada en cuenta en las pruebas posteriores. De la misma manera, si la alarma es aceptada en su valor de voltaje interno regulado, pero esta realizando la acción de bloqueo fuera de tiempo, se - ordena la misma secuencia para reportarla como defectuosa. Después de lo anterior se actualizan también localidades auxiliares y se procede a la - revisión de la siguiente alarma. El diagrama de flujo de la prueba se - ilustra en el diagrama de flujo 5.4.

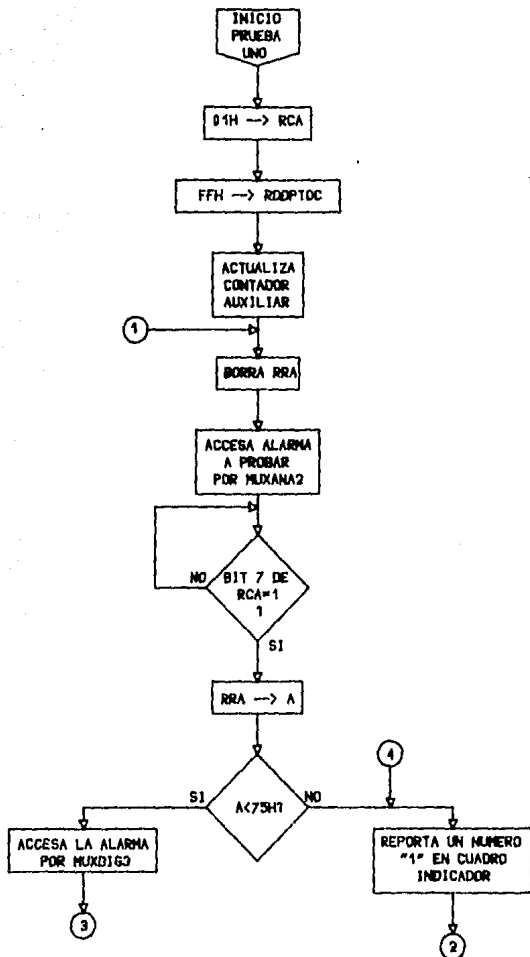
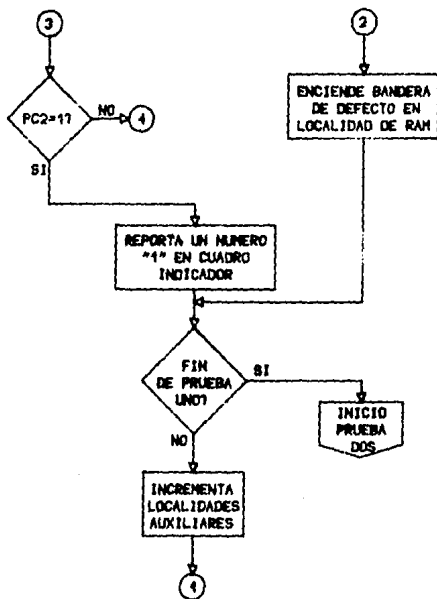


Diagrama de flujo 5.4. Diagrama de flujo de la prueba uno.



Hay que notar que en esta prueba se ha dado prioridad en el programa a la verificación del parámetro de voltaje, el cual es sumamente importante en la operación de la alarma, que en caso de no estar aceptado se reporta el defecto al cuadro indicador y a la localidad de bandera de defecto para no emplear tiempo de prueba de más. En esta prueba uno, se utilizan instrucciones de prueba de bits específicos para verificar el bloqueo de la alarma y esperar la finalización de la conversión analógico a digital. Asimismo las instrucciones de salto condicional encuentran nuevamente una útil aplicación como lo demuestra el formato siguiente para revisar el rango mínimo de voltaje:

ETIQUETA	DIRECCION	CODOP	MNEMONICO	COMENTARIOS
PBAVOL	: 6340	22	BLO alde2	; ¿es aceptable el rango -
	6341	34		de voltaje?

d) PRUEBA DOS.

Para explicar el criterio de diseño que se toma en el programa para verificar la oscilación por la terminal 2 de la alarma, es necesario recordar los valores máximo y mínimo de frecuencia permitidos, los cuales son de:

1.15 hz Frecuencia Máxima
 0.75 hz Frecuencia Mínima

lo que corresponde a periodos equivalentes de:

0.866 seg. para Frecuencia Máxima
 1.336 seg. para Frecuencia Mínima

Ahora bien, tomando en cuenta que se desea un ciclo de trabajo del 50%, los tiempos de duración de cada semiciclo son:

0.433 seg. para Frecuencia Máxima
 0.668 seg. para Frecuencia Mínima

Por otro lado, se debe recordar que para la verificación de esta prueba se utiliza el circuito de interfaz acoplado a la terminal 2 de la

cuya salida es introducida al multiplexor digital 2 que a su vez envía - las señales hacia la entrada PCI del puerto digital C.

El objetivo primordial de esta prueba es entonces, revisar la oscilación efectiva de una señal TTL por el puerto digital PCI.

Enfocando el problema principal de esta verificación, se advierte - que lo que tiene que ser detectado en el puerto digital para percibir -- una oscilación, es el cambio de estado de la señal TTL de un "uno lógico" o estado alto a un "cero lógico" o estado bajo, o viceversa, lo cual es suficiente para determinar que la terminal 2 de Luces esta efectivamente en oscilación.

Participa en esta prueba, la subrutina SUB750, que es sumamente --- útil en mediciones de tiempo.

La idea básica de operación del programa es la siguiente:

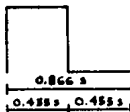
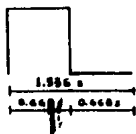
1.- Activar momentáneamente el relevador común de disparo positivo- para hacer entrar en operación a las 16 alarmas simultáneamente.

2.- Multiplexar la entrada de información digital correspondiente a la alarma a probar por el multiplexor digital 2.

3.- Si se detecta un estado alto en el puerto PCI, esperar a que su ceda la transición a estado bajo para confirmar la oscilación de la terminal con su voltaje y viceversa.

4.- La alarma se rechaza si habiendo esperado un determinado tiempo de retraso, el cambio de estado no se detecta.

Para explicar el uso que se le da a la subrutina de retraso de 750- useg., SUB750, es necesario referirse al diagrama de tiempos de señal pa ra las frecuencias máxima y mínima con sus correspondientes periodos y - ciclos de trabajo:



Ahora bien, es la idea básica de la prueba, captar el estado del puerto PCI, para después esperar el estado opuesto, lo cual se logra utilizando la subrutina SUB750. En el programa, al detectarse el estado del puerto PCI ya sea alto o bajo, se da paso a la subrutina de retraso --- SUB750, con lo que revisando nuevamente el estado existente en PCI, se espera ahora sensar el estado opuesto al obtenido previamente, confirmando así la oscilación de la terminal en sus valores de voltaje.

Concentrando la atención en lo explicado, se deja al descubierto -- que el cambio de estado esperado, se detecta en el primer ciclo de retraso de tiempo si y solo si el puerto capta el correspondiente estado en los intervalos de tiempo que se anotan en los siguientes diagramas para las frecuencias máxima y mínima (figura 5.2):

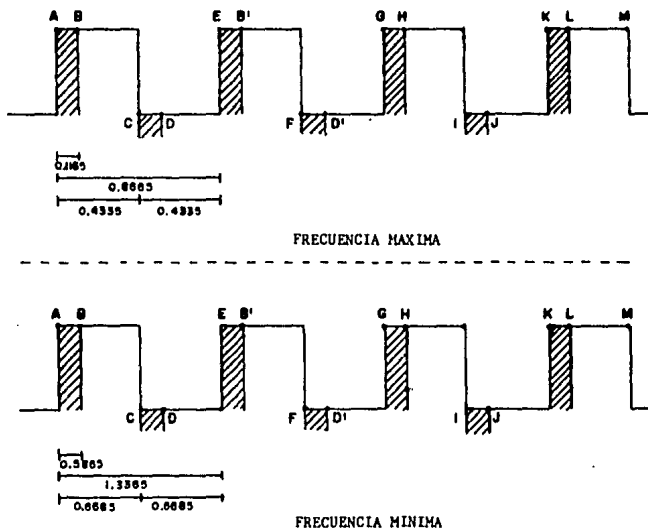


Figura 5.2. Señal cuadrada que entrega la terminal 2, que se ha seccionado para comprender la técnica de medición de la oscilación, explicada en el inciso d.

Desglosando la información que las gráficas proporcionan y a la vez la explicación previa a ellas, lo que se debe entender es que, si el puerto PCI sensa los estados de la señal oscilante entre los puntos A y B ó C y D de ambas ondas, el retraso de tiempo de la subrutina SUB750 ocasiona que al revisar nuevamente el estado del puerto, este detecte ahora el estado opuesto, pues la porción de la señal que se tiene ahora en PCI sera entre los espacios C y E en caso de haber detectado primeramente un estado alto o entre los espacios E y F en caso de haber detectado un estado bajo en la primera revisión de la señal.

Pero analizando el caso de que el primer nivel que detecte el puerto PCI quede comprendido para el estado alto entre los puntos B y C de ambas ondas o para el estado bajo entre los puntos D y E, se advierte -- que realizando el retraso de tiempo de la subrutina SUB750, el puerto -- PCI en su segunda averiguación de estado no detecta un cambio respecto del primer estado sensado, lo que ocasiona que se requiera de más de un ciclo de retraso de la subrutina mencionada para detectar el cambio de nivel lógico en caso de existir la oscilación. Profundizando aún más en la explicación de tiempos, hay que advertir además que el hecho de sensar por primera vez un estado igual al anterior en el puerto PCI, da lugar a un nuevo llamado a la subrutina SUB750, con lo que se espera detectar en la nueva averiguación del puerto el cambio de nivel esperado. Esto sucede si y solo si, después de averiguar el estado del puerto y sensar que es el mismo, el puerto PCI capta ahora los estados alto o bajo comprendidos entre los puntos E y F para el estado alto y entre los puntos F y G para el estado bajo en ambas ondas de frecuencia. Nuevamente si los estados alto o bajo que se captan en lo que se podría llamar la segunda revisión, caen entre los puntos G e I para el estado alto ó entre los puntos I y K para el estado bajo, se volverían a detectar los mismos estados alto o bajo y no se apreciaría el cambio de estado en la oscilación en caso de haberla.

Esta situación expuesta parece no tener un final, hacerse repetitiva indefinidamente, lo cual es equivocado.

Regresando al diagrama de la figura 5.2, debe notarse que el espacio comprendido entre los puntos A y B para el estado alto ó entre los

-- puntos C y D para el estado bajo, conforman intervalos en los cuales dando un retraso de tiempo de 750 mseg, se obtiene un cambio de estado en la siguiente revisión del puerto. Estos intervalos de tiempo tienen una duración de 0.116 seg después de que ocurre algún cambio de estado en la onda de frecuencia máxima y una duración de 0.586 seg para la frecuencia mínima también después de ocurrir un cambio de estado. Por lo tanto, haciendo un estudio de cuantos ciclos de retraso de 750 mseg se necesitan máximo para detectar un cambio de nivel y pensando en la peor situación lo cual recae en sensar continuamente el mismo estado existiendo la oscilación de la alarma en la terminal en revisión, se obtiene que dando una tolerancia máxima de seis ciclos de revisión, se detecta finalmente el cambio de nivel lógico, suficiente para emitir el juicio de que la alarma puede ser aprobada en este parámetro. Así, la razón de mostrar los intervalos de tiempo citados en el último párrafo con notación de líneas continuas de sombreado en ambas ondas de frecuencia, es para aclarar las cuentas de tiempo en los diagramas y demostrar con esto que la tolerancia asignada es adecuada.

En otro plano, al no existir oscilación por la terminal 2 de la alarma por algún defecto del circuito o porque la alarma no entro en operación con la señal de activación del disparo positivo, el estado alto o bajo persiste en el puerto PCI, lo que al término de la tolerancia asignada, provoca que la alarma sea rechazada, indicando esto con un número dos "2" en su cuadro indicador y levantando la bandera de defecto de la alarma en su localidad correspondiente para ya no ser tomada en cuenta en pruebas posteriores.

Si la alarma si presentó oscilación por la terminal en estudio, se reporta un número dos "2" a su cuadro indicador. El diagrama de flujo de la prueba descrita se ilustra en el diagrama de flujo 5.5.

La prueba explicada en este inciso es de gran importancia para pruebas futuras según se enunció en la sección a.1 del inciso a, que trata sobre la prioridad de verificación de parámetros.

Es de hacerse notar también, la aplicación que se le da en esta prueba a las instrucciones de manipulación de bits específicos con salto

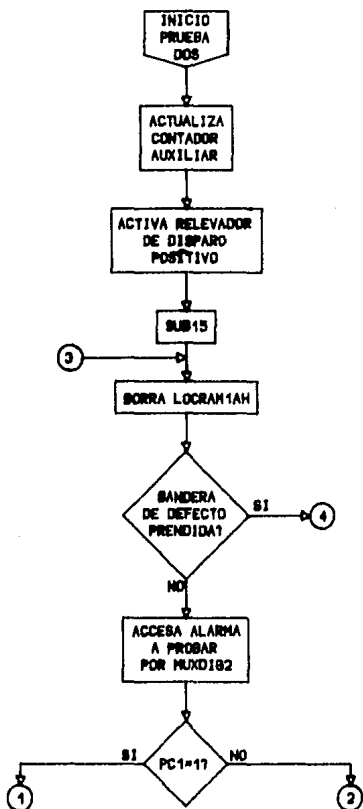
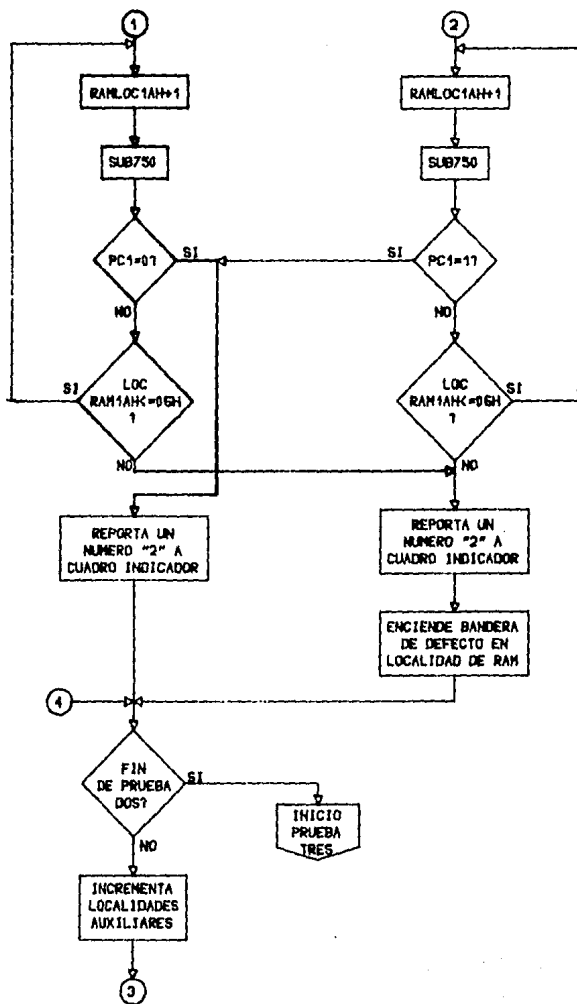


Diagrama de flujo 5.5. Diagrama de flujo de la prueba dos.



a otros puntos del programa para reportar una falla o esperar por la posible oscilación de la alarma por la terminal en estudio. El formato de la instrucción es por citarla como ejemplo:

ETIQUETA	DIRECCION	CODOP	MNEMONICO	COMENTARIOS
RD1	: 6A03	02	BRCLR1, DRC, RT1;	si hay un estado -
	6A04	02		bajo en PC1 ve a -
	6A05	29		revisar tolerancia de tiempo.

o bien,

RD2	: 6A20	03	BRSET1, DRC, RR ;	si hay estado alto
		02		en el puerto PC1 -
		1B		ve a reportar resultados.

La utilización de saltos condicionales encuentra amplia utilización en la verificación de los rangos de tolerancia asignados en la revisiones de nivel por PC1.

e) PRUEBA TRES.

En la sección a.1, se menciona que el objetivo de llevar a cabo esta prueba es el de verificar la oscilación por la terminal número tres de la alarma y revisar también que exista la acción de bloqueo sobre la etapa de encendido del automóvil.

Recordando los circuitos de interfaz acoplados a las terminales 3 y 5 de la alarma (capítulo III, inciso a), se aprecia que lo que se pretende obtener por los correspondientes multiplexores digitales 1 y 3, -- son, respectivamente, una oscilación de niveles TTL y un estado bajo, -- "cero lógico" esto en el caso de que la alarma muestre un funcionamiento aceptable.

Nuevamente como en la prueba dos, lo que se persigue detectar en el ahora puerto de entrada PC0 como constancia de la existencia de una oscilación, es la presencia en algún instante de un cambio de estado, de nivel alto a bajo o viceversa.

Asimismo, la acción de revisión del bloqueo se confirma con el estado de "cero lógico" en el puerto PC2.

Antes de comenzar con la explicación específica de la idea básica - en el diseño de la prueba correspondiente a este inciso, ha de describirse la subrutina de revisión digital que se listó en la sección a.3.

Primeramente ha de justificarse el hecho de incluir como subrutina a una fracción del programa principal que no se utiliza más que en una prueba en específico. La razón de incluirla es que constituye un proceso de verificación muy especial, pues debe ser totalmente confiable, ya que de lo exacto que sea esta verificación dependerán las pruebas cuatro, - siete y ocho que utilizan al multiplexor digital 1 para revisar parámetros sumamente importantes como se estudiará posteriormente. En la subrutina de revisión digital se persigue confirmar más que nada que existe una oscilación, lo cual se realiza por instrucciones de manipulación de bits en el puerto PC0 y en la localidad de memoria RAM 1A. En el caso de que una alarma no oscile por su terminal 3, se detecta un estado alto, - "uno lógico" constante por el puerto PC0 en el momento de acceder información por multiplexaje. Ahora bien, en el programa se tiene un bloque de decisión donde se pregunta al puerto PC0 el estado en que se encuentra; si el estado es alto, esto basta para tener un indicio de un posible defecto en la oscilación, con lo que el programa realiza un proceso de verificación que se describe posteriormente. Por el contrario, si el estado que se sensa es un "cero lógico", esto basta para dar lugar a la subrutina de revisión digital. En ella, se carga el estado del puerto C y se hace una operación " AND " lógica con la cantidad hexadecimal 0111, - lo que permite saber el estado que se tiene en el bit menos significativo del puerto C (PC0). A continuación se almacena el resultado de esta operación en la localidad de memoria RAM 1AH y se verifica ahora el estado del bit menos significativo de esta localidad. Esto conduce a dos diferentes modos de proceder de acuerdo con el estado que prevalezca:

- 1.- Si el bit menos significativo de la localidad 1AH esta en nivel alto, la alarma da la indicación de que esta en oscilación efectivamente y que dicha oscilación o cambio de estado, que es lo que se persigue detectar, tuvo lugar en el salto a la ejecución

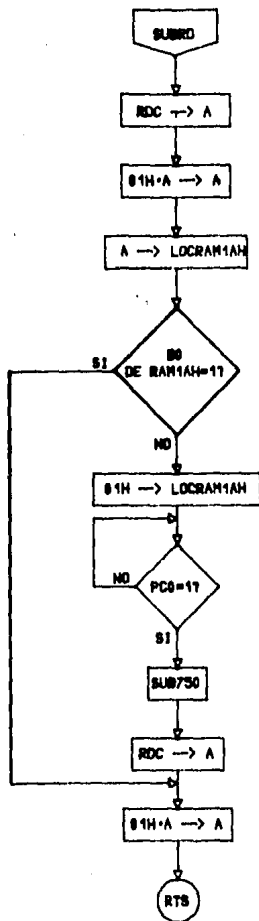


Diagrama de flujo 5.6. Flujo de información en la subrutina de revisión digital (SUBRD).

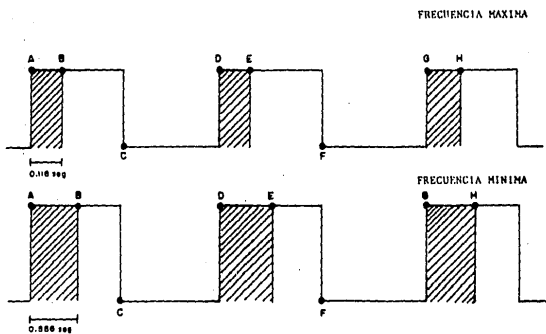


Figura 5.3. Intervalos de tiempo para la parte alta del seniciclo de las señales de oscilación (frecuencias máxima y mínima), en los cuales se verifican cambios de estado en el caso de haberse sentido un estado alto en la averiguación del puerto PC para la prueba tres.

-espacios comprendidos entre los puntos AB, DE, HG etc. representan zonas en las cuales, de haberse sentido el puerto durante su duración, se detectará un cambio de estado en la revisión posterior que se haga del puerto después de la subrutina de retraso de 750 mseg SUB750 correspondiente a ese ciclo de averiguación, asegurando con esto que el estado bajo se sentirá por PC $\bar{0}$ en los espacios comprendidos entre los puntos CD, FG etc..

Si por el contrario, el estado alto se detecta en los espacios entre los puntos BC, EF etc., esto obliga a una nueva revisión de estado del puerto, para poder si es posible detectar el cambio de estado para corroborar la oscilación o la ausencia de esta. Se aclara que la tolerancia que se otorga en esta revisión es de 6 ciclos al igual que en la prueba dos.

Pasando ahora a la segunda etapa de la prueba tres, una vez que la alarma ha sido aceptada en su etapa de oscilación, se procede a multiplexar la información que brinda la terminal 5 de la alarma correspondiente al bloqueo de la misma, utilizando para ello el multiplexor digital 3 y el puerto PC2 como entrada de información. Para realizar esta verificación basta con detectar un nivel bajo, "cero lógico", en PC2 lo que implica que la alarma está realizando correctamente la acción de bloqueo. Por el contrario si en PC2 en el momento de multiplexar se percibe un nivel alto, "uno lógico", esto es señal inequívoca de que la alarma no realiza adecuadamente la función de bloqueo.

Cualquier alarma que oscile aceptablemente por su terminal 3 y simultáneamente efectúe la acción de bloqueo, es reportada como aceptada en su cuadro indicador con un número 3.

Si alguna alarma no presenta oscilación por su terminal 3, o presenta oscilación por la terminal mencionada pero no efectúa la función de bloqueo es reportada en su cuadro indicador con un número "3" y se le asigna el encendido de una bandera de defecto para que no sea afectada por las pruebas siguientes. El diagrama de flujo de la prueba descrita se presenta en el diagrama de flujo 5.7.

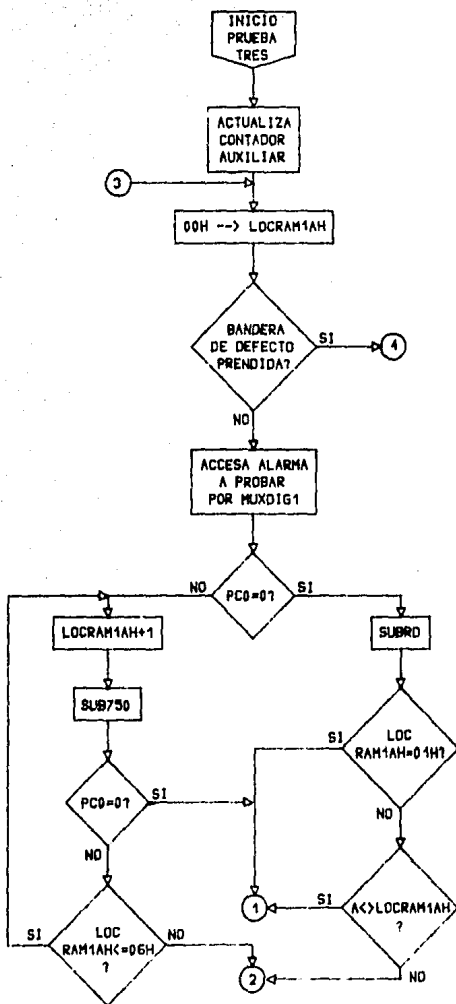
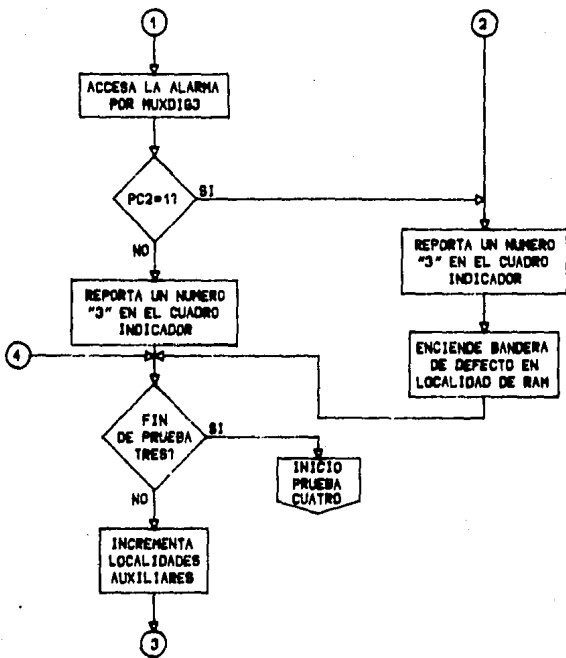


Diagrama de flujo 5.7. Diagrama de flujo de la prueba tres.



La verificación de esta prueba es sumamente importante, pues como se menciona al principio, la oscilación por esta terminal es útil para verificar parámetros en las pruebas cuatro, siete y ocho.

Por último, hay que hacer insistencia en la importancia que se le otorga a la revisión de la función de bloqueo, pues sin la existencia de esta característica tan importante en el momento de la operación de la alarma, esta pierde una de las propiedades de seguridad máxima que debe poseer. Nuevamente se recalca el uso de varias instrucciones especiales que hacen muy accesible la realización de esta prueba.

f) PRUEBA CUATRO.

En esta prueba se verifica la frecuencia que la alarma posee, teniendo que presentar un valor máximo de 1.15 hz y un mínimo de 0.75 hz. Para esta revisión se utilizan las interrupciones periódicas del temporizador, aprovechándolo así como contador de eventos para la medición de la frecuencia de la señal de oscilación que se lee para cada alarma por el multiplexor digital 1.

En la sección a.3 se anota la presencia en el programa principal de la subrutina de servicio del temporizador para las interrupciones periódicas del mismo, y es la encargada de realizar el conteo de eventos que en este caso son los tiempos que la alarma tiene como parámetros a revisar. Puesto que la subrutina de servicio es empleada en las pruebas cuatro, siete y ocho, es preciso describir su operación para los diferentes conteos de tiempo que se hacen y cabe aclarar también que las pruebas cuatro y cinco están íntimamente ligadas, ya que información que se obtiene en la prueba cuatro es simultáneamente usada para la verificación en la prueba cinco que es como ya se ha especificado, la revisión del ciclo de trabajo. Lo anterior se debe a que una alarma que tenga su valor de frecuencia dentro de los rangos admisibles, no necesariamente posee su ciclo de trabajo dentro de las especificaciones de operación.

Es prudente enfatizar también otro aspecto que es importante para las pruebas cuatro y cinco y que es el hecho de que ambas pruebas se realizan para cada una de las 16 alarmas en un mismo ciclo de prueba.

Lo anterior significa que la prueba cuatro es aplicada a una alarma y en caso de ser aceptada en esta prueba, en el mismo ciclo le es aplicada también la prueba cinco, utilizando información de la prueba previa. En el cuadro indicador de la alarma que esté aceptada aparece entonces - un número "5", lo que indica que estuvo correcta en prueba cuatro, y que si el número "5" se mantiene en el momento de reportar la prueba 6, esto es señal de que el defecto estuvo entonces en la prueba cinco.

Antes de dar paso a la explicación de la subrutina de servicio del temporizador, se enuncian a continuación cálculos y criterios que se tienen que tomar en cuenta en la medición de la frecuencia de la señal de oscilación y del ciclo de trabajo.

Primeramente, para la medición que ha de efectuarse en la prueba en cuestión, se programan las interrupciones del temporizador para que estas sucedan a 64 hz, lo que se obtiene de:

$$\text{Frecuencia de Entrada al Prescalador (FEP)} = \frac{\text{frec. cristal}}{4}$$

$$\text{FEP} = \frac{2.097152}{4}$$

$$\text{FEP} = 524.288 \text{ khz}$$

teniendo esta frecuencia denominada FEP, se elige un factor de división de frecuencia en el prescalador de 2^5 , o sea un 101B en los bits SP2, -- SP1, SP0 del RCT y del REOM lo que reporta:

$$\text{Frecuencia de Entrada al Contador (FEC)} = \frac{\text{FEP}}{32}$$

$$\text{FEC} = \frac{524.288 \text{ khz}}{32}$$

$$\text{FEC} = 16.384 \text{ khz}$$

esta frecuencia a su vez, se divide entre el número 256, que es el número de cuentas que el contador necesita para decrementarse desde FFH hasta 00H, lo que arroja como resultado:

$$\text{Frecuencia de Interrupciones Periódicas (FIP)} = \frac{\text{FEC}}{256}$$

$$FIP = \frac{16,384 \text{ khz}}{256}$$

256

$$FIP = 64 \text{ hz}$$

Teniendo ya este dato, es ahora necesario saber cuantas interrupciones del temporizador se necesita que ocurran a esta frecuencia para que el número que se obtenga represente los rangos admisibles de frecuencia de la alarma. Estos datos se obtiene a partir de los tiempos de duración de los semiciclos para cada una de las frecuencias permitidas, asumiendo como convención práctica que duran el mismo tiempo, presentando un ciclo de trabajo del $50\% \pm 3\%$. Recordando los valores de los semiciclos y de las frecuencias:

frecuencia mínima: 0.75 hz

frecuencia máxima: 1.15 hz

periodo: 1.336 seg

periodo: 0.866 seg

semiciclo: 0.668 seg

semiciclo: 0.433 seg

Para obtener los rangos permisibles de interrupciones, hay que enunciar el periodo de la frecuencia de 64 hz, que es precisamente el tiempo en el que se presenta una interrupción del temporizador; esto es:

$$f = 64 \text{ hz}$$

$$T = \frac{1}{64}$$

$$\frac{64 \text{ ciclos}}{\text{seg}}$$

$$T = 0.0156 \frac{\text{seg}}{\text{ciclo}}$$

Para conocer el número de ciclos o de veces que se debe presentar una interrupción de acuerdo a los diferentes valores de semiciclo, hay que dividir la duración de estos dos tiempos entre el tiempo de periodo de las interrupciones del temporizador, lo que reporta:

semiciclo de frecuencia mínima:

$$\frac{0.668 \text{ seg}}{0.0156 \text{ seg}} = 42 \text{ ciclos}$$

ciclo

semiciclo de frecuencia máxima:

$$\frac{0.433 \text{ seg}}{0.0156 \text{ seg}} = 27 \text{ ciclos}$$

ciclo

Entonces, la cantidad de veces que debe ocurrir una interrupción para el semiciclo de frecuencia máxima es 27 y para el de frecuencia mínima es 42. Con estos datos, hay que convertir ahora su valor a su equivalente en hexadecimal, lo cual es:

$$42D \text{ (decimal)} = 2AH \quad \text{y} \quad 27D \text{ (decimal)} = 1BH$$

Estas dos cantidades hexadecimales correspondientes cada una a las frecuencias máxima y mínima, son registradas en un contador que se incrementa en la subrutina de servicio cada vez que se presenta una interrupción. Este contador es una localidad de memoria RAM de la cual se obtiene la cantidad a comparar con los rangos máximo y mínimo para cada frecuencia.

Es necesario ahora, saber como se miden los tiempos largos para -- las pruebas siete y ocho, ya que su evaluación hace uso también de la -- subrutina de servicio del temporizador con algunos cambios en los factores de división de frecuencia que auxilian en la medición.

Para medir los tiempos largos (60 y 90 segundos y cualquier tiempo que se desee en este intervalo) se efectúan los siguientes cambios:

- las interrupciones del temporizador suceden a 16 hz, lo que implica:

$$FEP = 524.288 \text{ khz}$$

$$FEC = \frac{FEP}{128} = 4096 \text{ hz}$$

$$FIP = \frac{FEC}{256} = 16 \text{ hz}$$

$$T_{\text{interrupciones}} = 0.0625 \text{ seg}$$

- para ir contando de un segundo en un segundo se necesita que se lleven a cabo:

$$\frac{1 \text{ seg}}{0.0625 \frac{\text{seg}}{\text{ciclo}}} = 16 \text{ ciclos}$$

$$16 \text{ ciclos} = 16D = 10H$$

- en la subrutina de servicio de incrementa cada vez un contador y se detecta la aparición de la cuenta 10H partiendo de ceros, lo que implica que ya ha transcurrido un segundo.
- una vez transcurrido este lapso, se limpia el contador a ceros -- (00H) y se espera el transcurso de otro segundo, incrementando en esta ocasión un segundo contador que va detectando la cuenta -- de los segundos.
- este último contador registra las cuentas:

$$60D = 3CH \quad \text{y} \quad 90D = 5AH$$

que equivalen a las cuentas principales de tiempo largo correspondientes a las pruebas siete y ocho.

Habiendo explicado ya estos cálculos y cantidades que se utilizan en la subrutina y en los programas anotados, se enuncia ahora la operación en global de la subrutina de servicio del temporizador. En ella se incrementa un contador que es común a las pruebas cuatro, siete y ocho -- cada vez que sucede una interrupción del temporizador, y que encuentra una diferencia de uso al preguntar dentro de la subrutina misma en que pruebas se está utilizando la subrutina, sabiendo con esto el camino a seguir dentro de la ruta del programa de la subrutina. A menudo a este tipo de interrupciones y a su manejo se le denomina " Cadena en Margarita " (Daisy Chain), por la identificación que se hace de la prueba que requiere el uso de la subrutina y la forma de proceder dentro de la misma. El segundo contador que se utiliza en las pruebas de tiempo largo -- (siete y ocho), está contenido también en la subrutina de servicio y es determinante en dichas verificaciones, portando como ya se dijo, la cuenta de los segundos. Para finalizar se ilustra en el diagrama de flujo 5.8 el procedimiento de la subrutina en cuestión.

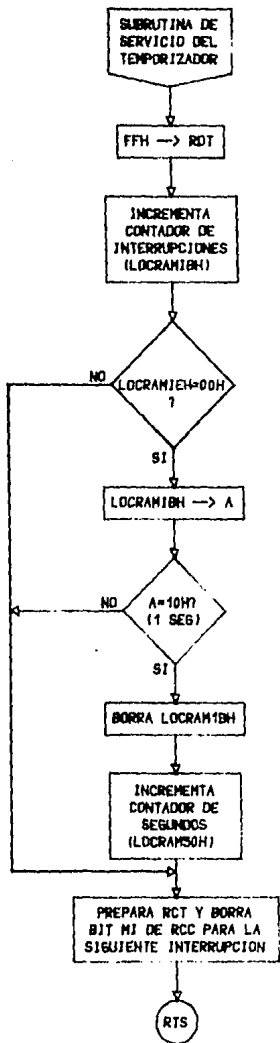


Diagrama de flujo 5.8.
Flujo de información
en la subrutina de
servicio del temporiza
dor.

Pasando ahora a la descripción de la ejecución de la prueba, ha de recordarse que se usa para ello el circuito de interfaz acoplado a la terminal 3, por lo óptimo de la señal TTL que se entrega al puerto PCØ. Para ejecutar la medición de la frecuencia se sigue el siguiente procedimiento:

- 1.- Se accesa la alarma aprobar por el puerto C y se carga el estado en una localidad de memoria RAM.
- 2.- Se pregunta el nivel del bit menos significativo en dicha localidad. Si el nivel es alto, "uno lógico", el estado prevaleciente en dicho bit corresponde a la parte alta del semiciclo y por lo tanto se espera la parte baja del mismo. Si de otra manera - el nivel detectado es bajo, se espera la parte alta del semiciclo para iniciar en ambas situaciones la cuenta.
- 3.- Al detectarse el cambio de estado, se da principio a las interrupciones del temporizador quitando el bit de máscara de interrupción del RCC (Registro de Códigos de Condición). Al regresar de cada interrupción, el programa permanece en un lazo que detecta el cambio de estado en PCØ, el cual al tener lugar, ordena que se ponga una máscara a las interrupciones por medio -- del bit de control, para así ya no incrementar la cuenta en la subrutina de servicio.
- 4.- Al presentarse el cambio de estado se verifica que el número de interrupciones que se llevaron a cabo, que es el valor a verificar dentro del rango hexadecimal descrito para ambas frecuencias y que esta contenido en este momento en el contador de la subrutina de servicio, estén dentro de los rangos admisibles descritos.
- 5.- Si el valor es aceptado, se guarda en una localidad de memoria-RAM (localidad ICH específicamente), que será utilizada en la prueba cinco posteriormente.
- 6.- Después de esta primera verificación, se revisa ahora la cuenta del segundo semiciclo de la señal TTL, procediéndose de igual -

manera en el programa principal y en la subrutina, habiendo limpiado ya antes el contador de la subrutina de servicio.

- 7.- El resultado del segundo conteo se guarda también en una localidad de memoria RAM (localidad IDH específicamente) para también ser utilizado en la prueba cinco posteriormente.
- 8.- Habiendo aceptado al dispositivo en los dos conteos, se reporta un número cuatro "4" en el cuadro indicador correspondiente, anunciando con esto que la alarma presenta un rango de frecuencia admisible. Al terminar la revisión, se pone una máscara al bit de control de interrupciones del RCC y se limpia el contador en la subrutina de servicio para preparar la cuenta de la siguiente alarma a probar.
- 9.- Si algún conteo resulta fuera de rango para cualquiera de los dos semiciclos, la alarma es reportada con un número "4" en su cuadro indicador y se enciende una bandera de defecto en su localidad correspondiente.
- 10.- La duración de cada semiciclo debe estar, en conclusión, en el rango:

$$2AH \gg \text{INTERRUPCIONES POR SEMICICLO} \gg 1BH$$

que corresponde a las cuentas hexadecimales que se recogen en el contador de la subrutina de servicio en la verificación de cada conteo.

Para ampliar la explicación de lo expuesto, se ilustra en el diagrama de flujo 5.9 el procedimiento de la prueba en estudio. En la explicación de la prueba cinco, se complementa más aún la utilidad de la forma que se ha verificado este importante parámetro. Como punto a destacar se apunta que en la revisión intermedia entre el primero y el segundo -- conteo de los semiciclos, no se pierde ningún tiempo significativo, pues esta revisión no tarda más que 75 microsegundos. Hay que mencionar también por último, que el control de esta prueba es llevado a cabo en su mayor parte con instrucciones de prueba y salto de bits individuales, -- participando también saltos condicionales para las operaciones con rangos.

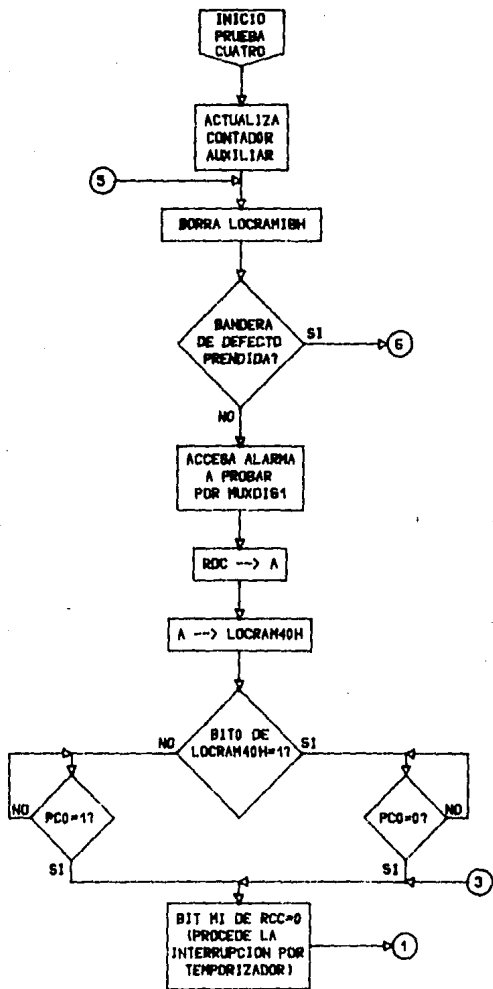
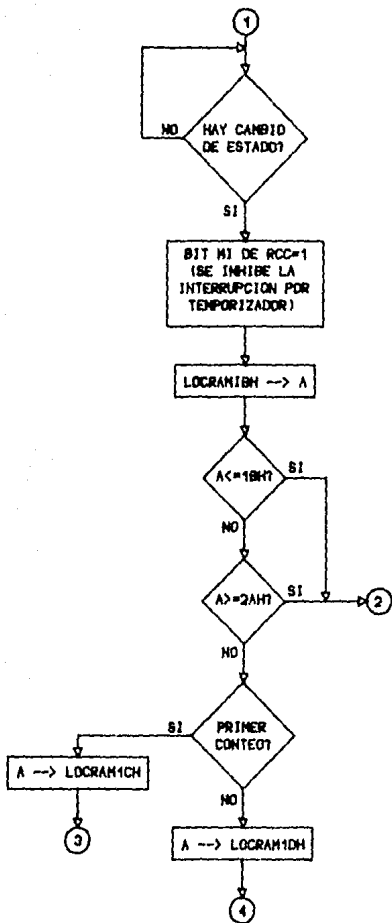
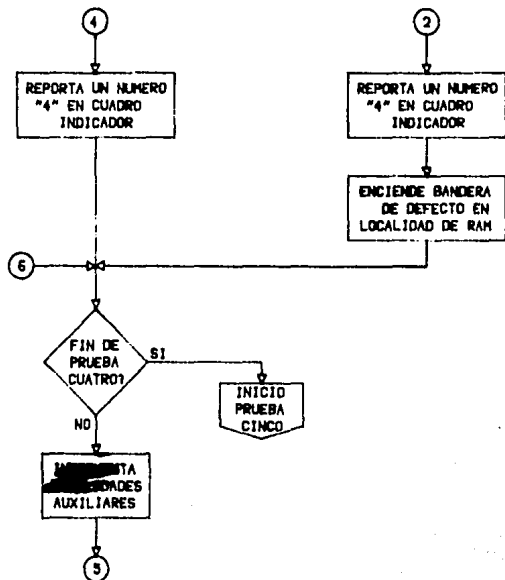


Diagrama de flujo 5.9. Diagrama de flujo de la prueba cuatro.





g) PRUEBA CINCO.

Como previamente se enuncio en la sección a.1 y en la prueba anterior, el objeto de esta prueba es verificar el ciclo de trabajo de cada alarma y la acción de bloqueo de la misma.

La medición del ciclo de trabajo se hace con las cuentas almacenadas en las localidades de memoria RAM ICH y IDH donde están contenidos los valores equivalentes de tiempo para cada semiciclo de la señal oscilante.

Para efectuar la revisión del ciclo de trabajo en su rango admisible, se carga el acumulador con la cuenta contenida en la localidad de memoria RAM ICH y se le resta el valor de la cuenta almacenada en IDH. El resultado de esta sustracción debe ser menor o igual a una constante que es $\varnothing H$, significando con esto que la alarma que cumpla con este parámetro tiene su ciclo de trabajo dentro de especificaciones y que por lo tanto es aceptada. En el caso de que la cuenta contenida en la primera localidad sea menor que el valor que le es sustraído de la segunda localidad, se hace en el programa un complemento a dos del resultado y se compara esta cantidad con el rango admisible.

Una alarma con su ciclo de trabajo dentro de rango, es verificada después en su función de bloqueo. La razón de lo anterior es revisar y comprobar que la alarma continua realizando la acción de bloqueo, estando en operación continua a través de todas las pruebas que se le han aplicado, simulando con esto una operación dentro de la unidad automotriz. El estado que se debe detectar en el puerto PC2 para confirmar la función de bloqueo es un "cero lógico" o nivel bajo en el momento de accesar la alarma cuya información es multiplexada con el multiplexor digital 3.

Pasando al plano de reporte de resultados, la alarma que esté aceptada en su ciclo de trabajo y en su función de bloqueo, le es reportado un número "5" a su cuadro indicador y en el programa se preparan las localidades auxiliares para realizar la prueba a la siguiente alarma de acuerdo a la explicación del inciso f.

Por otro lado, cualquier alarma que muestre un ciclo de trabajo -- fuera de rango o que no realice la función de bloqueo adecuadamente es rechazada, anunciando esto con el reporte de un número "5" en su cuadro-indicador y encendiendo una bandera en su localidad de aviso de defecto. Cabe aclarar que si una alarma es encontrada con su ciclo de trabajo fuera de rango de inmediato se reporta su defecto y ya no es revisada en lo que concierne a la acción de bloqueo. De la misma manera una alarma con su ciclo de trabajo correcto pero que no efectúa la acción de bloqueo correctamente, es también rechazada y se le reporta como defectuosa.

El diagrama de flujo de la prueba se ilustra en el diagrama de flujo 5.10.

Cabe enfatizar por último, que la información de la prueba cuatro es empleada en la prueba cinco, ahorrando espacio de programa y realizando la medición y verificación de estos parámetros en forma muy exacta.

h) PRUEBA SEIS.

Como ya se ha anotado previamente en el inciso a, la prueba a describir persigue verificar la correcta desactivación de la alarma, lo cual incluye que no haya oscilación de la misma y que la acción de bloqueo se interrumpa en la etapa de encendido del automóvil.

Para la realización de esta prueba se utiliza el multiplexor digital 2 y el multiplexor digital 3, con sus respectivos puertos de entrada al microcomputador y circuitos de interfaz.

En esta prueba se utiliza la subrutina de retraso de tiempo de 700 mseg, SUB700, que es aplicada en forma muy similar a la subrutina SUB750 que se emplea en las pruebas dos y tres.

Antes de comenzar a describir la operación y diseño de esta prueba es conveniente enunciar que el objetivo primordial de esta prueba es el comprobar que no exista oscilación por la terminal de Luces de la alarma (terminal 2). lo que hace evidente que la alarma esta desactivada, a reserva de revisar posteriormente la no operación de la función de bloqueo.

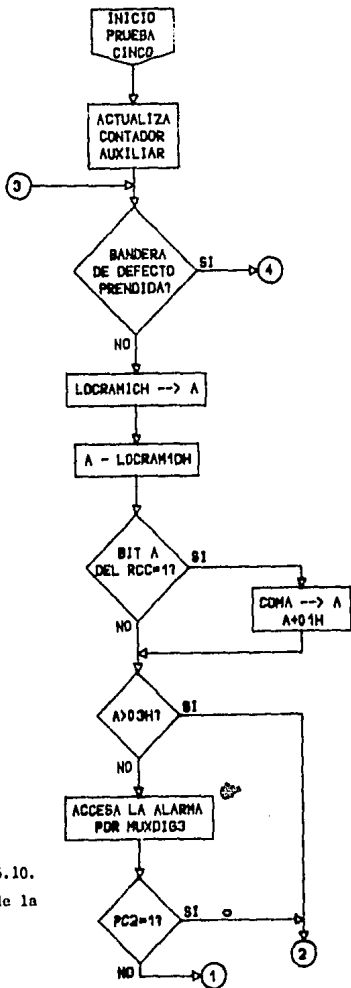
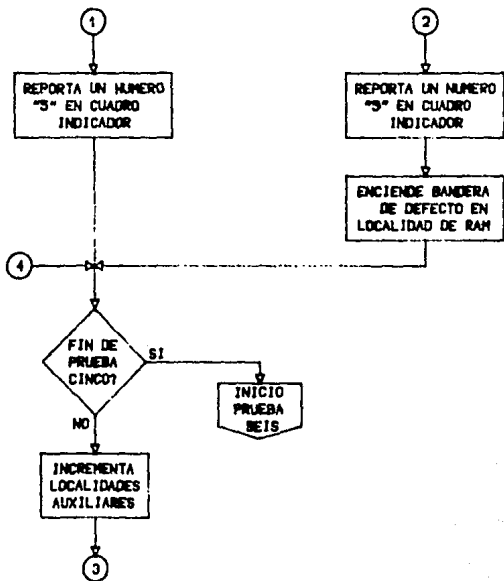


Diagrama de flujo 5.10.
Diagrama de flujo de la prueba cinco.



Cuando la terminal 2 de la alarma no esta en oscilación, esto se re fleja como un estado alto permanente en el puerto PCI que es precisamen- te el estado a confirmar en el momento de la revisión del puerto anotado. Por otro lado se puede dar el caso de que la alarma continúe oscilando, - con la consecuente aparición de la señal TTL por el puerto PCI.

La razón de apuntar lo anterior, es que en el momento de revisar el estado del puerto, si una alarma esta en oscilación y se detecta el ni- vel alto de la señal TTL, esto podría conducir a afirmar que la alarma - no esta oscilando, de acuerdo con la premisa expuesta en el penúltimo pá- rrafo, y en consecuencia, orillar a emitir una falsa apreciación en la - verificación de esta prueba y en el reporte de resultados.

Para evitar lo anterior, se procede de manera muy similar a las for mas de verificación utilizadas en las pruebas dos y tres, en las cuales, se detecta el estado del puerto, se ordena un retraso de tiempo y una - vez transcurrido el lapso, se verifica nuevamente el puerto para averi- guar si existe el estado contrario al previamente sentido, de donde, si- la alarma osciló, se reporta como aceptada y si, en caso opuesto, la o- scilación esperada no se ha presentado, se realiza el ciclo nuevam^{en}te, - revisando siempre la tolerancia que se dá en la ejecución de dichos ci- clos para en caso de ser excedida, la alarma se reporte como defectuosa. El proceso que se sigue en esta prueba es precisamente el opuesto al deg críto para las pruebas dos y tres pues en el proceder de la prueba en es- tudio, si se detecta un nivel alto, esto dá lugar a dudar si la alarma - esta efectivamente desactivada o es que el puerto ha captado el nivel al to de una señal TTL que persiste, mostrando con esto que la alarma puede estar todavía en operación.

Para tomar una decisión en el caso de sensar un nivel alto, se cap- ta el estado del puerto, se realiza la subrutina SUB700 y se verifica -- nuevamente el estado del puerto PCI, el cual si es alto, se ordena nueva mente la realización de SUB700 y se procede de igual forma en la averi- guación de PCI. Es la tolerancia para esta prueba en cantidad de 3 ciclos siendo menor que la asignada a las pruebas tres y dos. La razón de usar- un retraso de tiempo de 700 milisegundos para esta prueba, es, además de hacer menor el tiempo de verificación, dar un poco más de agilidad a la-

-secuencia de prueba, al esperar un posible estado bajo en el puerto PCI que en caso de haber oscilación, es captado en los tres ciclos de revisión que se otorgan para esta prueba.

Hay que anotar también, que si en uno de los ciclos se capta un estado bajo en PCI, esto significa que la alarma se halla activada y que por lo tanto se le reporta como defectuosa. Un diagrama de las áreas en que se debe sensar el estado alto en caso de la existencia de una oscilación, para sensar el cambio de nivel en el puerto se ilustran en la figura 5.4.

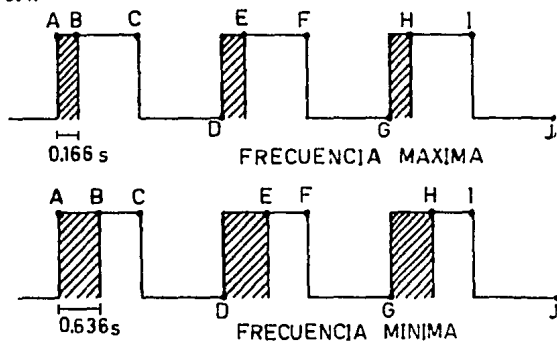


Figura 5.4. Áreas de las señales de oscilación en las cuales, en caso de existir operación, se detecta para el tiempo de revisión asignado.

En el caso de que la alarma siga activada, cualquier estado alto -- que se capte en los espacios comprendidos dentro de los puntos AB, DE y GH, conducen a la detección de un nivel bajo de la señal TTL en los espacios comprendidos entre los puntos CD, FG e IJ. En otro plano, si en los tres ciclos de revisión del puerto PCI, el estado alto no cambia, la alarma es reportada como aceptada.

La forma de proceder en el programa de la prueba en estudio es la siguiente:

- 1.- Se activa el relevador común de llave externa para desactivar a

a todas las alarmas simultáneamente interrumpiendo con esto su oscilación y su función de bloqueo.

- 2.- Se accesa la información de la alarma a revisar por el puerto - PCI empleando el multiplexor digital 2.
- 3.- Sensando el estado del puerto PCI por medio de una instrucción de prueba y salto de bits individuales, se registra si existe - un estado alto o bajo; en el caso de presentarse este último, - "cero lógico", de inmediato se reporta a la alarma como defectuosa siendo señal evidente de que la alarma sigue en oscilación. Por el contrario, si el estado que se detecta es un nivel alto, se da paso a los tres ciclos de revisión en PCI para confirmar, plenamente que la alarma no sigue activada.
- 4.- La alarma que pase la verificación anterior es accesada por el multiplexor digital 3, para verificar que su función de bloqueo haya cesado. Esto se comprueba sensando un nivel alto en el --- puerto PC2, lo cual indica que la alarma ha interrumpido la --- acción de bloqueo. Un nivel bajo en el puerto PC2, "cero lógico" es señal de que la alarma no interrumpió la acción de bloqueo y que por lo tanto será rechazada por esta anomalía.
- 5.- La alarma es aceptada cuando cumple con los requisitos de haberse desactivado totalmente y que ha interrumpido su función de - bloqueo, reportándose entonces un número "6" a su cuadro indicador.
- 6.- Cualquier alarma que no cumpla con alguno de los requisitos anteriores es reportada con un número "6" en su cuadro indicador y con el encendido de su bandera de defecto en su localidad correspondiente.

En el diagrama de flujo 5.11 se muestra el flujo de información para la prueba en estudio.

Para finalizar, hay que recalcar la importancia de esta prueba en la que se hace patente que la alarma se desactivará correctamente cuando

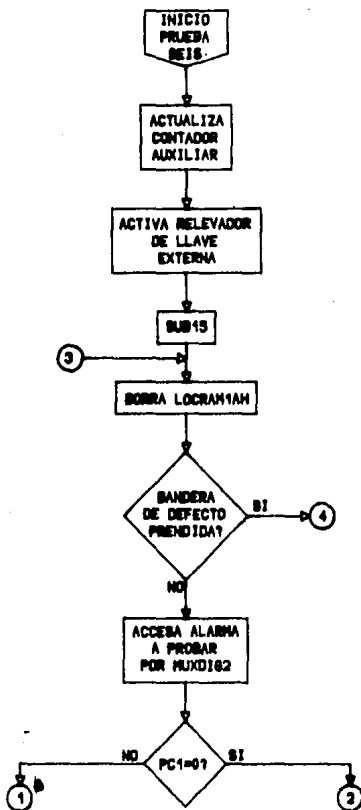
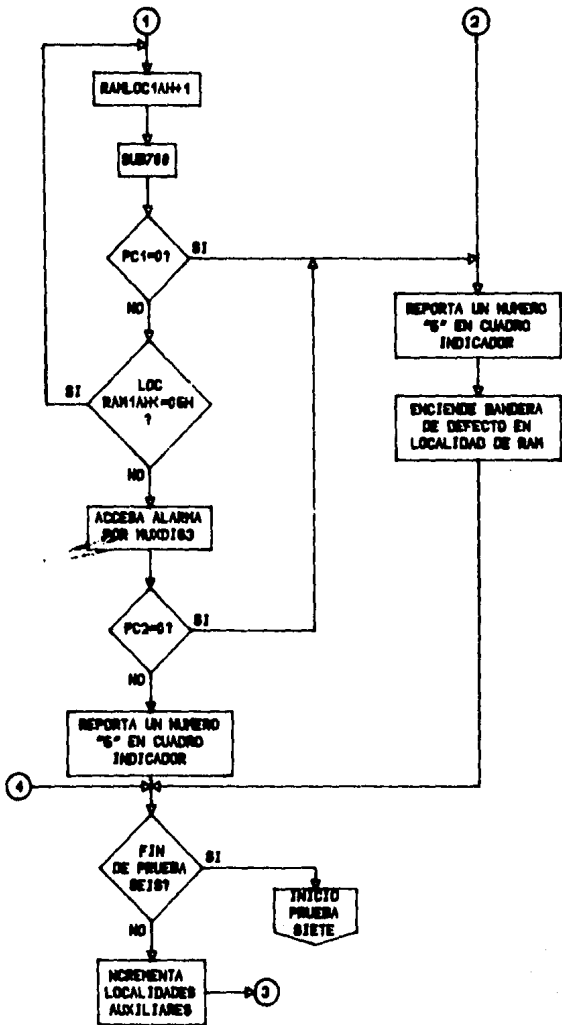


Diagrama de flujo 5.11. Diagrama de flujo de la prueba seis.



el usuario interrumpa su operación por haber entrado la alarma en alerta por olvido de puesta fuera de servicio por parte del usuario o que se -- presente el caso de un intento de robo. Nueva,ente se hace énfasis en la utilización de instrucciones de manipulación de bits individuales y de -- prueba y salto condicional para control de la entrada de información por el puerto PCI.

i) PRUEBA SIETE.

La idea básica del diseño de esta prueba es activar momentáneamente el relevador común de disparo negativo para hacer entrar en operación a las 16 alarmas y a continuación, iniciar la cuenta de los 60 segundos -- por medio de las interrupciones periódicas del temporizador. Una vez alcanzado este tiempo, se realiza una revisión de 2 segundos en todas las alarmas para confirmar que las 16 siguen en operación, utilizando para -- ello la detección de oscilación TTL de cada una de ellas por el multi--- plexor digital 1. El hecho de que las 16 alarmas sigan oscilando en el -- lapso de prueba, es suficiente para emitir un resultado aprobatorio para todas ellas. Si en este lapso de dos segundos alguna alarma no registra oscilación, esto significa que el dispositivo esta fuera de rango en su tiempo largo mínimo de operación, por no mostrar un funcionamiento satia factorio para este parámetro de tiempo.

Es interesante aclarar que el lapso de dos segundos es sumamente -- importante, pues se asume tomando en cuenta el menor tiempo que se debe emplear para revisar las 16 alarmas simultáneamente. Esto es, no se pueden utilizar tiempos largos de prueba, porque tal vez, al estar revisando la alarma 4 en su oscilación, la alarma 16 pudo haber dejado de fun-- cionar, lo que ocasionaría, al retrasar la revisión de esta última por -- mucho tiempo, que al verificarla se emitiera un juicio erróneo al considerarla fuera de rango, habiendo dejado de operar quizá a los 62 segundos de tiempo.

Para llevar a cabo esta prueba, al actualizar las localidades auxiliares, se modifica la localidad de memoria RAM que permite usar a la -- subrutina de servicio del temporizador para la cuenta larga de tiempo, lo

cual se cumple escribiendo un 00H en la localidad 1EH. En este ciclo de adecuación de localidades auxiliares se cambia también el factor de división de frecuencia del prescalador a su máxima capacidad, ordenando en este mismo ciclo de escritura un "uno lógico" al bit 3 CPS del RCT, que permite la correcta modificación del factor de división.

A continuación se desarrolla en orden progresivo, la explicación de diseño de esta prueba así como su proceso de funcionamiento actualmente en operación. En esta prueba hay que recordar el empleo de las localidades de memoria RAM de 30H a 3FH, una para cada alarma, que contienen banderas de anuncio a lo largo de esta prueba.

La secuencia es la siguiente:

- 1.- Se adecuan las localidades auxiliares en la forma anteriormente anotada.
- 2.- Se activa momentáneamente el relevador común de disparo negativo para hacer entrar en operación a las 16 alarmas al mismo tiempo.
- 3.- Se inicia la cuenta de los 60 segundos por medio de las interrupciones periódicas del temporizador. El programa principal permanece en un lazo de espera aguardando por el transcurrir de este período de tiempo, el cual debe detectar la cuenta 3CH equivalente a 60 segundos para entonces continuar con la prueba.
- 4.- Para comenzar se pregunta si la alarma a probar tiene su bandera de defecto prendida. Si es así, se enciende entonces una bandera de anuncio en la localidad auxiliar correspondiente para las pruebas siete y ocho (localidades 30H a 3FH), cargándola con un valor hexadecimal de 10H con el objeto de tener una referencia en un futuro en la secuencia de esta prueba para no emplear tiempo de prueba en balde. Ahora bien en la otra posibilidad, que la alarma no tenga su bandera de defecto encendida, se le accesa por el multiplexor digital 1 para detectar el estado en que se halla su posible señal de oscilación si es que todavía la alarma se halla en operación.

Si la alarma presenta un nivel alto en el puerto, se enciende una bandera en su localidad auxiliar correspondiente con un valor hexadecimal de 01H. Si a la inversa el nivel en el puerto es un nivel bajo no se escribe nada en la localidad auxiliar y el valor inicial de 00H se conserva.

5.- Con las 16 localidades auxiliares cargadas con todas las banderas de anuncio, se procede a verificar ahora que las alarmas continúen en operación. Cabe mencionar que la carga de todas estas localidades abarca un tiempo máximo de 6 mseg, no significativo en el conteo de los dos segundos de tolerancia.

La revisión de oscilación se lleva a cabo preguntando por el estado del bit menos significativo de la localidad auxiliar correspondiente a cada alarma (30H a 3FH). Si la bandera esta encendida, se accesa la alarma por el multiplexor digital 1 -- nuevamente y se pregunta si existe el estado opuesto en el -- puerto PC0, procediéndose con el mismo criterio en el caso de haber sentido un estado bajo en el puerto en la primera revisión. En el caso de presentarse el cambio de nivel, se pregunta primeramente por el tiempo que ha transcurrido, para averiguar si no se suscitó el cambio de estado fuera de la tolerancia de 2 segundos; si el cambio esta dentro del tiempo permitido, se reporta un número "7" al cuadro indicador de la alarma y se enciende ahora una bandera en su localidad auxiliar para indicar que la alarma ya está aceptada; el número hexadecimal que equivale al encendido de esta bandera es un 80H. Después de realizado lo anterior se adecuan las localidades auxiliares para probar la siguiente alarma.

Estudiando ahora el otro caso, en el cual no se presenta el -- cambio de nivel esperado, se procede a revisar la cuenta de -- tiempo de dos segundos para corroborar que la verificación de las oscilaciones sigue en la tolerancia asignada; si el tiempo es todavía aceptable, se actualizan las localidades auxiliares y se revisa la siguiente alarma en igual forma que el proceso descrito. La cantidad hexadecimal a detectar para los 62 segundos es 3EH.

Ahora bien, si al revisar los estados del puerto PCØ para detectar un cambio de nivel, se procede con cualquiera de las dos secuencias anteriores y el tiempo de tolerancia de revisión se ha excedido, el programa interrumpe de inmediato la revisión de -- oscilaciones para ir a la etapa de reporte de resultados que se describe a continuación.

6.- Al iniciar un ciclo de revisión para cada una de la 16 alarmas se averigua previamente si la bandera de aviso de alarma defectuosa esta encendida, lo cual equivale a revisar si existe la cantidad 1ØH en la localidad auxiliar de la alarma que se vaya a accesar. Si dicha bandera no existe, se pregunta ahora por la presencia de la bandera que anuncia que la alarma ya fué aceptada, lo que equivale a verificar que exista el número 8ØH en la localidad auxiliar. Si ninguna de las dos banderas está presente, la alarma es accesada por el multiplexor correspondiente para ser revisada conforme a lo descrito en el punto 5. Por otro lado con la presencia de cualquiera de las dos banderas, se ordena una revisión inmediata del rango de tiempo de los 2 segundos para ratificar que la prueba puede seguir adelante para las alarmas que no hayan informado de su operación satisfactoria.

7.- Al terminar la tolerancia de 2 segundos, se interrumpe la revisión de oscilaciones de las alarmas y se dá paso a la etapa de reporte final de resultados, lo cual consiste en verificar que en las localidades auxiliares correspondientes a cada alarma, exista el valor 8ØH, señal suficiente para no reportar a la alarma como defectuosa. La alarma que no tenga este valor en su localidad correspondiente es reportada como rechazada con un número "7" en su cuadro indicador e incluyendo el encendido de su bandera de defecto.

Con la etapa final de reporte de resultados se termina con la prueba siete, la cual se podría decir que consiste en un "barrido" continuo del puerto PCØ para obtener resultados de todas las alarmas respecto de su operación, trabajando siempre con las interrupciones periódicas del -- temporizador y con una coordinada labor de revisión y manejo de banderas

de anuncio. El diagrama de flujo de esta prueba se ilustra en el diagrama de flujo 5.12. Hay que recalcar la importancia de esta prueba, pues de ella depende una importante característica de operación del dispositivo.

j) PRUEBA OCHO.

Esta prueba es de gran importancia, pues en ella se verifica que la alarma interrumpa sus alertas visuales y auditivas a tiempo (antes de - 90 segundos), conservando al mismo tiempo la función de bloqueo para la etapa de encendido del automóvil que es la encargada en gran parte de evitar el robo total.

Para esta prueba se emplean el multiplexor digital 1 y el multiplexor digital 3 con los respectivos circuitos de interfaz de adecuación de señales acoplados a las terminales utilizadas.

La idea fundamental de esta prueba, es esperar a que transcurran los 90 segundos por efecto de las interrupciones periódicas del temporizador y realizar nuevamente un "barrido" continuo del puerto PC# para todas las alarmas en un tiempo de tolerancia de 2 segundos al igual que en la prueba anterior, para sensar en esta ocasión, si alguna de las 16 alarmas sigue funcionando. Si la alarma es aceptada en esta primera etapa, lo que significa que ha cesado su oscilación, se le revisa ahora si continua -- realizando su acción de bloqueo, de donde se toma una decisión según el estado registrado por PC2 que hace aceptable a la alarma o no en la prueba en descripción.

Antes de comenzar a desarrollar en pasos el funcionamiento del programa, es conveniente precisar su gran similitud con el proceso de verificación de la prueba siete, pues solo se diferencian en que ahora se busca a la alarma que continúe en oscilación. En esta prueba se toma en cuenta el estado en que recae la terminal número 3 de la alarma al cesar la oscilación, el cual es reflejado como un "uno lógico" en el puerto PC# permanentemente, que es precisamente el estado que se debe observar en la revisión continua del puerto para todas las alarmas que se hayan desactivado oportunamente y que por supuesto se hayan probado de acuerdo al protocolo de banderas de aviso en localidades auxiliares.

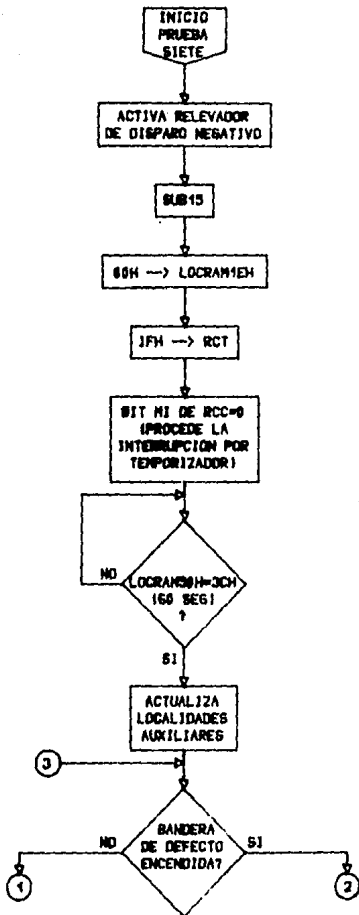
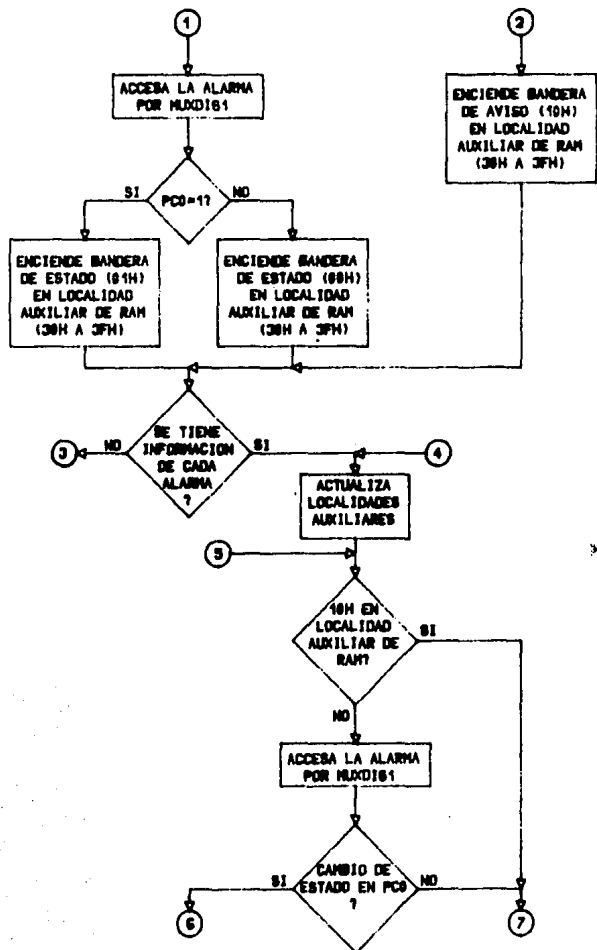
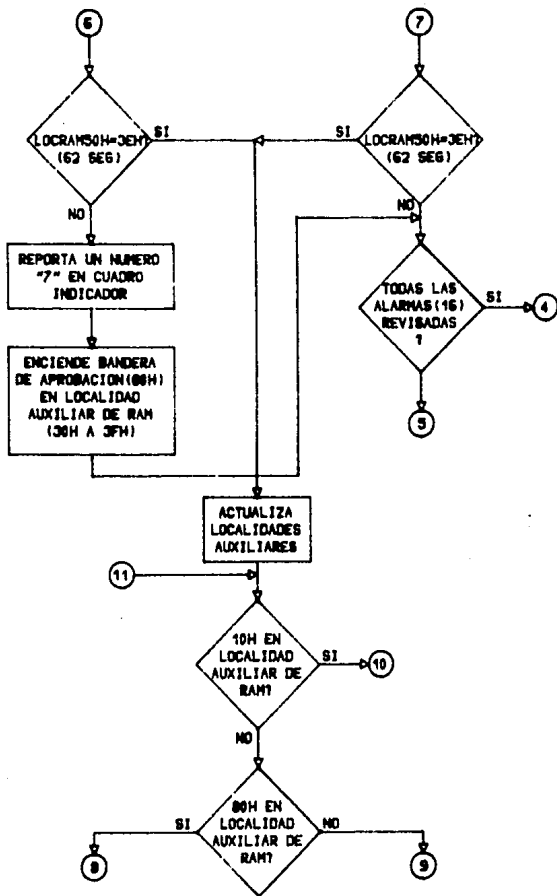
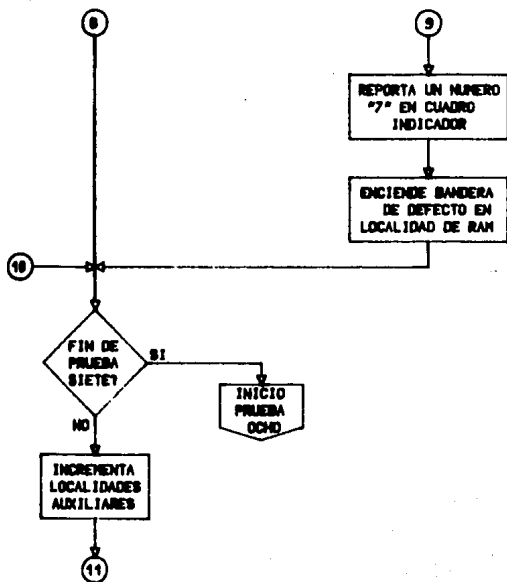


Diagrama de flujo 5.12. Diagrama de flujo de la prueba siete.







El proceso de prueba es el siguiente:

- 1.- Se espera a que se alcancen los 90 segundos.
- 2.- Una vez alcanzada esta cuenta, valor 5AH en hexadecimal, se procede a actualizar las localidades auxiliares que son usadas en esta prueba.
- 3.- Al igual que en la prueba siete, se averigua previamente que alarmas serán revisadas en esta prueba, mediante la investigación de las banderas de aviso de defecto para cada alarma. Las alarmas con defectos en pruebas anteriores son identificadas con el encendido de una bandera de aviso en su localidad -- auxiliar correspondiente para esta prueba (30H a 3FH) en forma similar a la prueba siete, poniendo un número hexadecimal -- 10H en dicha localidad como indicador. Las alarmas que están correctas conservan un valor de 00H en sus localidades de banderas de defecto (20h a 2FH).
- 4.- Una vez realizada la obtención de información anterior, se da -- paso a la revisión durante dos segundos del puerto PC0, el cual como ya se anotó, debe permanecer en estado alto para cada alarma que se considere con operación satisfactoria. Si en alguna -- revisión de alarma se detecta un estado bajo en el puerto PC0, -- esto es señal suficiente para asumir que la alarma continua en -- oscilación, lo que a su vez indica que el funcionamiento no ha -- cesado. Con la situación anterior presente, se enciende una ban -- dera de aviso en la localidad auxiliar correspondiente de la -- alarma que se halló defectuosa oscilando fuera de tiempo, lo -- que equivale a cargar dicha localidad con un 80H como un aviso -- en lo que resta de la prueba.
- 5.- La revisión de la tolerancia de los dos segundos, se realiza ca -- da vez que se concluye la verificación en cada alarma por el -- puerto PC0 respecto del estado que prevalece. Si en cualquiera -- de los dos ciclos de revisión, se llega al tiempo de tolerancia -- (2 segundos), la verificación de las alarmas se interrumpe y --

-se procede al reporte de los resultados finales.

6.- Al igual que en la prueba siete antes de verificar una alarma - en su no oscilación, se pregunta por la presencia de cualquier una de las dos banderas de anuncio en las localidades auxiliares correspondientes, ya sea por la cantidad 10H ó 80H que indican que la alarma ya es defectuosa, ya sea en esta prueba o en alguna anterior. Si alguna de las dos banderas existe, en el programa se realiza un salto directamente a la revisión de los 2 segundos de tolerancia, para en caso de excederlo, interrumpir la verificación de las alarmas en los ciclos de revisión descritos procediendo con la etapa de reporte de resultados.

7.- Al terminar el rango de los dos segundos, se confirma ahora que las alarmas que hayan sido aceptadas, estén realizando efectivamente la función de bloqueo, y que aquellas que hayan sido encontradas defectuosas sean reportadas como tales a los cuadros- indicadores y en las localidades de banderas de defectos.

Para realizar esta revisión final, se pregunta primeramente por la bandera de anuncio de alarma defectuosa en las localidades - auxiliares; en caso de estar encendida, se ordena el incremento de las localidades auxiliares (diferentes a las del intervalo- 30H a 3FH) para verificar las alarmas restantes por reportar. Si esta primera bandera no se presenta, se averigua ahora la encargada de reportar una alarma oscilante, la cual en caso de estar presente, causa el envío de un número "8" al cuadro indicador de la alarma como el encendido de la bandera de defecto. De no estar presente ninguna de las dos banderas de anuncio, se accesa la alarma ahora por el multiplexor digital 3 para revisar su acción de bloqueo, la cual tiene lugar con la presencia de un "cero lógico" en el puerto PC2. Con el estado contrario - la alarma se hace merecedora del rechazo y se le reporta como defectuosa.

Una alarma que es hallada con operación satisfactoria es reportada con un número "8" a su cuadro indicador.

El diagrama de flujo de la prueba descrita se ilustra en el diagrama de flujo 5.13.

Con la prueba descrita, terminan practicamente las pruebas de verificación de parámetros, dando paso ahora a la prueba final de aprobación en la que se reporta la aceptación definitiva de las alarmas que así lo ameriten.

k) PRUEBA FINAL DE APROBACION.

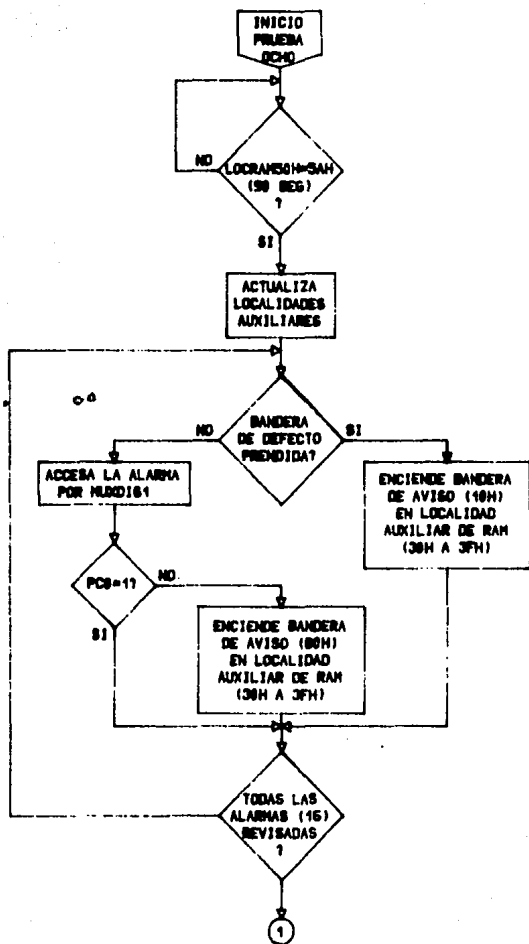
Con la llegada a este punto del programa principal, la etapa de reporte de resultados finales tiene lugar para cada alarma.

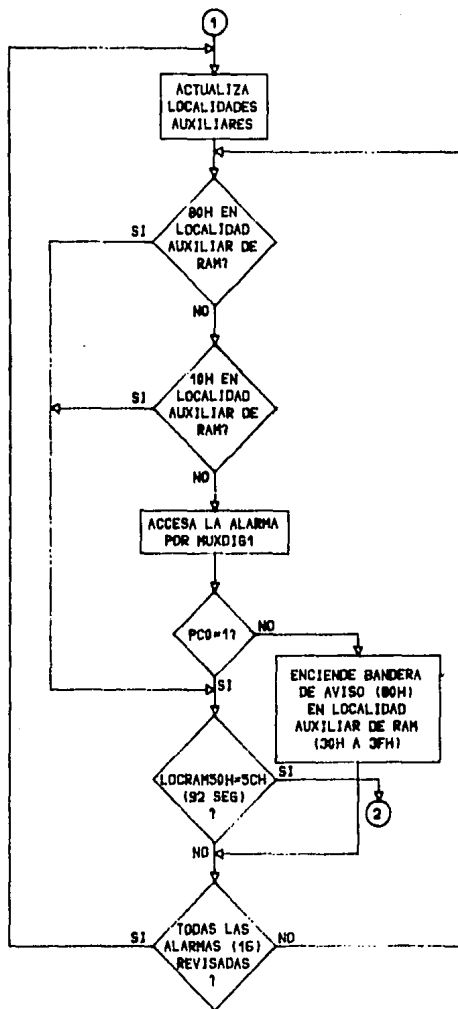
Como se explicó en la teoría de operación del sistema de prueba, -- las alarmas que hayan satisfecho todas las verificaciones anteriores son reportadas con un número "9" en su cuadro indicador, haciendo notar con esto al operador del sistema que la alarma cumple con todas las especificaciones requeridas.

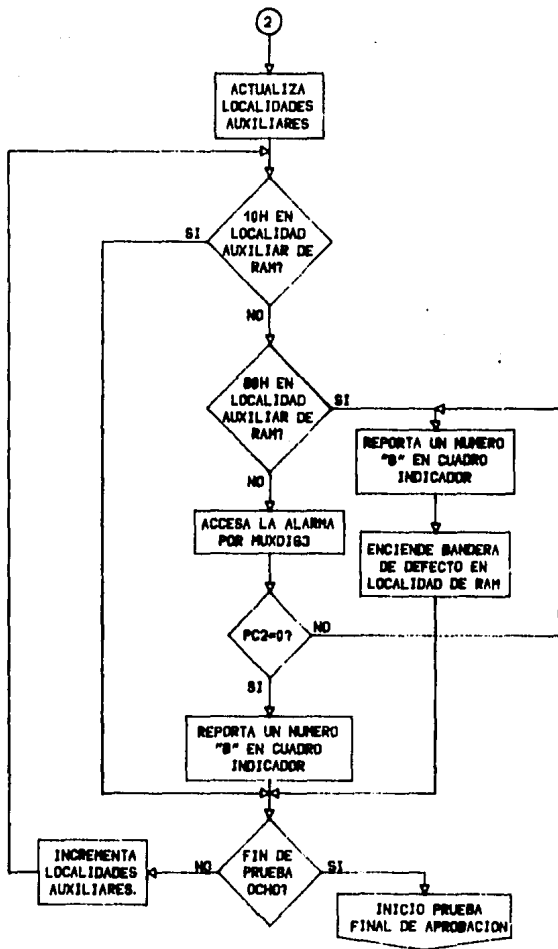
Para reportar los números "9" de aprobación a las alarmas que se -- hayan encontrado aprobadas, la revisión que se realiza es en las localidades de bandera de defecto para cada alarma (2FH a 2FH), las cuales - deben contener el valor 0FH para aquellas alarmas que no hayan presentado defecto alguno en la ejecución de las pruebas de verificación. Así la alarma que contenga la cantidad 4FH en su localidad de bandera de defecto, conserva en su cuadro indicador el número de prueba en que se rechazó para ser identificada facilmente por el operador.

Como se puede apreciar, el reporte de aprobación final brinda un modo sencillo y confiable para el reporte final de resultados de toda la - secuencia de prueba. El diagrama de flujo de esta última prueba de aprobación se muestra en el diagrama de flujo 5.13.

Asimismo en la teoría de operación del sistema de prueba, se describe ya la forma en que se anuncia el fin de la secuencia de prueba, procedimiento que se incluye también en el diagrama de flujo 5.13.







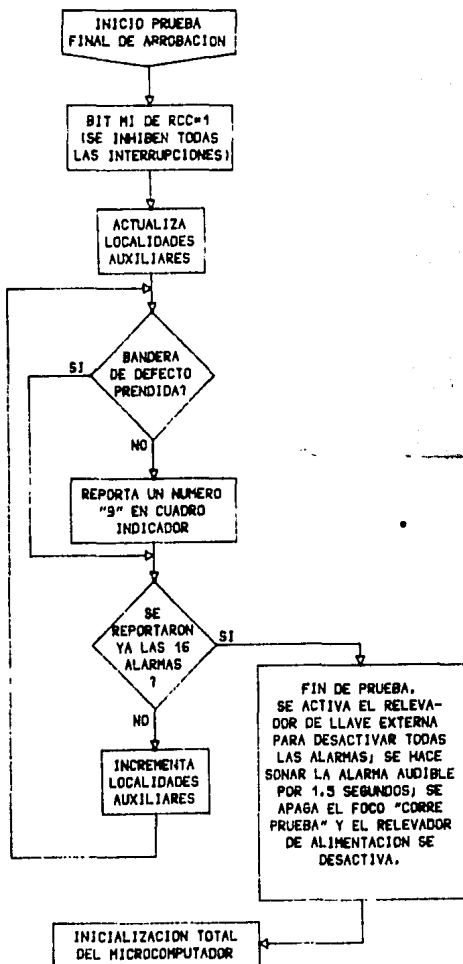


Diagrama de flujo 5.13. Diagrama de flujo de la prueba final de aprobación.

1) **DIAGRAMA DE FLUJO GENERAL.**

El objetivo de este último inciso es dar una visión general de la secuencia de prueba mediante la ilustración de un diagrama de flujo que dé una idea básica sobre el desarrollo de la misma. En este diagrama se dibuja por separado un lazo que implica el regreso a la inicialización total del microcomputador y por ende del programa principal y que es necesario especificar de esta manera, pues reside en el desarrollo de la prueba --- pero el ordenamiento de iniciar la secuencia de prueba con el solo hecho de encontrar una alarma defectuosa en dicha verificación. Este último diagrama explicativo se ilustra en el diagrama de flujo 5.14.

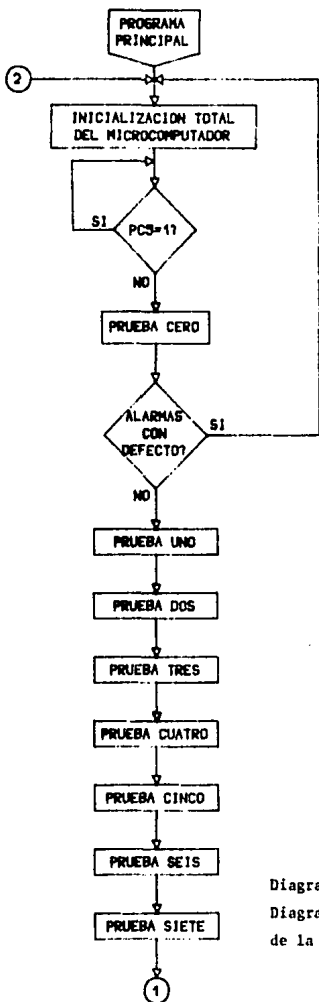


Diagrama de flujo 5.14.
Diagrama de flujo general
de la secuencia de prueba.



C A P I T U L O VI

FUNCIONAMIENTO ACTUAL DEL SISTEMA Y BENEFICIOS QUE APORTA.

En los capítulos anteriores, se han estudiado los aspectos tanto -- generales como detallados del sistema automático de prueba que se presenta, abarcando desde la operación del dispositivo que se verifica, hasta los pormenores de cada uno de los programas de verificación que se aplican, pasando por descripciones de circuitos de interfaz uniendo a -- ello una visión general de operación del cerebro del equipo, el microcom-- putador.

Es ahora necesario, referirse e informar del desempeño y funciona-- miento del sistema actualmente, tanto en la planta de fabricación en general como en la línea de producción, comprendiendo los dos incisos siguientes ambos tópicos.

a) TIEMPOS DE PRUEBA.

En el capítulo I se hace constante referencia a los llamados "cuellos de botella", existentes en todas aquellas líneas de producción que requieren de una etapa de prueba y que es precisamente en esta, donde -- productos con parámetros o especificaciones que requieren de tiempos de verificación muy elevados en su caso, encuentran una detención o retraso en su obtención como producto final.

Uno de los objetivos principales del sistema automático de prueba -- que se presenta, es resolver este fenómeno de las líneas de producción -- de la industria electrónica actual y que se presenta en muchos otros ramos de la industria.

Para demostrar como el sistema presentado aporta beneficios a la -- línea de producción, se expone en párrafos subsecuentes una tabla de resultados obtenidos a lo largo de 3 meses de operación del equipo de prueba. Estos datos fueron elegidos por la información que arrojan del desempeño del sistema, mostrando en cada uno de ellos gran número de variantes

que participan en la operación del mismo, que van desde el operador en turno hasta la hora del día de trabajo normal. Es por esto que antes de mostrar la tabla, han de listarse las variantes antes mencionadas para, una vez ilustrada la tabla, proceder a explicar los resultados obtenidos.

Las variantes que tienen participación y afectan a los resultados obtenidos en el desarrollo del sistema son:

- El operario del sistema no siempre es el mismo. Por lo regular existen cuatro operarios diferentes que han sido familiarizados con el funcionamiento del sistema, pero no todos ellos tienen la misma atención en el momento de la ejecución de la secuencia de prueba ni tampoco desempeñan otras labores en las líneas de producción. Uno de los operarios es el supervisor especial de la línea de alarma Ford, que está por demás familiarizado con la alarma y que ha puesto especial atención en saber los pormenores de funcionamiento del equipo y su operación.

- Antiguamente cuando se utilizaba el aparato de prueba individual el tiempo de prueba por alarma variaba también de acuerdo al operario en turno. La razón de anotar lo anterior, reside en aclarar que los tiempos de prueba por alarma eran fluctuantes y que para obtener en la tabla que se muestra posteriormente los tiempos esperados, se asume como tiempo de verificación por alarma 1.5 minutos (1 minuto 30 segundos), habiéndolo obtenido como un promedio significativo a partir del tiempo de prueba -- que cada operario empleaba.

- Los tiempos de prueba obtenidos encuentran otra variante por la razón de que el operario realiza actividades diversas dentro de la planta de manufactura, tales como contestar un teléfono, atender un reporte de actividades, auxiliar momentáneamente en otra línea de producción, etc.

- La cantidad de producción a probar es otro factor que influye en la obtención de tiempos actualmente, pues con una mayor cantidad de alarmas a probar el operario apresura más la ejecución de una secuencia de pruebas.

- En los tiempos de prueba obtenidos se toma en cuenta la colocación y retiro de las 16 alarmas de sus respectivos conectores, lo que consume tiempo que se toma en cuenta.

- Las alarmas son probadas tres veces: sin caja de plástico contenedora (con sus componentes y terminales a la vista), con caja parcialmente cerrada y con caja totalmente cerrada, lo que provoca también variantes en el tiempo de prueba, ya que la alarma sin caja es más difícil de colocar y retirar del conector de prueba. En la tabla se exponen resultados arrojados en cualquiera de las tres etapas de prueba, a excepción del dato 8 que incluye las dos primeras etapas.

- El tiempo de prueba que se emplea por día es también una variante determinante en la obtención de los resultados presentados, participando factores como decisiones del supervisor y volúmenes de producción.

Habiendo expuesto los puntos anteriores, se muestra a continuación la tabla de resultados de tiempos obtenidos(tabla 6.1):

MUESTRA	NUMERO DE ALARMAS PROBADAS	TIEMPO OBTENIDO CON EL SISTEMA AUTOMATICO	TIEMPO DE PRUEBA PRONOSTICADO CON UN APARATO INDIVIDUAL.
Dato 1	98	45 min.	2 hrs. 27 min.
Dato 2	78	47 min.	1 hr. 57 min.
Dato 3	150	1 hr. 15 min.	3 hrs. 45 min.
Dato 4	153	1 hr. 8 min.	3 hrs. 49 min.
Dato 5	212	1 hr. 39 min.	5 hrs. 18 min.
Dato 6	222	1 hr. 30 min.	5 hrs. 33 min.
Dato 7	228	57 min.	5 hrs. 42 min.
Dato 8	692	8 hrs. 15 min.	17 hrs. 18 min.
Dato 9	100	1 hr. 39 min.	2 hrs. 30 min.
Dato 10	100	1 hr. 26 min.	2 hrs. 30 min.

tabla 6.1. Resultados de tiempos de prueba con la aplicación del sistema automático de prueba y su comparación con --- tiempos de prueba esperados con la utilización de un aparato individual.

La tabla se puede dividir en cinco puntos a comentar que son los siguientes:

- en los dos primeros resultados obtenidos, ha de notarse la similitud de los tiempos de prueba para una diferencia de 20 alarmas probadas lo que es una evidencia de que el proceso de prueba puede estar afectado por cualquiera de las variantes listadas en los primeros párrafos, siendo digno de enfatizarse la gran diferencia de los tiempos de prueba que se hubieran obtenido de haberse usado un aparato individual.

- En las muestras 3 y 4 se observa como un número practicamente igual de alarmas probadas, reporta también un valor de tiempo de prueba que difiere solo en unos cuantos minutos. Esto es debido a que estos datos fueron cronometrados con el mismo operario manejando el sistema de prueba de un día para otro, demostrando con esto, que el factor de cambio de operario tiene una definitiva influencia en los tiempos de verificación.

- Las muestras 5,6 y 7 proporcionan un resultado interesante: las dos primeras cantidades de alarmas probadas reportan tiempos de verificación muy cercanos variando el número de producto probado por una pequeña cantidad, lo que es resultado del no cambio de operario. Refiriéndose ahora al tercer dato (muestra 7), hay que notar que también el número de alarmas varía muy poco respecto de los anteriores, pero que el tiempo de prueba es considerablemente menor, siendo la razón de esto que esta muestra fué obtenida cuando en la operación del equipo se tuvo a dos personas manipulando el sistema simultáneamente, dando por resultado un tiempo menor de prueba. Debido a la gran cantidad de producción existente, esta decisión de verificación en el producto es tomada ocasionalmente, aclarando de antemano que se procura no tener esta situación en la línea de producción, pues ocupa tiempo de dos trabajadores en un equipo que esta diseñado para ser operado por un solo trabajador.

- La muestra número 8 representa un caso interesante en el desempeño del sistema de prueba, pues esta cantidad de alarmas probadas fueron obtenidas en un día de trabajo verificándolas en las dos primeras etapas de prueba y con tres cambios de operario (incluyendo el supervisor de línea) y con participación de todas las variantes.

- Las muestras 9 y 10 son ejemplo de una ocasión en que el aparato fué usado con solo catorce alarmas probándose en cada ejecución de una - secuencia de prueba debido a un desperfecto que se presentó en el equipo de prueba al no poder utilizar dos lugares de conexión para prueba.

Las dos conclusiones que se pueden enunciar son las siguientes:

- 1.- Los tiempos de prueba se han reducido en una proporción muy -- marcada, evitando el problema de los "cuellos de botella". Lo anterior se hace patente por la tabla obtenida, que demuestra que para cualquier muestreo realizado, los tiempos de verificación son notablemente menores en todo momento para una cantidad determinada de alarmas, incluyendo esto, todos los va-riantes expuestos en los primeros párrafos de este inciso, dejando al descubierto un punto sumamente importante, que es el hecho de tener siempre una reducción en el tiempo de prueba -- respecto de los tiempos anteriores.
- 2.- Como segunda conclusión, se observa que el porcentaje promedio de reducción en los tiempos de prueba es del 62%, un resultado satisfactorio que contribuye a evitar los "cuellos de botella" en la línea de producción y que demuestra haber aumentado la - eficiencia en esta fase del proceso de manufactura.

El inciso que se ha desarrollado no pretende ser una conclusión de la tesis que se presenta, sino una muestra de los resultados que se es-tán obteniendo actualmente con el uso de un sistema automático de prueba dentro de la planta de producción.

b) CALIDAD DE LA PRODUCCION.

En el capítulo I como en los párrafos de introducción de este capítulo se menciona la calidad que el producto final ofrece estando respaldado por un sistema automático de prueba que brinda confiabilidad y apoyo en el ofrecimiento de buena calidad en las alarmas que verifica como-artículo final a obtener.

Para explicar como se ha mejorado la calidad de la producción y su obtención desde el punto de vista producto final tanto para el cliente -

-como para la empresa, se han tomado en cuenta dos factores que demuestran los beneficios que se han obtenido y que son:

- Opinión de los diferentes departamentos de la planta de producción.
- Datos de rechazo y devolución de producto.

Estos dos factores son abarcados a continuación y por separado.

Para dar una idea de los cambios que ha representado el uso del sistema de prueba, se muestran a continuación dos cuadros de datos que proporcionan información de las fechas y condiciones de rechazo de las alarmas devueltas a la fábrica. Estos datos fueron obtenidos del departamento de control de calidad y se han dividido en dos etapas:

- 1.- antes de la puesta en marcha del equipo y,
- 2.- después de la fecha en que inicio su funcionamiento en la línea de producción.

Se aclara que las devoluciones son acumulativas, lo cual consiste en que el cliente (Ford Motor Co.) espera a obtener un número de alarmas de rechazo en determinada cantidad de tiempo para informar lo más significativamente en sus datos de calidad.

Los cuadros son los siguientes:

AÑO 1984		
FECHA DE DEVOLUCION	NUMERO DE ALARMAS	CAUSAS DE RECHAZO
2 de Enero	6	- relevadores en falso contacto. - soldaduras "frías". - diodos zenner polarizados inversamente. - transistores en corto circuito.
21 de Agosto	18	- relevadores en falso contacto. - pistas de circuito impreso rotas.

27 de Noviembre

19

- cortos circuitos entre pistas.
- soldaduras "frías"
- transistores quemados
- diodos quemados.
- terminal de tierra en falso contacto.
- relevadores en falso contacto.
- terminal de "llave externa" sin conexión efectiva.
- corto circuito entre pistas del circuito impreso.
- diodos polarizados en inversa.
- corto circuito en el disparo negativo.
- cajas rotas.
- transistores en corto circuito.

AÑO 1985

(Puesta en marcha)

FECHA DE DEVOLUCION

NUMERO DE ALARMAS

CAUSAS DE RECHAZO

18 de Marzo

11

- Falso contacto en terminal de "llave externa".
- capacitores defectuosos.
- cajas rotas.
- diodos quemados.
- transistores quemados.

19 de Abril

7

- * causas similares a las anteriores.

Para interpretar estos cuadros de datos, no es significativo poner atención en el número de alarmas devueltas, sino en las causas de rechazo del cliente. Haciendo una comparación entre las causas de rechazo del año 1984 y las reportadas en 1985 se aprecia que las fallas funcionales que afectan a la alarma en su operación han sido erradicadas en gran escala, ya que en 1985 fallas o defectos como: relevadores en falso contacto, soldaduras con contacto parcial o "frías", pistas de circuito impreso rotas, cortos circuitos entre pistas de circuito impreso, corto circuito en el disparo negativo, han sido detectadas por el sistema de prueba en alguna de las tres etapas de verificación ocasionando con efectos muy importantes que hay que tomar en cuenta:

- 1.- errores de apreciación en el momento de colocación de componentes, soldado del circuito, revisión de materia prima por parte del personal, son detectados ahora por el sistema en una de -- las etapas de prueba, limitando el problema a corregir dentro del mismo ámbito de la planta de producción, permitiendo tomar acciones correctivas en el personal o en la adquisición de materia prima logrando con esto que el cliente pueda encontrar -- cada vez menos defectos y que en el caso de hallarlos sean poco atribuibles a errores humanos dentro de la planta de fabricación.
- 2.- Las causas de rechazo en este momento son ocasionadas por fallas de instalación por parte del cliente en las unidades de -- automóviles o por condiciones existentes en las mismas que dan lugar al desperfecto de la alarma a causa de un corto circuito en el sistema eléctrico del automóvil o por un manejo indebido que se le haya dado al dispositivo.

Con el cuadro 6.1 y los dos efectos descritos, se pone de manifiesto que el sistema de prueba ha incrementado en efecto el índice de calidad del producto, haciéndolo más confiable y dando gran apoyo de manufactura en la fabricación de la alarma.

Pasando al segundo factor que determina como el producto ha obtenido mayor calidad como artículo final de la línea de producción se anotan a continuación las opiniones recogidas en cada uno de los departamentos que constituyen a la planta de producción.

El departamento de control de calidad reporta una gran diferencia en las causas de devolución de las alarmas que como ya se ah dicho son - cada vez menos atribuibles al personal de la planta de fabricación. Añade además que los tiempos de prueba son menores haciendo los procesos de prueba más rápidos, confiables y eficientes.

El departamento de producción ha informado de un mayor aprovechamiento de la línea de producción como tal, elevando sus programas de fabricación semanales distribuyendo mejor en tiempo sus etapas previas al proceso de prueba, sabiendo que posee el equipo de prueba automático. Los operarios del sistema reportan un mayor aprovechamiento en sus actividades en la línea de producción y un menor esfuerzo en la etapa de --- prueba.

Por su parte el departamento de reparaciones ha obtenido una mayor confiabilidad en los reportes de las fallas que recibe, ya que posee una información más exacta de que el defecto que es reportado es realmente - el que ha de repararse, haciendo más concisa y eficiente su operación al evitar los "cuellos de botella" que también se presentan en este departamento.

Los incisos descritos dejan al descubierto y demuestran, que el -- sistema automático de prueba ha brindado beneficios no solo para el ---- cliente en sí como poseedor de un artículo de excelente calidad, sino -- que también dá respaldo al proceso de manufactura en las funciones que - desempeña dentro de una planta de fabricación de la industria electróni- ca.

C A P I T U L O V I I

IMPORTANCIA Y ADAPTACION DE LOS MICROCOMPUTADORES EN LA INDUSTRIA EN GENERAL.

En el desarrollo de esta tesis, se ha explicado y desglosado todo lo concerniente al sistema de prueba que se presenta, describiendo los circuitos que lo conforman así como los programas que le son asignados al -- microcomputador para desempeñar las funciones de verificación necesarias y aplicarlas adecuadamente a los dispositivos que se revisan en el sistema. Se han estudiado y discutido singularmente características generales y teóricas sobre los sistemas de prueba en la industria electrónica, basadas en su mayor parte en la experiencia obtenida en la construcción y desarrollo del equipo que sustenta a esta tesis.

Ahora bien, el sistema que se presenta encuentra su base sólida y -- apoyo en un microcomputador, dispositivo que actualmente esta automatizando y mejorando cualquier actividad industrial, académica, científica y -- doméstica, encontrando aplicación en campos tan diversos como la medicina la agricultura, el deporte etc., por lo que en base a lo anterior, cabe -- hacer el siguiente planteamiento:

se ha desarrollado y construido un sistema automático de prueba basado en un microcomputador, el cual tiene aplicación actual en una línea de producción aportando beneficios que han sido demostrados con datos y -- resultados, pero....

- ¿ en que campos de la actividad humana se han llegado a utilizar los microcomputadores ?
- ¿ como se han llegado a adaptar a otras ramas de la industria ?
- ¿ cuáles son los principales problemas y características que se deben tomar en cuenta en el diseño de un equipo basado en un microcomputador ?
- ¿ que beneficios reporta y cuales son las posibles desventajas de este dispositivo ?
- ¿ cual es la importancia en forma global de aplicar estos dispositivos en determinado campo ?

Es objetivo fundamental de este capítulo dar una respuesta a todas estas preguntas, ofreciendo una visión general de como se han adaptado - los microcomputadores en diferentes tareas industriales, de ayuda a la - ciencia médica y trabajos científicos, exponiendo una idea concisa de -- los criterios y obstáculos que se toman en el diseño de tales equipos, - concluyendo con un sumario que enuncie las aplicaciones que se exponen y la importancia que representa el desarrollar equipos de esta naturaleza - en nuestros días.

La creación de los microcomputadores representa una nueva puerta - al diseño de instrumentos y equipos que, aprovechando su gran capacidad - de manejo de información contenida en pequeños y pocos circuitos integra dos, han desatado una revolución en el concepto e idealización de un nue vo manejo del control de un proceso industrial o en el desarrollo de al - gún sistema cuya aplicación es variada.

Hoy en día la competencia industrial de los fabricantes más impor - tantes de circuitos integrados enfocados a microprocesadores y microcom - putadores ha desembocado en una frenética y al parecer imparable carrera por construir y perfeccionar cada vez más, el procesador más rápido, con un juego de instrucciones lo más completo e imaginable, involucrando - en esta ascendencia de optimización y capacidad, a los usuarios de este - tipo de dispositivos que van en aumento, creando a la vez una reacción - de superación en cada nuevo usuario que emplea al máximo y óptimamente - cada característica ofrecida por los microcomputadores para a la vez es - tar a la cabeza en la aplicación en un ramo determinado.

Nuevos productos y aplicaciones tienen a los microcomputadores co mo su base de funcionamiento, desde máquinas frigoríficas hasta juguetes pasando por aparatos domésticos e instrumentos diversos. Un movimiento - atinado llevó recientemente a las microcomputadoras a los salones de cla se y a los hogares, expandiendo aún más el campo de aplicación cotidiano de los microcircuitos. ¿Que hay detrás de todo este proceder al incluir - al microcomputador como base de uno o varios equipos o sistemas innova dos?; la respuesta abarca en gran parte los criterios de diseño y consi - deraciones que se incluyan en el diseño de un sistema basado en un micro computador, que comprenden desde las variaciones en la arquitectura del -

-del mismo, hasta el lugar óptimo de montaje del equipo que se vaya a utilizar, con todos los problemas que puede representar el tomar en cuenta estos puntos tan importantes.

Para ejemplificar lo anterior se hacen a continuación una serie de consideraciones que demuestran como estos detalles son tan importantes en la adaptación y concepción de un nuevo sistema.

Se pueden apreciar tres diferentes tendencias en el diseño de un microcomputador que afectan al mismo tiempo al usuario de un dispositivo de esta naturaleza o que planea hacerlo:

- se conservan las arquitecturas básicas.
- Se diseñan arquitecturas innovadoras.
- Se combinan arquitecturas antiguas con nuevas, formando un dispositivo con un cambio ordenado y progresivo.

Las tres consideraciones anteriores van atadas al hecho de que cada vez es más accesible el mejorar un microcomputador en sus características básicas y que lo hacen además atractivo como lo es por ejemplo su tiempo de ciclo de instrucción o su capacidad de almacenamiento de información. ¿Cual es el diseño que se debe atender entonces?; lo más simple parece ser sin duda la tercera opinión, que ofrece mantener la arquitectura base sin cambio, con mejoras e innovaciones paulatinas en la operación del microcomputador. Un ejemplo de esto es el microprocesador 8085, versión mejorada de su antecesor el 8080, que brinda una mejor operación en total compatibilidad con la estructura que le dió origen. A su vez, el procesador Z80 es una versión más dinámica que el 8085 de Intel Inc., con lo que alternativamente se pueden añadir nuevas características de operación al sistema en desarrollo, que por supuesto será una versión optimizada de un sistema anterior. El Z80 contiene además un mayor número de registros y un juego de instrucciones más completo que permite usar programas muy similares a los del 8085 en el nuevo sistema, con la opción de aprovechar las nuevas características en puntos clave. Todo lo anterior representa un ahorro en el tiempo de enseñanza a los usuarios del nuevo equipo en su caso, lo que arroja como resultado un menor esfuerzo en la manipulación de un sistema o equipo determinado basado en el microcomputador.

Por otro lado, ¿ es siempre aceptable utilizar la tercera opción - de diseño que se ofrece?, la respuesta es negativa. El conservar ese criterio puede ser benefico en algunos casos pero se presentan las siguientes desventajas:

- no se tiene un aprendizaje constante.
- No se dá lugar a una mejora radical en la operación o desarrollo de un nuevo equipo basado en un dispositivo microcomputador.

Muchas veces el costo de una nueva arquitectura es considerable, - pero los beneficios pueden ser grandes, como lo es por ejemplo la optimización de un equipo como un modelo totalmente nuevo. Pero a la vez, cada optimización debe ser estudiada, catalogada, programada y probada. Una - aproximación más directa a la arquitectura del microcomputador o de la - máquina en su caso que hace obvia la necesidad de optimización, puede -- ser más efectiva en casos específicos.

En base a lo mencionado se podría preguntar entonces: ¿cuál es el verdadero problema al considerar la arquitectura del microcomputador como punto de decisión en la elección?; la respuesta se halla en otro aspecto que invita aún más a la discusión y estudio de las características clave de un dispositivo microcomputador: su programación.

Es muy usual el hablar de una cierta crisis en el aspecto de programación de estos dispositivos, ya que mientras los costos de los circuitos y su fabricación presentan proporciones inversas, los costos de - programación presentan un elevado y creciente incremento en proporción - directa a las ambiciones que se tengan en el uso y aplicación de los sistemas basados en microcomputadores.

Partiendo de la premisa de que el objetivo de uso de un sistema -- microcomputacional es proveer una solución efectiva en costo a un problema en particular, este factor se vuelve crítico al considerarlo como una parte determinante en un equipo. Aún más, el desarrollo de un equipo computarizado encuentra una de sus bases más fuertes a respetar en su costo inicial previsto y calculado, alcanzando niveles hasta de producciones - piloto que se deseen realizar y llevando inherente a la vez costos ---

--de mantenimiento, que se espera sean equiparables a los costos de puesta en marcha. Lo anterior puede ser gravemente afectado si los sistemas de programación y lenguajes involucran una gran complejidad, yendo esta en proporción inversa a la confiabilidad que es factible de presentarse en el equipo si los procedimientos de programación han sido elegidos adecuadamente.

Actualmente gran cantidad de programación para microcomputadores son para aplicaciones de bajo alcance, donde tal vez el tamaño de los programas es pequeño y el volumen de manejo deseado es grande lo que puede idealizarse en un aspecto totalmente sin consecuencia. Probablemente el uso de microcomputadores que pueden ser aplicados está destinado primordialmente a una disminución en la circuitería externa a el dispositivo. Sin embargo el uso de tales características en la programación, imposibilita muchas veces una mejora en dicho proceso, limitando la creatividad y accesibilidad para la verificación de un programa de ejecución ya determinado, haciéndolo tal vez propenso a una mala operación. Esto hace pensar que el transferir una función de circuito a una operación de programación, esta última presenta una complejidad que aumenta en el momento de habilitarla como parte del sistema.

Existe un malentendido previo a lo anterior que responde al hecho de pensar que el transferir una función a la etapa de programación es tal vez más barato en el proceso de diseño de un microcomputador. Esto, si bien es cierto en casos recientes, no lo es ni lo fue al incorporar funciones de circuitería externa en un solo circuito integrado, proporcionando como se puede constatar una gran facilidad de programación sin representar gran problema. Tal vez la solución a lo anterior podría plantearse como el uso indiscutible de un lenguaje de alto nivel. Su utilización propone el corte dramático de los costos de desarrollo de programación súbitamente:

- el número de instrucciones es disminuido.
- La notación permite trabajar en el lenguaje del problema y no involucrar tanto el idioma de la máquina.
- Se incrementa la productividad del programador.
- Se incrementa la confiabilidad del programa.

Con la participación de los puntos expuestos ¿es definitivo el uso propuesto de un lenguaje de alto nivel?; esto en definitiva no soluciona todos los problemas. Un buen programador puede realizar un programa ineficiente o redundante en algún mal momento o por que no, un programador-inexperto puede hacer un empleo equivocado de las facilidades de tal lenguaje y sus ventajas. En el lado contrario, para un problema a resolver un programador experimentado puede encontrar una secuencia de instrucciones en lenguaje máquina que, aprovechando propiedades del juego de instrucciones, dé una mayor y más eficiente solución al problema en cuestión, lo que es totalmente posible y se presenta con frecuencia, lo que demuestra que la elección a este respecto debe ser altamente considerada. El programador de lenguaje ensamblador utiliza casos especiales, aprovecha casos de efectos de una instrucción sobre otra, anomalías en el direccionamiento de información, organización de datos e instrucciones especializadas para conseguir las ventajas del factor espacio/tiempo al máximo.

Regresando al apoyo de los lenguajes de alto nivel, se sugiere siempre que si la programación se realiza con lenguajes de esta área, es ventajoso usar los requerimientos de este lenguaje como un modelo para las capacidades a escoger contenidas en el microcomputador central. Así un lenguaje de alto nivel será inherentemente más poderoso, ya que podrá expresar la estructura jerárquica del problema más eficientemente. Actualmente los lenguajes que están en proceso de desarrollo, son potencialmente agentes de desarrollo y beneficio para hacer de la labor de programación una herramienta cada vez más eficiente en su aplicación al problema a atender.

Como un corolario previo a la enunciación de una conclusión, puede afirmarse que un microcomputador para manejarse con lenguaje ensamblador puede no ser adecuado usarlo en labores de compilación o de adaptación de lenguajes de alto nivel y viceversa. Como conclusión es conveniente anotar que si el lenguaje a ser usado esta destinado a ser una herramienta poderosa, el microcomputador a elegir debe ser un soporte efectivo para este factor tan importante, desempeñándose en forma coordinada con el proceso de diseño.

Pasando a otro plano, es de hacer mención la gran cantidad de opcio

nes que se presentan en la tecnología de construcción de los circuitos -- de un microcomputador, las cuales abarcan PMOS, NMOS, HMOS, I²L, TTL --- schottky etc., cada una con sus ventajas y desventajas, limitaciones y -- teniendo cada una de ellas diferentes densidades, tamaños de encapsula-- dos, disipaciones de potencia y retrasos de compuerta entre otras caracte-- rísticas. Los microcomputadores actuales usan por lo general tecnolo-- gía HMOS, NMOS o PMOS y la que va en aumento y perfeccionamiento CMOS, o freciendo todas ellas opciones de interfaz simple, gran rapidez, enorme-- densidad y buenos beneficios al producirse en elevada cantidad.

El encapsulado de los microcomputadores y microprocesadores actua-- les no presenta gran diferencia a pesar de las recientes innovaciones co-- mo lo son encapsulados en arreglo de rejilla (Grid Array) o en piezas-- de 32 patas de conexión por lado, conservándose a la vez, el diseño máxi-- mo de 40 ó 42 patas de conexión por lado y a veces hasta menor dependien-- do de las características internas del microcomputador.

Para hablar brevemente del papel que desempeña la adecuada elección de un juego de instrucciones en el microcomputador, ¿se podría pensar en la posible asignación de un costo en la inclusión de un modo de directo-- o uno índice?, o ¿la ventaja en costo de un acumulador y cinco registros fíices por la posesión de cinco registros de uso general? y otras pregun-- tas de esta índole que son fundamentales en la adaptación del microcompu-- tador al proceso o función que se le pretende asignar para gobernar a un sistema. Dichas preguntas encuentran respuesta solo en el trayecto de -- elección del dispositivo a usar, ya que de otra manera permanecerían sin respuesta.

Una gran cantidad de factores pueden ser tomados en cuenta aún y -- que afectan al buen desarrollo del sistema que esté basado en un micro-- computador.

Buscando ahora dar una dimensión al problema de adaptación y diseño de un sistema basado en un microcomputador que permita de manera más con-- cisa resumir toda esta serie de factores que afectan al proceso de desa-- rrollo, se enuncian e ilustran a continuación cuatro figuras que ayudan-- en la toma de decisiones.

En la adaptación y diseño de un instrumento o equipo basado en un microcomputador, virtualmente todas las decisiones de diseño son afectadas por el tipo de microcomputador escogido. Las necesidades de circuitería y programación se apoyan en este factor de elección. Muchos microcomputadores pueden ser usados para cubrir estas necesidades. No obstante, como la elección de un microcomputador "x" tendrá efectos sobre como se han cubierto estas necesidades, la decisión que se tome debe estar apoyada fuertemente desde un principio. En la figura 7.1 se observa una opción de método de como se puede proceder para elegir un microcomputador que mejor se adapte a las necesidades perseguidas. Como se observa, se puede formar un lazo iterativo que forma el proceso de decisión en la elección del microcomputador a escoger, todo ello variando de acuerdo a la satisfacción que se obtenga en el análisis de un microcomputador específico. Esto es útil, ya que en repetidas ocasiones se hace una elección equivocada que en el momento de ofrecer resultados, se demuestra que el microcomputador escogido no fué el adecuado.

Por otra parte si se ha diseñado un sistema previamente con un microcomputador ya conocido y se tienen todas las ventajas en su uso para desarrollar su operación fácilmente y además se han tenido resultados positivos la opción más sencilla reside en emplearlo nuevamente.

En el caso de estar conforme con la elección del microcomputador, pueden hacerse ahora preguntas de adaptabilidad más específicas a requerimientos de circuitería externa, que concierne a las características de interacción entre el microcomputador y los dispositivos de Entrada/Salida en el caso de que estos se encuentren separados del encapsulado principal. En la figura 7.2 se hace una secuencia con consideraciones a este respecto. De la misma manera, en la figura 7.3 se hace una lista de consideraciones respecto al factor programación en la elección de un microcomputador. La secuencia de la figura 7.4 es una ampliación de la figura 7.2 que envuelve consideraciones extras en la elección del dispositivo. El objetivo de las figuras expuestas ha sido ordenar el proceso de elección-diseño-adaptación de un microcomputador a la creación y desarrollo de un sistema específico.

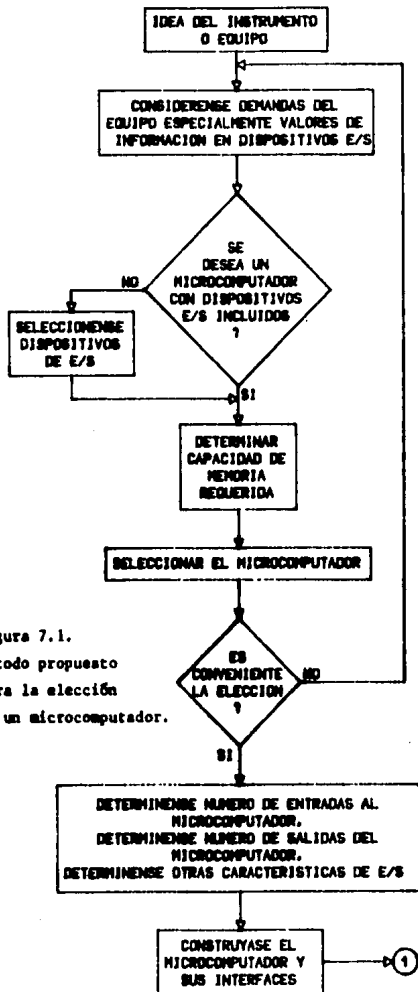
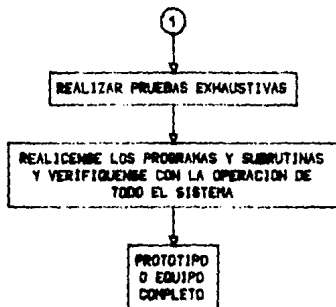


Figura 7.1.
Método propuesto
para la elección
de un microcomputador.



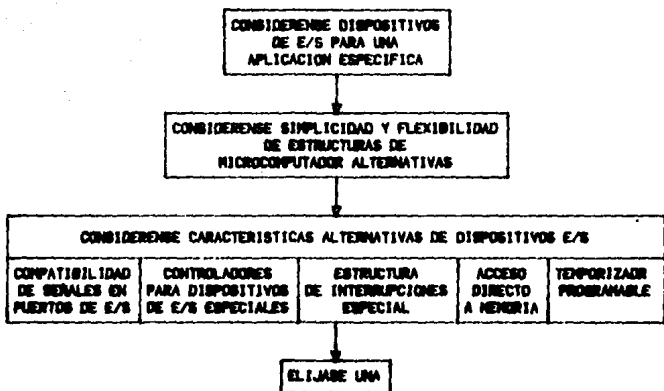


Figura 7.2. Análisis de adaptación de circuitería externa al microcomputador elegido para una aplicación específica.

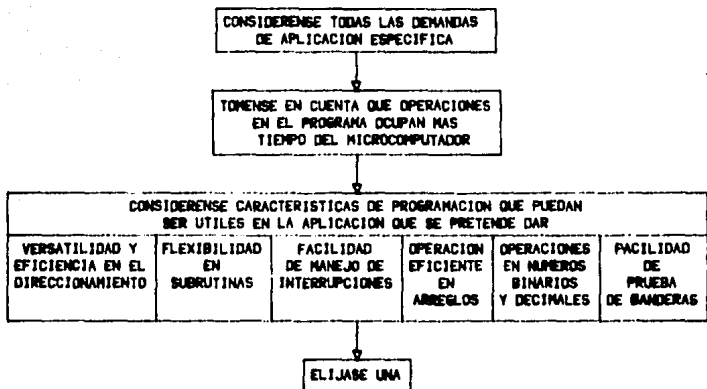


Figura 7.3. Análisis de características de programación en la aplicación de un microcomputador.

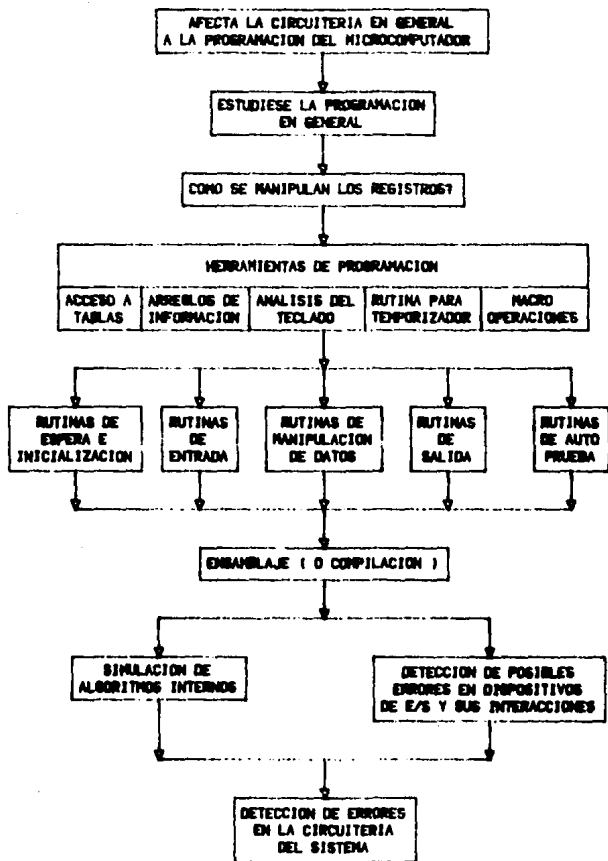


Figura 7.4. Secuencia de alternativas que pueden tomar parte en la óptima elección de un dispositivo microcomputador.

Anticipándose un poco al estudio que se hace posteriormente de diversos casos de aplicación y a las conclusiones que arrojará, es importante anotar en esta etapa del desarrollo de este capítulo el sistema interactuante que se forma entre los tres bloques que se ilustran en la figura 7.1a:

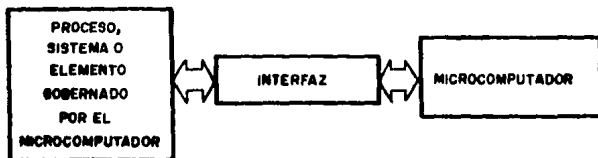


Figura 7.1a. Sistema interactuante.

Atiéndase principalmente el bloque central. En él reside una parte fundamental de cualquier sistema basado en un microcomputador, constituyendo quizá una sección de igual trascendencia a la correspondiente al bloque del dispositivo maestro.

El bloque interfaz conforma el punto donde el diseñador emplea su ingenio y capacidad para construir lo mejor posible una comunicación armónica de trabajo entre el microcomputador y el bloque de efecto final, ya que esta etapa es la encargada en todo sistema de realizar lo mejor posible la adaptación de señales fidedignas a los circuitos de E/S del microcomputador.

Lo anterior es solo una breve introducción a lo que se constatará en los ejemplos posteriores.

Resumiendo se pueden enunciar tres etapas básicas en la adaptación de un microcomputador a un sistema o equipo determinado:

- 1.- consideraciones de circuitería interna, comprendiendo lo necesario para en su caso formar un microcomputador completo.
- 2.- Consideraciones de diseño del bloque de interfaz, comprendiendo desde adaptación de señales, hasta reporte de resultados por un

medio determinado.

- 3.- Consideraciones sobre programación incluyendo todos los posibles caminos que se deseen para adecuar lo mejor posible la -- instrucción del operario o usuario hacia la máquina.

Amanera de resumen de esta primera etapa, se puede apreciar que el problema de adaptación y diseño de un equipo basado en un microcomputador tiene fundamentalmente dos componentes: determinar que debe ser incluido y que excluido, asignar el contenido de los circuitos y lo que es tará contenido en los programas, interpretando en todo momento las fun- ciones de cada uno de ellos en el sistema.

Dando paso ahora a los ejemplos que se muestran para hacer patentes diversas aplicaciones de los microcomputadores en la industria y en otros campos, es oportuno aclarar que las características de funcionamiento de los sistemas y equipos que se describen son expuestos en un panorama general que permite dar una idea palpable de aplicaciones que están actual mente en operación.

Ejemplo 1.- " Un Microcomputador Usado Como Controlador Programa-- ble para Estados de Control en Retroalimentación pa-- un Motor de C.D., Empleando un Amplificador de Tirig-- tores".

La mayoría de los sistemas de manejo motriz en la industria, se operan con un motor de C.D. manejado a su vez por un puente de tiristores con la acción de un lazo cerrado de control. En la actualidad se están - maneja ndo por circuitos microcomputarizados debido a su eficiencia y bajo costo. En este ejemplo se pretende demostrar el uso de un microcomputador SDK-85 como un control programable en tiempo real, siendo el ele- men to final de control un motor de C.D. controlado en velocidad y alimen- tado por un puente de tiristores monofásico; esto se ilustra en la figu- ra 7.5.

El equipo SDK-85 actúa como un controlador programable, en el sentido de que se pueden variar los valores del parámetro ganancia facilmen- te para implementar diferentes leyes en el control. El puente de tiristo- res se acopla al procesador por medio de una interfaz proveída de dos --

módulos:

- a) interfaz de sincronía e,
- b) interfaz de control digital directo.

Un módulo adicional es el encargado de recibir la información digital para manejar e implantar las leyes de control deseadas en tiempo real.

El primer módulo consiste en un multiplexor analógico y un convertidor analógico/digital, que cumple con la alimentación de información adecuada al microcomputador a través de los puertos del mismo. Las señales analógicas recogidas por transductores son filtradas y amplificadas antes de introducirse a los multiplexores analógicos. El manejo en estos últimos se hace a través de un puerto y el control de orden para las conversiones se maneja por medio de banderas de anuncio. El módulo de sincronía se compone de dos etapas: la primera que es un detector de cruce por cero, que con ayuda de reforzadores (buffers) alimenta a una línea de control en un puerto de entrada. La segunda etapa constituye un transformador de bajada para disminuir el voltaje, el cual es limitado a +5 VCD con un diodo zener.

La interfaz de control digital directo consiste en un par de compuertas "NAND", un generador de frecuencia portadora y amplificadores -- Darlington, cuya función es amplificar la señal del puerto de salida para enviarla a las compuertas de los pares de tiristores vía transformadores pulsantes.

El sistema de control descrito es utilizado actualmente reportando las siguientes ventajas:

- da un extenso control sobre la dinámica de una lazo cerrado en un sistema.
- Se obtiene control digital directo.
- Se pueden estimar estados inaccesibles.
- El juego de instrucciones y el lenguaje que maneja el SDK-85 es suficiente para desarrollar las leyes de control deseadas.
- Se puede pensar en un sistema de tiempo compartido para un multi control en motores.

Ejemplo 2.- " Microcomputadores en la Industria Agrícola "

Los microcomputadores pueden realizar seguimiento de parámetros importantes en una máquina o motor determinados. Aún más, pueden ayudar al control de los mismos como se ha visto, ya que son encapsulados y programados para realizar funciones que reemplacen elementos analógicos hidráulicos o uniones mecánicas que realicen un trabajo al cual puedan adaptarse.

Su adaptación ha significado mayor productividad y confiabilidad en la industria agrícola, pudiendo ser programados para diversas funciones y al mismo tiempo fácilmente alterables para desempeñar operaciones diferentes en cada modelo de máquina agrícola. Un reto importante para los proveedores de microcomputadores para la industria agrícola son las especificaciones deseadas en dichos dispositivos. Las fuertes vibraciones, temperaturas y otros disturbios ambientales en el alojamiento del circuito computarizado parecen ser el obstáculo a vencer para los fabricantes de este tipo de equipo, pues los sensores utilizados para obtener información para el controlador deben estar especialmente contruidos y reforzados para estas condiciones de trabajo. En un tractor por ejemplo, el microcomputador controla el gradiente de tirantez entre el tractor y su arado o cualquier otro artículo o herramienta similar. Para un arado por ejemplo, una vez que la hoja ha alcanzado una profundidad por medio de la aplicación de señales a unas válvulas hidráulicas actuadas por solenoide colocadas en el arado. Variaciones en el voltaje en el movimiento de este último son detectadas por medio de sensores inductivos montados en él y proveen al microcomputador de señales de retroalimentación de control para la correcta operación del tractor en conjunto con su arado o herramienta utilizada.

Ejemplo 3.- " Microcomputadora de Bajo Consumo de Energía para Aplicaciones de Instrumentación y Control "

Las características de diseño de esta microcomputadora, hacen que se pueda aplicar en el desarrollo de sistemas de control e instrumentación, especialmente en equipos operados con baterías o en ambientes que requieran alta inmunidad al ruido.

La necesidad de desarrollo de microcomputadoras con bajo consumo de energía para aplicaciones de control ha estado vigente desde hace tiempo viéndose frenada por la poca disponibilidad de microprocesadores construidos en tecnología CMOS y que además ofrecerán un desempeño satisfactorio.

La microcomputadora presentada es una microcomputadora de una sola tarjeta con base en tecnología CMOS de construcción orientada a aplicaciones de instrumentación y control que requieren de bajo consumo de energía como factor primordial. La tarjeta tiene como base al microprocesador MCL46805R2 de Motorola Inc.. Esta microcomputadora puede funcionar en forma intermodular a través del ducto c-44 que es un ducto común para utilizarse en microcomputadoras con bajo consumo de energía. Este ducto conecta señales de direcciones y datos así como de sincronización y control para permitir una comunicación entre módulos.

El equipo computacional desarrollado tiene características que lo hacen adaptable a situaciones industriales ya que esta fabricado en circuito impreso de dos caras con metalización en los agujeros.

Actualmente la microcomputadora se usa en el diseño de varios proyectos de instrumentación científica en la rama de la Geofísica, entre los que se encuentran una base de tiempo geofísica sincronizada por la WWVB y una estación sísmica digital.

Ejemplo 4.- " Un Controlador de Tiempos para Procesos en Tiempo Real Para una Red de Microcomputadoras en Anillo".

Hoy en día microcomputadores de diferentes tipos son usados en diversos procesos y sistemas de control debido a su confiabilidad, compactación y flexibilidad desde el punto de vista de circuitería requerida. En este ejemplo se describe el diseño de un controlador de tiempos para un proceso de control en tiempo real basado en un microcomputador MCS-85 para ser aplicado en una red de microcomputadoras en anillo.

El objetivo primordial es controlar un proceso totalmente, cuyos parámetros o eventos son distribuidos en centros de operación completamente separados. En cada uno de estos centros existe un microcomputador que puede controlar un determinado número de eventos o parámetros.

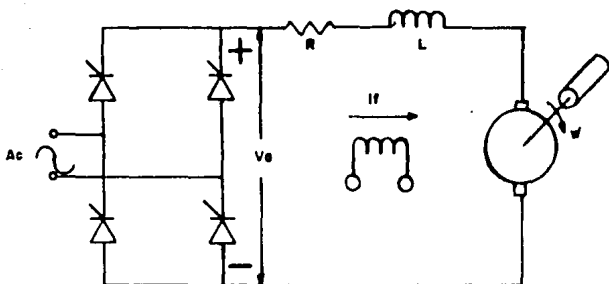


Figura 7.5.

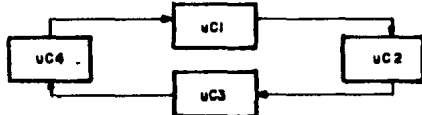


Figura 7.6.

FORMATO DE DESCRIPCION DE PROCESOS	USUARIO
AREA DE ALMACENAMIENTO DE REGISTROS	1
FORMATO DE DESCRIPCION DE PROCESOS	USUARIO
AREA DE ALMACENAMIENTO DE REGISTROS	4
	REGION DE
	↓
	MENSAJES

Figura 7.7.

Una unión unidireccional de comunicación RS-232 mantiene unidos a los procesadores formando una red de microcomputadoras en anillo como se observa en la figura 7.6. Cada microcomputador esta hecho casi dependiente para sí mismo en su lugar de operación; la dependencia o relación entre los microcomputadores se presenta a través de la comunicación de mensajes entre ellos, para sportar la relación parámetro/comando en funcionamiento. La comunicación es establecida por el llamado "Handshaking", de manera que comandos y señales sean tratados como mensajes. El mensaje incluye requisición de datos entre los procesadores o las respuestas a estos, incluyendo comandos para fijar parámetros u operaciones en algún centro de operación por acción de alguno de los procesadores.

Una de las características más importantes de este diseño es que se manejan los procesos del usuario, mensajes y reconocimientos bajo una misma categoría de procesos, lo que es manipulado por un procedimiento común en el control del sistema. La categoría de procesos se guarda en la llamada Tabla de Descripción de Procesos (TDP), que sirve como la base de datos más importante del sistema. En una red con configuración en anillo con unión de comunicación unidireccional, un mensaje del procesador 1 para transferirse al procesador 3 debe pasar por el procesador 2. en tal caso el procesador 2 recibe inicialmente este mensaje del procesador 1 que se direcciona para ser comparado en la TDP. Después de una interrupción por temporizador, el módulo de reconocimiento de mensaje del controlador de tiempos retransmite el mensaje al procesador 3, por medio de la investigación de su destino final. Un mecanismo podría haberse establecido para evitar este protocolo; pero no ha sido incluido por disminución de costos de circuitería. La estructura de la TDP se muestra en la figura 7.7.

El controlador de tiempo real descrito es manejado por tres tipos de interrupciones: interrupciones por temporizador, interrupción de teclado e interrupción de un Receptor-Transmisor Universal Asíncrono, RTUA (Universal Asynchronous Receiver-Transmitter, UART).

Los módulos del controlador de tiempos se pueden dividir en tres categorías desde un mismo punto de vista funcional:

- actualizador.
- Controlador de tiempos.
- Manipulador de comunicación.

- Actualizador.- Esta sección lleva a cabo los trabajos de mantener fresca la información de los procesos, lo que incluye guardar y restaurar valores registrados y de "estatus" de un proceso que se esté llevando a cabo cuando sea necesario, además de mantener actualizada la TDP.

- Controlador de tiempos.- Estos módulos son usados para efectuar decisiones respecto del proceso que se esté controlando, de acuerdo siempre al protocolo basado en prioridad de interrupciones en forma de revisión continua a todos los procesadores. Así el controlador es el responsable del cambio de "estatus" en todos los tipos de procesos residentes en un centro en particular.

- Manipulador de comunicación.- Esta sección o módulo supervisa -- las intercomunicaciones intermicrocomputadores, tomando en cuenta la --- construcción de diferentes mensajes y señales de control en el ducto.

Para procesos de usuario, la prioridad es asignada por el mismo, - escribiendo en la TDP a través de un teclado, a diferencia de los mensajes que son asignados por el sistema operativo de acuerdo a un protocolo predeterminado. La razón para usar un control de tiempos estático, es la de hacer un sistema operativo lo más simple y homogéneo posible, tratando a su vez de mantener su compatibilidad y flexibilidad al máximo. Un controlador de tiempos con algoritmo dinámico, a pesar de proveer gran ---- flexibilidad, requiere una actualización constante de información. Así - el procedimiento general se incrementa, haciendo más lenta la ejecución del sistema operativo, lo que es una desventaja en definitivo.

Como el adecuamiento de un mensaje y el recibo de su reconocimiento requiere de una travesía completa alrededor del anillo, que por lo regular se compone de 4 microcomputadores, el tiempo que se tarda el sistema en efectuar estas dos acciones se presenta en el orden de los 270 --- microsegundos.

El sistema descrito está actualmente en operación y es utilizado para controlar un proceso de teñido de telas.

Ejemplo 5.- " Técnica de Medida Simultánea de Variables Físicas con un Microcomputador ".

Las variables físicas se convierten en frecuencias analogas con la ayuda de osciladores controlados que son conectados a un puerto de entrada del microcomputador a través de Flip-Flops tipo "T", utilizando un bit por señal. El puerto de entrada es rastreado por un tiempo predeterminado durante el cual una cuenta de tiempo es incrementada desde un valor inicial de cero, cada vez que ocurre un tiempo prefijado de retraso. Cuando se detecta una transición de nivel en cualquiera de las señales de frecuencia, una palabra indicadora de transición se guarda en la memoria y la cuenta de tiempo se guarda en el " stack ". Los valores de las variables son computados a partir de estos datos usando una escala predeterminada de valores. Esta técnica de medición reduce los tiempos de medida y mantiene un valor de exactitud prefijado, independiente de las magnitudes de las variables a ser medidas. El método expuesto mejora así las velocidades de medida. Desglosando un poco más el proceso de medición, la filosofía de la técnica empleada es programar al microcomputador para manejar un reloj de tiempo real por un periodo ya determinado y detectar transiciones en los trenes de pulsos que entran al puerto. Cuando una transición es detectada, el microcomputador debe guardar en memoria una palabra de transición igual a una longitud de bit igual al número de señales, con un " 1 " indicando transición y un " 0 " indicando su ausencia. Al mismo tiempo el microcomputador debe guardar en memoria el tiempo transcurrido para cada uno de los instantes de transición. Al final del periodo de tiempo otorgado, los datos obtenidos son procesados por el microcomputador para obtener el número entero de periodos que han sido cubiertos y el intervalo exacto de tiempo para aquellos periodos, esto para cada una de las frecuencias de las señales y así determinar sus periodos de tiempo particulares. El microcomputador finalmente lleva a cabo operaciones aritméticas de división y multiplicación para obtener las variables físicas en unidades adecuadas.

El proceso de medida en forma global, puede ser dividido en su sección de

programación en tres partes llamadas:

- Subrutina de adquisición de información.
- Subrutina de procesamiento de información.
- Subrutina de adecuación de valores.

Para un sistema microcomputador basado en el procesador 8085 de 8 -- bits de tamaño de palabra, un byte de memoria es necesario para guardar -- una palabra de transición y dos bytes de memoria para almacenar la cuenta de tiempo por transición.

Un ejemplo de una medición que se puede realizar con el sistema propuesto es la del ángulo de fase de un par de ondas de la misma frecuencia. Como el ángulo de fase es la diferencia en tiempo de dichas ondas, este -- puede ser medido con este método simultáneo.

La técnica de medición que se usa con el microcomputador tiene el mérito de conservar una resolución y una exactitud de medida dentro de los límites prefijados.

Una característica muy atractiva del proceso de medición es que la -- exactitud de la medida es casi independiente de las frecuencias de las señales y por tanto de la amplitud de las variables físicas. Además la medida simultánea de un número múltiple de variables físicas con un solo tiempo de medida reduce este último en gran cantidad.

El método que se presenta ha sido aplicado en la medición del ángulo de fase. Como el coseno del ángulo de fase da el factor de potencia, el -- sistema propuesto puede ser usado en un medidor de factor de potencia basado en un microcomputador, guardando en una tabla de memoria el coseno -- del ángulo contra el valor del ángulo.

Como un juego de variables físicas son medidas con una expansión de tiempo, la técnica puede ser convenientemente aplicada para la medida de cantidades que son función de variables múltiples como volts-amperes, potencia, energía y similares. De la misma manera diferencias en velocidad -- entre dos unidades motrices en un ámbito industrial que requiera de estas para tener movimiento en algún proceso y que a la vez tienden a variar -- con to

do y la inclusión o fijación de límites, pueden ser medidas por medio de esta técnica por las conversiones de las velocidades en señales de frecuencia correspondientes con transductores de velocidad digitales.

Medidas simultáneas de diferencias de voltajes, secuencia de fases-diferencias en frecuencias y diferencia de fases en la conexión sincronizada de un generador con la línea de potencia de un sistema pueden ser realizadas con el método presentado muy económicamente.

En general el método de medición presentado es un buen prospecto para ser aplicada en instrumentación digital, adquisición de datos, instrumentación de control de procesos etc., donde se desee adquirir información de variables de proceso económicamente con exactitud predeterminada y empleando un tiempo de medición muy pequeño.

Ejemplo 6.- " Un Sistema Computarizado de Control y Rastreo para un Horno en Operación en la Industria del Cemento y Productos Similares."

El sistema es aplicado actualmente en una planta de la industria -- cementera. En ella se hallan en operación 4 tipos de hornos: 2 KVS, uno de C.A. y un horno precalentador P.L.S..

A pesar de que el consumo refractario por tonelada de escoria de -- hulla no estaba fuera de los límites, la frecuencia de ocurrencia de fallas en los hornos y la consecuente pérdida de producción ocasionada por la ruptura en los ladrillos refractarios que componen a los hornos, hicieron enfocar la atención en los factores siguientes:

- problemas refractarios.
- Daño potencial a la estructura externa del horno por no descubrir averías en los ladrillos refractarios.

Además otras fallas ocurrían en el horno, originadas por factores como lo son:

- Carga térmica excedida en el área de "nariz" del horno.
- Compuestos férricos añadidos en gran variedad, introduciendo impac

tos térmicos y desbalanceos que causaban daño a los ladrillos refractarios.

- Falta de elección apropiada para el tipo de ladrillo refractario a usarse en cada zona del horno.
- Anillos de retén en el horno mal colocados o mal alineados.
- Ciclos de trabajo del horno que reducen la vida útil de los ladrillos.

Por otra parte cabe aclarar que la vida útil de los ladrillos en -- los hornos KVS en su etapa óptima es de 1 año, en el horno de C.A. es de 6 meses y en el F.L.S. es de 3 meses. Los problemas listados fueron resueltos en menor grado.

El daño potencial a la estructura externa del horno fué mejor observado y demostrado al percibir la carga de calor en la zona de quemado. Esta carga de quemado en la zona de calentamiento en el horno de precalentado era dos veces la carga en los hornos KVS y 1.4 veces la carga -- del horno de C.A.. Si un ladrillo sufría una ruptura, esto significaba -- que el tiempo disponible para tomar una acción para evitar un daño a la estructura externa, si esta ocurría, era acortado dramáticamente.

Dos rastreadores de radiación infrarroja de estructura externa del horno estaban incluidos en el equipo de los hornos, los cuales fueron de una relativa ayuda en el proceso, presentando las siguientes desventajas:

- Lentitud. aproximadamente media hora se necesitaba para registrar una gráfica de temperatura.
- Cobertura parcial. menos de la mitad de la longitud del horno era rastreada por estas unidades.

Estas limitaciones forzaban a confiar en la inspección visual para detectar puntos sobrecalentados en el horno. Por ende, la prevención de problemas era extremadamente difícil y dependía en gran parte de la suerte, teniéndose en numerosas ocasiones que recurrir a acciones sumamente rápidas y que al mismo tiempo fueran plausibles.

Por todo lo anterior se hizo necesario pensar en un dispositivo de control más exacto, que reportara constantemente información acerca de --

- las condiciones en que se encontraba el horno, todo ello con el objeto de aumentar la producción y mejorar sus tiempos de trabajo. El tiempo ahorrado, permitiría que el operario tomara acciones de control más rápidas que permitieran el dominio de la temperatura en el proceso. Así la oportunidad de registrar el efecto de una acción de control tomada, permitiría lograr un éxito mayor en la obtención del producto.

El sistema de control refractario esta basado en un sistema de supervisión, diálogo y reporte SDR. El SDR es un sistema implantado en la industria cementera para rastrear, reportar y lograr una comunicación hacia y con el operario. Solo un número de variables limitado son manejadas por el sistema. Los circuitos utilizados son un microcomputador, TRC (Tubo de Rayos Cáticos) gráfico, impresora de gráficos, teclado, interfaz de proceso y un rastreado infrarrojo. Esta estructura se ilustra en la figura 7.8. El rastreado de infrarrojo se localiza a 49 metros del horno. Su cabeza rota a razón de 19 ciclos por segundo y percibe la longitud entera del horno. En cada barrido el detector registra la radiación infrarroja emitida a todo lo largo del eje del horno. Esta señal es muestreada a 40 khz y es leída constantemente por la microcomputadora. Las lecturas son preprocesadas y guardadas en una área de memoria llamadas Arreglo de Temperaturas del Horno (ATH). El procesamiento de señales consiste en convertir las señales del rastreador a temperaturas, concentrando estos datos para ordenarlos de acuerdo al lugar donde se originaron en la estructura del horno. El ATH es un arreglo de dos dimensiones donde cada elemento contiene una lectura de temperatura de un punto específico en la superficie del horno aproximadamente de 30 cm cuadrados. Las dimensiones del ATH son una función lineal de la longitud del horno y su circunferencia. El ATH es entonces una imagen de tiempo real de la temperatura de la superficie de información para las funciones de control refractario.

Las funciones del SDR que están relacionadas al control refractario pueden ser divididas en dos categorías:

- funciones gráficas.
- Funciones de punto.

las primeras son las concernientes a la visualización de la temperatura de la estructura interna del horno usando gráficas de computadora - con base a los datos del ATH. Las funciones de punto son las concernientes con valores formados o variables "punto" de un "área" del ATH y adecuando esto a funciones de control de un microcomputador estandard, como las encontradas en el sistema SDR.

Las funciones gráficas ofrecen las siguientes facilidades entre otras:

- gráfica promedio.
- Gráficas de máximos y mínimos.
- Gráficas de tonos grises.
- Gráfica con detalle en gris.
- Proyección tridimensional.

Por otro lado, en el sistema SDR, variables de proceso medidas y calculadas son llamadas "puntos" y están referenciadas por un código de puntos alfanuméricos.

El sistema SDR facilita la capacidad de crear puntos que derivan de su variable punto de acuerdo a un algoritmo especificado y a un área de la superficie del horno. Los dos algoritmos más usados encuentran la máxima temperatura así como su valor promedio de un área específica de la superficie del horno .

Enunciando ahora algunos resultados obtenidos, se tiene hoy en día un equipo de operación donde el sistema es rastreado frecuentemente para detectar problemas y dar al operador suficiente tiempo para tomar acciones de control en el proceso. Un importante beneficio del sistema ha sido la capacitación a operadores. Rastrear la temperatura del horno en caso de algún incidente, observar las consecuencias de las acciones correctivas tomadas en el proceso y el adquirir experiencia por ellos mismos, los operadores, ha resultado de gran beneficio. La información recavada de comportamiento del horno durante trayectos de trabajo determinados, es guardada para futuras revisiones por el departamento de supervisión, logrando así una experiencia compartida para beneficio del personal involucrado.

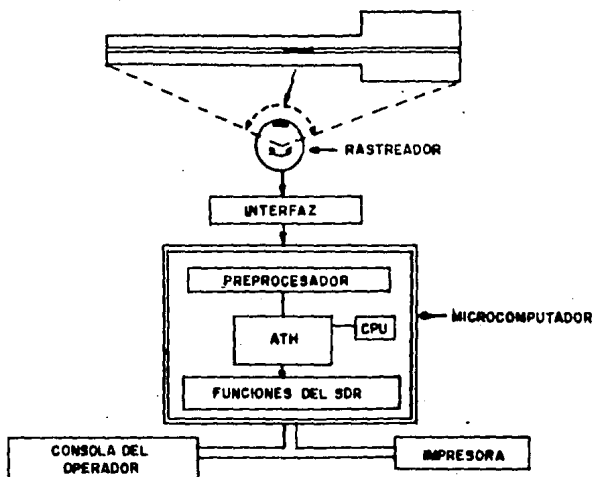


Figura 7.8.

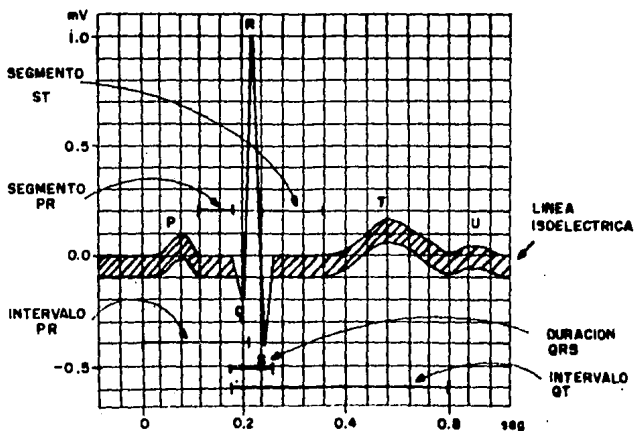


Figura 7.9. Nombres de las ondas del ECG y su cronología.

Como conclusión, se puede asegurar que el sistema ha resultado de gran utilidad en la planta de fabricación, reportando mayor producción con menor costo y mejores resultados en la capacitación de los operad-- res.

Ejemplo 7.- " Microcomputadores en la Predicción de Enfermedades, -
Mediante Análisis de Señales Electrocardiográficas ".

Ciertos problemas en el área de la medicina requieren para su solución de un gran número de cálculos repetitivos y poco manejables. Algunos de estos problemas se presentan en el análisis de señales de electro cardiogramas (ECG).

Por tal motivo, se ha programado un microcomputador que, valiéndose de estadística médica es capaz de analizar ECG y entregar un diagnóstico basado en probabilidades de que el paciente sufra distintas enfermedades por lo cual se debe disponer de una lista de enfermedades asociadas a -- cada tipo de onda o relación de ellas a analizar, además de un cuadro -- estadístico completo. Los nombres de las ondas del ECG y su cronología - se muestran en la figura 7.9.

Los especialistas estudian un ECG ejecutando extracción de formas y usando técnicas de clasificación en forma paralela. La extracción de for mas envuelve detección de ondas, delimitación de ellas, morfología y medida de sus intervalos entre ellas. Las técnicas de clasificación son -- bastante diversas, existiendo favoritismo por los métodos estadísticos. Una manera óptima de clasificar medidas en los métodos estadísticos es utilizar la regla de selección de Bayes. Esta regla de decisión permite con el uso del teorema de Bayes, calcular una probabilidad de que una me dida dada de un ECG, de acuerdo a sus características, pertenezca a una determinada categoría de enfermedad.

La señal ECG es muestreada digitalmente por medio de un convertidor A/D de 8 bits, almacenándose muestras correspondientes a dos ciclos cardiacos consecutivos; luego se identifican todas las ondas que los componen quedando así en condiciones de poder analizar individualmente las -- distintas ondas o relaciones.

Una vez determinados los datos característicos según el tipo de onda o relación a analizar, y que corresponderán a los dos ciclos almacenados, se inicia un ciclo de comparación con valores considerados medicamente normales a fin de establecer su posible anormalidad; de ser así, será necesario pasar con el dato anormal a una siguiente etapa la cual se encargará de entregar un diagnóstico probabilístico. Todos estos datos que contienen la información necesaria para poder entregar resultados en forma probabilística, son obtenidos de historiales médicos de numerosos pacientes, conformando una gran biblioteca de estadística médica. Si se ha comprobado la anomalía del dato característico extraído, se ingresa con él a la columna de la matriz de datos correspondientes que contiene valores similares a la normal, y se intenta asemejarlo a uno de ellos, considerando un rango de variación permitido. El dato de esta columna que más se acerque al dato en examen será el que proporcione la información requerida para la entrega de resultados probabilísticos.

Para proceder con el recibimiento de información en memoria, después de detectarse el primer ciclo en su comienzo, se procede a almacenar los datos correspondientes a dos ciclos cardíacos consecutivos. inmediatamente se efectúan los cálculos relativos a la filtración digital de la señal electrocardiográfica que van siendo guardados en bytes consecutivos de áreas reservadas para ello a fin de obtener el pico R, (figura 7.9). A partir del pico R, se procede a la delineación completa del ciclo en proceso, para lo cual se hace un recorrido de la señal almacenada en memoria (hacia la izquierda y derecha del pico R) analizando los cambios de pendiente y mesetas que contenga; se debe hacer notar que este análisis contempla la existencia de pequeñas fluctuaciones (ruido) que pudiera tener la señal.

La localización de memoria de todos aquellos puntos que marcan la delineación (comienzo, término y pico de cada onda), es almacenado en palabras sucesivas de memoria. Una vez terminada la delineación de ambos ciclos cardíacos el microprocesador entra en su estado de espera, por el ingreso de una clave correspondiente al tipo o relación de onda a analizar. Dicha clave es una dirección de memoria en la que está localizado el proceso requerido según el análisis.

Para la obtención de los datos característicos, el programa recurre a la delimitación ya almacenada de los ciclos cardiacos, de donde recibe la información necesaria. Si uno de estos datos, ya sea del primer o segundo ciclo, resulta anormal, se procede a determinar la probabilidad de que se presenten ciertas enfermedades, las que son almacenadas en bytes consecutivos de un área de resultados, previa conversión a código decimal para su lectura directa (en porcentaje).

Como conclusión se puede afirmar que se ha desarrollado un sistema para análisis automático de ECG. El desarrollo ha consistido en la programación y adaptación de memoria del SDK-86, logrando con esto una metodología de detección de enfermedades muy exacta con el consecuente ahorro de tiempo.

Ejemplo 8.- " Aplicación de los Microcomputadores en el Manejo de Motores Universales ".

¿ Que tiene en común herramientas de potencia, procesadores de alimentos, consolas para discos de memoria de computadoras y artículos de control remoto motorizados ?, la respuesta es precisamente los motores contenidos en todos ellos, siendo en su mayoría del tipo universal y controlables por medio de un microcomputador.

Cada día el uso de motores universales va en aumento, especialmente los utilizados en los hogares y en herramientas motorizadas de potencia haciéndolos fuertes candidatos a ser controlados por un microcomputador, como ya se ha logrado exitosamente. El concepto puede ser aplicado a cualquier motor, independientemente de su tamaño o velocidad.

Existen muchas razones para usar técnicas digitales para el control de un motor; una de ellas es el costo: un microcomputador de 1500 pesos puede substituir el precio de un circuito analógico retroalimentado para controlar solo velocidad.

La configuración que se propone no varía mucho en su idea básica; - un esquema de lazo cerrado con retroalimentación negativa, con la diferencia de usar al microcomputador como controlador además de circuitos de acondicionamiento de señales. El microcomputador realiza además funciones

que van más allá del control de velocidad. Verifica también la corriente del motor contra un número de valores predeterminados y que están grabados en una tabla en la memoria ROM del circuito microcomputador. Usando un programa contenido en ROM el microcomputador limita las corrientes -- instantáneas y continuas de pico de voltaje, permitiendo al fabricante -- construir un motor más pequeño y barato. Se obtiene además una eficiencia mayor con el uso de un dispositivo computarizado. Sin un controlador de velocidad, un motor universal se acelera, tomando máxima corriente de la fuente independientemente de su carga. En cambio con un microcomputador, la velocidad será ajustada a un valor adecuado de corriente aumentando así la eficiencia del motor. Llevar el control del motor mediante la entrada de señales al microcomputador y la salida de estas para llevar a cabo acciones de rastreo o de corrección en su operación es relativamente sencillo.

Una técnica de medición de velocidad compatible con los microcomputadores, es la que utiliza un interruptor de efecto HALL y un disco magnético de diez polos para sensar los cambios en el campo magnético giratorio y convertirlos a equivalentes digitales de velocidad. Después de procesar el "error" en velocidad, el procesador lo convierte en un ángulo de fase al cual puede manejarse un triac del tipo usado generalmente para acelerar o frenar un motor. Los valores de velocidad y torque son convertidos en sus equivalentes ángulos de disparo del triac a través de una tabla grabada en memoria ROM.

La compañía que aplica exitosamente estos dispositivos es General Instrument con microcomputadores de 8 bits en encapsulado individual.

Ejemplo 9.- " Sistema de Alimentación para Minusválidos Basado en un Microcomputador ".

El control computarizado de manipuladores y herramienta mecánica es totalmente alta tecnología; sin embargo donde el espacio, el costo y la potencia de una fuente de poder están limitados, existe una demanda continua para sistemas de control sencillos y eficientes con un modesto grado de exactitud.

Se ha desarrollado un versátil sistema que permite a los minusválidos cuadripléjicos comer con independencia, usando un manipulador controlado por un microcomputador.

El sistema que se describirá permite a los cuadripléjicos dirigir los movimientos de un manipulador con cuatro grados de libertad. Un microcomputador compacto, con base en el microprocesador 8080 de Intel INC -- controla al sistema. El término cuadripléjico se refiere a un individuo que no es capaz o está impedido en sus movimientos del tronco, hombros - cabeza y cuello presentando solo un movimiento escaso en los hombros. Es por lo anterior que para un cuadripléjico, un control de alimentación -- punto por punto aplicado a un manipulador es sumamente difícil y frustrante.

La mayoría de los sistemas digitales industriales o de ayuda a minusválidos que utilizan manipuladores, han requerido minicomputadoras para su control. Los arreglos que usan microcomputadoras, han requerido a menudo arreglos de procesadores múltiples, observando ventajas en este último caso. El sistema que se presenta usa un método de memorización y reproducción de movimientos como estructura fundamental.

Como requerimientos iniciales del equipo se plantearon los siguientes puntos:

- no debería de ser estorboso ni obstruir en su espacio de utilización.
- El manipulador debería de moverse describiendo arcos suavemente.
- Debería a una persona permitir participar en el funcionamiento -- del equipo.

Todos estos requerimientos se llevarían a cabo con la programación del microcomputador de manera de colocarlo en un modo de "aprendizaje". De esta manera, el equipo puede memorizar el patrón de movimientos con la ayuda de alguna persona que auxilie al minusválido en la "enseñanza" que es dada al sistema manipulador para alimentar al incapacitado.

Un ciclo típico de alimentación se ilustra en la figura 7.10:

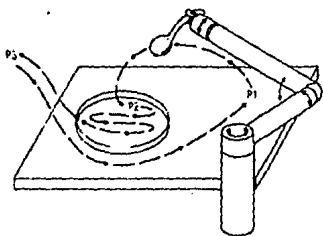


Figura 7.10. Ciclo típico de alimentación para el sistema computarizado que se presenta para el uso de minusválidos.

punto P1.- El manipulador permanece en posición neutral hasta recibir una señal de orden por parte del minusválido.

punto P2.- Con la señal ejecutada, el manipulador se mueve en una trayectoria de obtención de alimento, acción que es detenida al conseguir un trozo de comida deseado por el minusválido.

punto P3.- La comida es llevada por el manipulador en su cuchari--lla hasta la zona de la boca del individuo a consecuencia de la señal da da por él mismo al equipo. En este punto el manipulador espera a que el individuo tome el alimento, después de lo cual se ordena un regreso a la posición del punto P1 o neutral.

Anotado lo anterior, es conveniente listar las especificaciones --del equipo:

- a) la computadora de control debería de ser portátil y adaptable a una silla de ruedas, usando la batería de la misma fuente de po der de la silla.
- b) Los circuitos de soporte y el microcomputador deben operar con fuentes de poder sencillas y a la vez deben ser fáciles de instalar.
- c) La programación del microcomputador debe ser capaz de operar en un modo de aprendizaje, memorizando nuevos movimientos en cualquier momento. Los movimientos pueden ser de naturaleza totalmente ajena a un ciclo de alimentación, como por ejemplo el abrir una puerta.
- d) El sistema debe ser expandible.

Para obtener estas especificaciones el sistema funciona en la forma que se describe a continuación.

El microcomputador es de 8 bits de estructura, de manera que los controladores de movimiento para cada grado de libertad del manipulador deben ser divididos en no más de 256 incrementos. Muchos de los puntos rotatorios del sistema deben ser limitados a un número máximo de 120 grados o lo que es equivalente, 0.47 grados por incremento si se usa una escala lineal. Para el objetivo de alimentación y labores domésticas que se persigue, esta es una amplia resolución.

La conversión de movimiento linear o giratorio a una palabra de 8 bits es más un problema de tipo económico que técnico. Idealmente un disco codificado de 8 bits que permita estas operaciones debería ser utilizado para una conversión simple o directa de estos movimientos a una palabra de 8 bits. Sin embargo estos discos son significativamente más costosos que el sistema empleado: potenciómetros con enrollado de alambre multiplexores analógicos y un convertidor A/D de 8 bits.

Un convertidor A/D transforma el rango de voltaje analógico de -5 a 0 y de 0 a +5 VCD (volts de Corriente Directa) a las cuentas decimales correspondientes de 0,128 y 255 respectivamente. Cada potenciómetro transductor es exitado con -5, 0 y +5 VCD a pesar de que solo se utilice una fracción del movimiento del potenciómetro. Si solo se usa una fracción, los voltajes de excitación son incrementados de manera que -5,0 y +5 VCD aparecen a través de la porción del potenciómetro en uso. La salida de 8 bits del convertidor A/D es conectada al microprocesador vía un puerto de E/S. Cuando alguna persona mueve el manipulador a través de una trayectoria deseada, la computadora guarda la trayectoria en memoria. Durante las ejecuciones de dicha trayectoria, la información proveniente de los cuatro controladores de movimiento, debe ser secuencialmente comparada a los datos de trayectoria almacenados y los datos de error deben también ser desarrollados. después de procesar las señales.

Las salidas de la UCP habilitan secuencialmente los cuatro convertidores D/A. cada convertidor D/A controla una de las cuatro unidades motoras a través de un amplificador de potencia. El diagrama general se esquematiza en la figura 7.11.

Respecto a la programación, el microcomputador debe desempeñar dos funciones principales; una es el control y rastreo de los motores, dirigiendo cada uno para buscar una posición y cuando alcanza esta posición. La segunda función es coordinar la operación general del sistema seleccionando el movimiento a ejecutar, responder a las señales del movimiento a ejecutar, responder a las señales de control y guiar al manipulador a través de movimientos completos. Como sucede por lo general la configuración de interfaces y circuitos determinó la forma de la estructura de las subrutinas de operación.

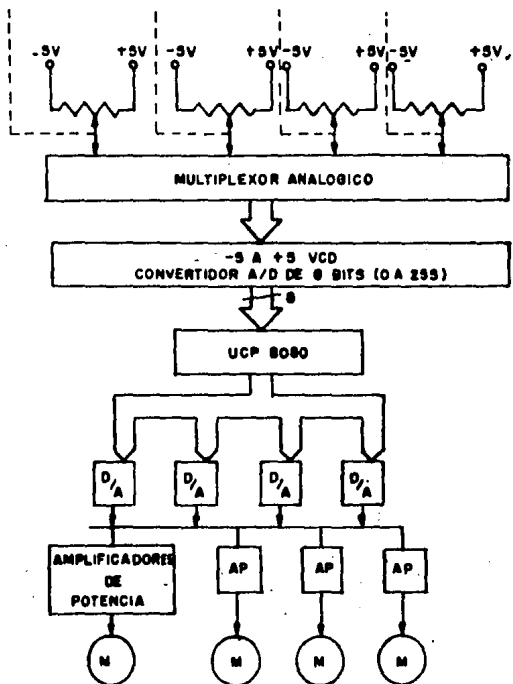


Figura 7.11. Estructura básica del sistema de alimentación para minusválidos.

Cuatro son las subrutinas del programa que gobierna al manipulador:

- programa ejecutivo.- Es el encargado de la operación general del sistema.
- Subrutina de Motores.- Contiene el control de cada uno de los --- cuatro motores por medio del multiplexaje de información a los -- puertos de entrada.
- Subrutina de Aprendizaje de Trayectoria.- Contiene el procedimien- to para guardar en memoria la trayectoria a seguir por el brazo - manipulador.
- Subrutina de Reproducción de Trayectoria .- Mantiene residente el procedimiento de ejecución de la trayectoria deseada, previamente adquirida en la memoria por la subrutina anotada anteriormente.

Una vez descrito el equipo en forma general, es conveniente enun---
ciar que ha sido utilizado en forma exitosa. La comida ha de ser consumi-
da en trozos previamente cortados de tamaño adecuado para adaptarse a la
cucharilla del manipulador, habiéndose logrado que el minusválido pueda-
comer chécharos inclusive sin ningún problema. El sistema ofrece gran in-
dependencia, por lo que el cuadripléjico lo encuentra altamente deseable.

Ejemplo 10.- " Un Microcomputador de 16 Bits en el Control de un --
Brazo Robot Soldador ".

Alta velocidad y alta resolución, no son generalmente dos caracte-
rísticas asociadas con microcomputadores en encapsulado sencillo indivi-
dual. Circuitos integrados microcomputadores de 4 bits con todo y su po-
pularidad tienen una capacidad de computación mínima. Los microcomputado-
res de 8 bits no manejan comodamente datos mayores de una palabra de 8 -
bits, ni ofrecen tampoco un procesamiento de datos muy extenso en lo que
respecta a más de 8 variables físicas a sensar.

El microcomputador de 16 bits TMS9940 es el primero en limitar las-
limitaciones de los similares de 8 bits. Puede llevar a cabo computacio-
nes matemáticas complejas en datos que representen parámetros físicos --
que demanden una resolución mayor de 8 bits, y a la vez, puede realizar-
esto con gran rapidez. Además sus instrucciones cumplen mucho más opera-
ciones usando programas más cortos.

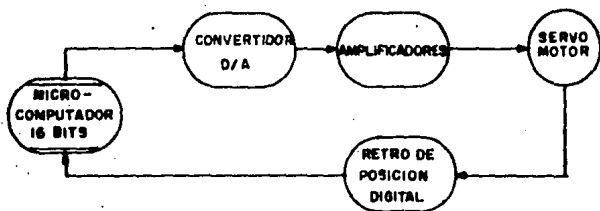
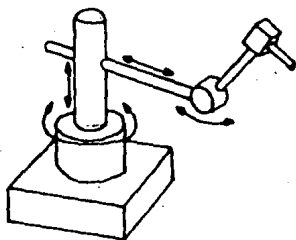


Figura 7.12. Esquema del brazo robot soldador y un lazo de control para el movimiento en un eje.

Una esquematización del brazo robot se hace en la figura 7.12. En ella se observan cuatro movimientos separados controlados, que tienen lugar en el brazo para trabajar una pieza en tres dimensiones.

Un lazo separado cerrado por el microcontrolador, controla en cada movimiento (solo se muestra un lazo). La resolución de 16 bits del microcomputador representa movimiento rotatorio con una exactitud del 1% por grado o movimiento translacional de una milésima de pulgada en un rango de 36 pulgadas. Para proveer estos mismos valores de resolución, un microcomputador de 8 bits habría requerido aritmética multiprecisa utilizando por supuesto más instrucciones.

Con este último ejemplo, se concluye la sección de este capítulo dedicada a la descripción de aplicaciones de los microcomputadores en diversos sistemas que se encuentran en operación con base en los dispositivos analizados.

Como se pudo apreciar, todos los equipos y maquinaria descritos, están actualmente en operación o por lo menos son prototipos que igualmente se hallan en marcha para ser producidos o puestos a funcionar en serie en diversas áreas. Las anteriores ejemplificaciones son útiles para concretar también ciertas conclusiones acerca de la importancia y adaptación de los microcomputadores en cada uno de los campos abarcados. Cada conclusión es extraída y enunciada como representativa de lo que se podría denominar una visión general que abarque y contenga una idea clara, fundamental y básica sobre lo trascendental que es el llegar a instalar un microcomputador como centro de control o ayuda en un sistema determinado.

Las principales ventajas que se obtienen en forma general en cada uno de los equipos con la aplicación y utilización de un microcomputador se pueden enunciar como:

- 1.- exactitud en todos los equipos desarrollados, a causa de la resolución ofrecida por los diversos tipos de microcomputadores empleados.
- 2.- Bajo costo y economía en cada aplicación, representada por el tipo de circuitos de interfaz utilizados y por el bajo precio de -

los microcomputadores que tienden a hacerse más accesibles por su producción en serie.

- 3- Confiabilidad en el funcionamiento de los equipos, a causa de la gran repetitividad que presentan los microcomputadores en la ejecución de instrucciones de proceso continuas o también señales de control a dispositivos aledaños o periféricos que conformen a todo un sistema.
- 4- Facilidad de operación mediante una capacitación y enseñanza adecuada al usuario, la cual es llevada a cabo fácilmente, requiriendo en algunos casos de experiencia que no tarda mucho tiempo en ser adquirida.
- 5- Gran capacidad de almacenamiento de datos, siendo preferentemente tablas de valores de variables físicas de posición o de constantes que sirvan a un sistema para fijar un plan de operación determinado.
- 6- Accesibilidad al sistema, lo cual es confirmado por los diversos métodos de comunicación que existen en aplicación en la relación hombre-máquina o en otro sentido, la facilidad que el diseñador ofrezca para tener entrada a los circuitos del sistema.
- 7- Rapidez en la ejecución de tareas diversas, que es llevado a cabo por la misma velocidad que ofrecen los circuitos transistorizados del microcomputador y sus interfaces añadidas para su operación.
- 8- Inclusión en el mismo encapsulado del microcomputador de sistemas de interfaz diversos, como convertidores A/D, contadores/temporizadores, memoria de capacidad "X" o controladores de TRC's.
- 9- Adaptabilidad a un gran número de procesos o sistemas a diseñar-incluyendo maquinaria, dispositivos de potencia, equipo médico y un sin fin de aplicaciones más.

Todos los incisos anteriores abarcan lo importante que es el adaptar un microcomputador a sistemas o equipos determinados. Es conveniente aclarar que la categoría de los ejemplos escogidos en sus diferentes ramas, representa la misma causa de su elección. Todos ellos fueron elegidos por lo representativo de sus funciones en las diversas áreas, lo que a la vez ayudó a formar la lista de conclusiones escrita en los párrafos anteriores, tratando siempre de generalizar sobre un criterio que enuncie

lo mejor posible la importancia de diseñar y construir equipos con base en un microcomputador. A continuación se discuten dos problemas de adaptación que se presentan al intentar o iniciar el diseño de un sistema -- basado en un microcomputador.

Como se mencionó en los párrafos previos a la descripción de los ejemplos, existe una parte fundamental en el sistema que se planea construir y diseñar que es el bloque correspondiente a la interfaz. Como se indicó oportunamente, este bloque cobra una gran importancia al representarse -- como el encargado de adaptar las señales del proceso o dispositivos a -- controlar a aquellas otras equivalentes que sean compatibles con un sistema digital como lo es el conjunto microcomputador.

El objeto de mencionar este importante bloque es el siguiente: seguramente la carrera de los microprocesadores y microcomputadores seguirá su curso frenéticamente, lo que implica un reto de aprendizaje constante a los especialistas en la materia. Tal vez un desafío más fuerte será en el futuro (y empieza a serlo actualmente) el diseño de estos bloques -- de interfaz por el ingeniero, pues lo importante radica o radicará en la habilidad de diseño de la interfaz o interfaces que comunicarán lo más -- exacta y adecuadamente posible al microcomputador con sus elementos a -- controlar y manipular.

Por otro lado, hay que hablar también del procedimiento a que dá lugar el diseñar la interfaz, siendo esta una tarea que requiere de gran -- habilidad para lograr un funcionamiento óptimo. Al diseñar un circuito -- de interfaz, el individuo se enfrenta a una parte trascendental en la obtención de un buen sistema. Tendrá que considerar un número determinado de opciones, escogiendo la que más se adapte a las necesidades de exactitud y operación del sistema. En algunas ocasiones se tendrán que adaptar circuitos totalmente disímiles a la interfaz para lograr un buen funcionamiento; pero en otras ocasiones será la interfaz quien tenga que ofrecer facilidad al sistema. Asimismo el equipo requerirá de medir variables a las cuales adaptarles un sistema de interfaz o acondicionamiento de señales resulte muy difícil o costoso, con lo que probablemente se tendrá que buscar la manera indirecta de lograr obtener esta información, a través de otra información más accesible que a la vez reporte datos análogos o proporcionales a la variable a medir o registrar.

Como se puede apreciar, el diseño de interfaces constituye en la adaptación de un microcomputador a un sistema industrial o de propósito específico, una parte fundamental que abarca y abarcará en gran medida el funcionamiento óptimo del equipo que se haya construido.

El segundo problema que se plantea ahora es el concerniente al ambiente de operación del microcomputador, detalle que no puede pasarse por alto al pretender adaptarlo a un ámbito que no permita su inclusión por perturbar su funcionamiento en alguna forma y que no se haya observado en el momento de su elección. Ha de buscarse siempre un lugar de operación para el microcomputador que respete las especificaciones del fabricante. En caso de tenerse que colocar el dispositivo en condiciones críticas de trabajo, conviene escoger un circuito microcomputador que mejor se adapte al medio donde tendrá su operación. Lo anterior en muchos casos no será suficiente, ya que convendrá siempre protegerlo contra situaciones inesperadas y que por lo regular están fuera del alcance de un vigilante u operario.

Como parte final de este capítulo se puede enunciar:

- el diseño de un sistema basado en un microcomputador puede ser dividido en dos partes: su circuitería y su programación.
- El diseño de su circuitería abarca todo aquello relacionado con la conexión entre sus distintos componentes que lo conforman para completar el sistema en sus partes analógicas y digitales, incluyendo el importantísimo bloque de interfaz.
- El diseño de su programación es lo concerniente al desarrollo de los programas para cada aplicación en específico.
- La importancia de los microcomputadores en la industria y en aplicaciones específicas radica en características que hacen más eficiente al sistema en todo sentido.
- La adaptación de un microcomputador en la industria en general y en equipo de propósito específico es totalmente factible enfrenando retos de diseño en el bloque de interfaz y de adaptación y elección del microcomputador al medio de trabajo, confrontando además detalles de requerimientos específicos para el óptimo funcionamiento del sistema como tal.

CONCLUSIONES

Con base en los capítulos contenidos en el trabajo de tesis desarrollado, se ha pretendido lograr una explicación y una justificación acerca de cada una de las secciones que forman el sistema de prueba presentado, -- así como el porqué de todas ellas, con apoyo en un marco teórico-práctico que de alguna u otra manera participa y ayuda a la mejor comprensión del sistema presentado, mismo que sostiene los argumentos expuestos en este trabajo.

Considerando ahora todo lo anteriormente descrito a lo largo de la tesis presentada, puede desprenderse como conclusión fundamental y más importante la siguiente:

" se ha logrado aumentar la calidad y producción de un producto -- electrónico de aplicación en la industria automotriz, mediante -- la reducción de los tiempos de prueba en la línea de producción -- en un porcentaje promedio del 62%, empleando para ello, la automatización de un sistema de prueba basado totalmente en un micro computador en operación conjunta con circuitos electrónicos de -- apoyo, conformando un equipo que se adapta a la planta de fabricación y que ha sido diseñado y construido enteramente en nuestro país ".

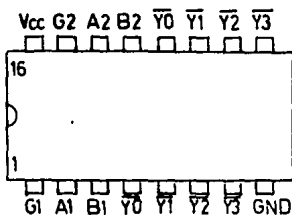
El haber desarrollado el equipo en nuestro país constituye un factor significativo que demuestra la alta posibilidad siempre palpable de diseñar y construir estos equipos en el país, adaptándose cada vez más -- a las necesidades de la industria nacional y lograr en algún grado la -- sustitución de importación de tecnología que bien se puede llevar a cabo paulatinamente e iría aumentando.

Al emplear mayor cantidad de componentes del mercado nacional en -- la manufactura de equipo electrónico de prueba, el fabricante puede y de -- be llegar a percibir que su producto no será ya solo una parte mínima en la operación de un circuito electrónico, sino que constituirá ahora un --

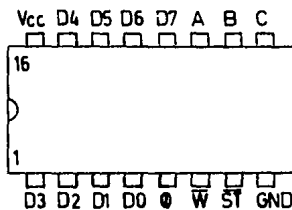
elemento que puede llegar a emitir o a reportar el valor de un parámetro que puede ser decisivo en enunciar un juicio de aprobación o rechazo en un lote de producción, y que por lo mismo debe ofrecer exactitud y confiabilidad para llegar a ser parte de un sistema de prueba que ofrezca -- estas mismas características.

Para concluir, es importante hacer mención del reto que se presenta en un futuro próximo y actualmente a la industria electrónica y que radica no solo en el hecho de crear y desarrollar productos y equipos -- electrónicos más avanzados y sofisticados, sino también en el respaldo -- que ofrezca un sistema de prueba para garantizar y respaldar la calidad, confiabilidad y exactitud de operación del producto ofrecido, lo que a -- la larga, dará mayor oportunidad de desarrollo a la industria abriéndole nuevas fuentes de expansión.

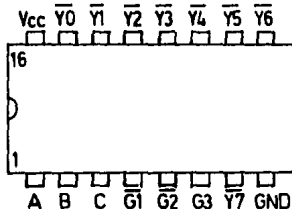
Lo anterior podría resumirse en la inevitable creación o concepción de un pequeño sistema simbiótico entre el producto o sistema electrónico y el equipo que respaldará su calidad de operación a través de -- su verificación, ofreciendo con esto mayor confiabilidad en su campo industrial de aplicación, siendo este último tan variado como lo permita -- la inventiva humana.



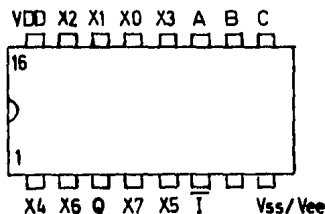
C. I. 74139.
Decodificador doble de
2 a 4 líneas.



C. I. 74151.
Multiplexor digital de
8 líneas a una.



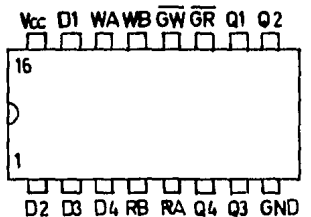
C. I. 74138.
Decodificador de
3 a 8 líneas.



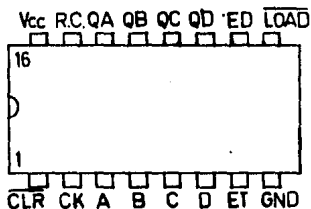
C. I. 14051
Multiplexor analógico
de 8 líneas a una.

APENDICE A

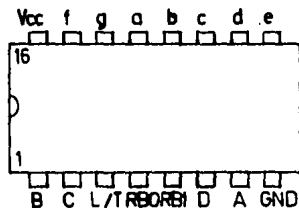
Diagramas de distribución de terminales de los circuitos integrados utilizados en el sistema de prueba.



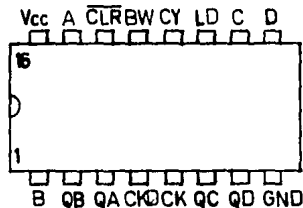
C. I. 74170.
Archivos de 4 x 4, de
lectura y escritura
simultánea.



C. I. 74161.
Contador binario de
4 bits.



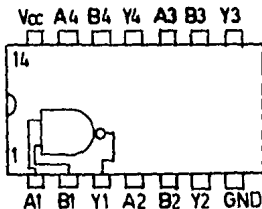
C. I. 7447
Decodificador de B D C
a 7 segmentos con mani
pulación de cuadros in
dicadores.



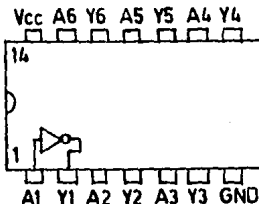
C. I. 74193
Contador arriba/abajo
de 4 bits, binario.

APENDICE A

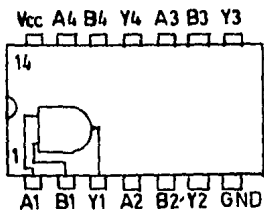
Diagramas de distribución de terminales de los circuitos integrados utilizados en el sistema de prueba.



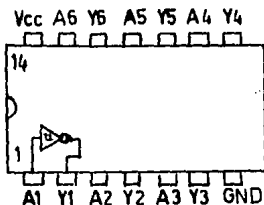
C. I. 7400.
Compuerta "NAND" cuádruple
de dos entradas.



C. I. 7404.
Inversores sextuples.



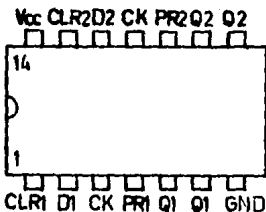
C. I. 7408.
Compuerta "AND" cuádruple
de dos entradas.



C. I. 7414. *
Inversores sextuples con
disparador de Schmitt.

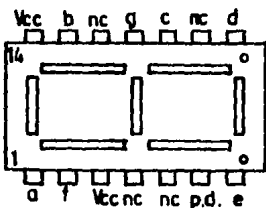
APENDICE A

Diagramas de distribución de terminales de los circuitos integra
dos utilizados en el sistema de prueba.



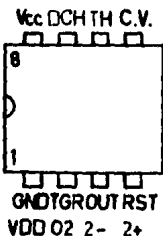
C. I. 7474.

Flip/Flops tipo "D" dobles con función de "preset" y "clear".



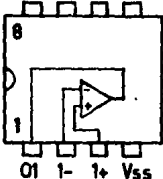
C. I. TIL 312.

Cuadro indicador de 7 segmentos de ánodo común.



C. I. NE 555.

Temporizador de precisión.

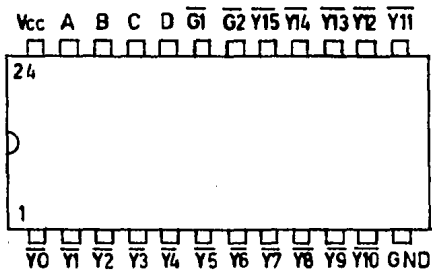


C. I. LM 358.

Amplificador operacional de baja potencia.

APENDICE A

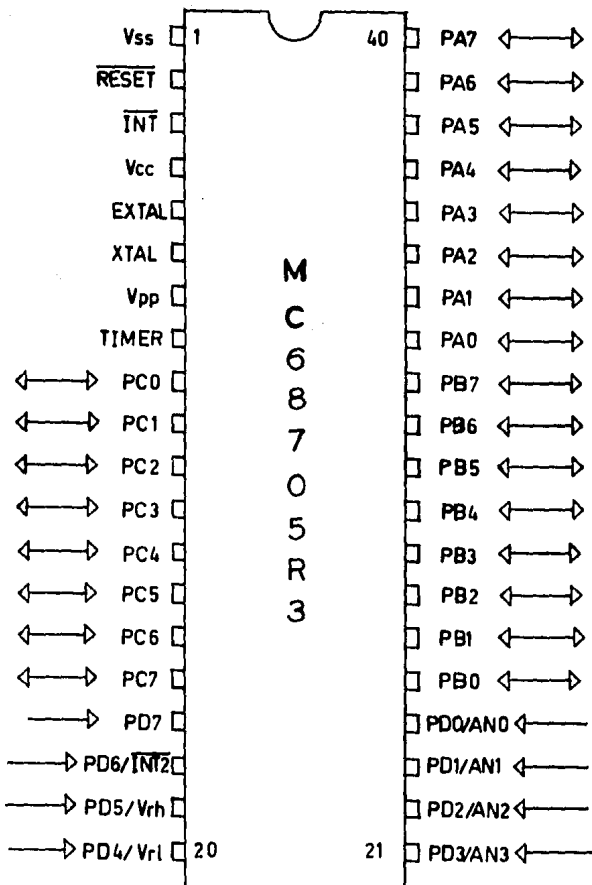
Diagrama de distribución de terminales de los circuitos integrados utilizados en el sistema de prueba.



C. I. 74154. Decodificador de 4 a 16 líneas.

APENDICE A

Diagrama de distribución de terminales de los circuitos integrados utilizados en el sistema de prueba.



APENDICE A

Esquema de distribución de terminales del microcomputador MC68705R3 y dirección de flujo de información en los puertos que posee.

B I B L I O G R A F I A

- 1.- MILLMAN J. y HALKIAS C., INTEGRATED ELECTRONICS: ANALOG AND DIGITAL CIRCUITS AND SYSTEMS.
E.U.A., McGraw-Hill, 1972. (McGraw-Hill Electrical and Electronic Engineering Series).
- 2.- MANO m. morris, DIGITAL LOGIC AND COMPUTER DESIGN.
E.U.A., Prentice-Hall Inc., 1979.
- 3.- PEATMAN j.b., MICROCOMPUTER BASED DESIGN.
E.U.A., McGraw-Hill, 1977.
- 4.- " Production Testing: Moving Toward the Factory of the Future" por Ron Iscoff en ELECTRONIC PACKAGING AND PRODUCTION, Vol. 23 No. 1, Enero de 1983, Canners Publishing Co., p-p 72-76.
- 5.- " On-chip and Functional Testing Spearhead Attack on VLSI Systems ", por Jerry Lyman y Richard W. Comerford en ELECTRONICS, Vol. 55, No. 22, Noviembre de 1982, McGraw-Hill Inc., p-p 100-104.
- 6.- " Microsystem Reliability Testing ", por Beth Miller en ELECTRONICS TEST, Vol. 6, No. 11, Noviembre de 1983, Morgan Gramplan Publishing Co., p-p 48-54.
- 7.- " System Comparisons Can Simplify Selection of a Parametric -- Tester ", por Michael Levis en ELECTRONICS, Vol. 57, No. 2, -- Enero de 1984, McGraw-Hill Inc, p-p 127-130.
- 8.- " Automating Burn-In Board Loading and Unloading ", por Rune Pearson y Scott Crump en E.E. (EVALUATION ENGINEERING), Vol. 22, No. 1, Febrero de 1983, A. Verner Nelson Associates, p-p 48-52.

- 9.- " Automated Service, New Methodologies and Tools Speed Factory and Field Repair ", por Richard M. Comerford en ELECTRONICS, - Vol. 55, No. 24, McGraw-Hill Inc., Noviembre de 1982. p-p 96--109.
- 10.- " Farm Equipment Adds Microcomputers ", por Richard Steele en ELECTRONICS, Vol. 37, No. 13, McGraw-Hill Inc., Enero de 1979 p-p 46.
- 11.- " A Design Philosophy For Microcomputer Architectures ", por Dennis R. Allison en COMPUTER, Vol 10, No. 2, IEEE, 1985, p-p 16-22.
- 12.- " General Instruments Envisions Smart Motors ", por Tom Slade en ELECTRONICS, Vol. 37, No. 14, McGraw-Hill Inc., Febrero de 1979, p-p 41.
- 13.- " A Computer-Based Kiln Shell Temperature Monitoring System " por John A. Hall, Niels G. Braun y Gert Slot en IEEE TRANSACTIONS ON INDUSTRY APPLICATIONS, Vol. 32, No. 2, Mayo de 1985-IEEE.
- 14.- " A Technique For Simultaneous Measurement With a Microcomputer ", por N Chaudhuri, Sukumar Ghosh y A. M. Ghosh en IEEE - TRANSACTIONS ON INDUSTRIAL ELECTRONICS., Vol. 32, No. 2, Mayo de 1985, IEEE.
- 15.- " Microcomputer as a Programmable Controller For State Feed--back Control of a D.C. Motor Employing Thyristor Amplifier ", por Nisit K. De, Satyabroto Sinha y Avit K Chattopadhyay en - IEEE TRANSACTIONS ON INDUSTRIAL APPLICATIONS, Vol. IA-21, No4 Mayo, Junio de 1984, IEEE.
- 16.- " A Real Time Process Scheduler For a Ring Type Microcomputer Network ", por Pranay Chaudhuri, Kalarab Raj y Sukumar Ghosh- en IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS, Vol. IE-32, - No. 1, Febrero de 1985, IEEE.

- 17.- " Microcomputadora de Bajo Consumo de Energía para Aplicaciones de Instrumentación y Control ", por Carlos Duarte y Fernando Favela en MEXICON 83, Edición noviembre de 1983, Centro de Investigación Científica y de Educación Superior de Ensenada B.C.N. (CICESE), p-p 17.3.1, 17.3.4.
- 18.- " Microcomputer Aided Eating For the Severely Handicapped ", por R.L. Ramey, J.H. Aylor y R.D. Williams en COMPUTER, Vol.-12, No. 1, IEEE, 1985, p-p 266-273.
- 19.- " Microcomputadores en la Detección de Enfermedades Mediante el Análisis de Señales Electrocardiográficas ", por Francisco Altieri y Gonzalo Téllez Fuentes en MEXICON 83, 1a. Edición, - Noviembre de 1983, Universidad de Santiago de Chile, Chile, - p-p 41.3.1- 41.3.4.
- 20.- M6805, M146805 FAMILY MICROCOMPUTER AND MICROPROCESSOR USER'S MANUAL.
1a. Edición, Motorola Inc., 1980.
- 21.- MOTOROLA MICROPROCESSOR DATA MANUAL.
1a. Edición, Motorola Inc., 1981.
- 22.- THE TTL DATA BOOK.
6a. Edición, Texas Instruments Inc., 1981.
- 23.- RCA CMOS CIRCUITS DATA BOOK.
2a. Edición, RCA, 1980.
- 24.- MOTOROLA LINEAR CIRCUITS DATA BOOK.
1a. Edición, Motorola Inc., 1980.