

ESTA TESIS NO DEBE
SALIR DE LA BIBLIOTECA

300617

13

2y



UNIVERSIDAD LA SALLE
ESCUELA DE INGENIERIA
INCORPORADA A LA U. N. A. M.

DESARROLLO DE UN MICROCOMPUTADOR EDUCATIVO CON EL MICROPROCESADOR Z-80

TESIS PROFESIONAL
QUE PARA OBTENER EL TITULO DE
INGENIERO MECANICO ELECTRICISTA
CON ESPECIALIDAD EN INGENIERIA ELECTRONICA
P R E S E N T A
PATRICIA VASQUEZ AGUILERA

TESIS CON
FALLA DE ORIGEN

MEXICO, D. F.

1985



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

I N D I C E

INTRODUCCION : OBJETIVOS	1
CAPITULO I : INTRODUCCION A LOS MICROCOMPUTADORES Y SELECCION DEL MICROPROCESADOR	6
A.) CONCEPTOS BASICOS DE LOS MICROPROCESADORES	6
B.) ANALISIS COMPARATIVO DE DIVERSOS MICROPROCESADORES DE 8 'BITS'	17
C.) SELECCION DEL MICROPROCESADOR Y JUSTIFICACION .	24
CAPITULO II : DISEÑO DEL MICROCOMPUTADOR CON Z-80 .	29
A.) ARQUITECTURA DE LA UNIDAD CENTRAL DE PROCESO (Z-80)	30
B.) REQUERIMIENTOS DE MEMORIA RAM Y EPROM	45
C.) REQUERIMIENTOS DE PUERTOS DE E/S	48
CAPITULO III : DESARROLLO DEL MICROCOMPUTADOR	49
A.) OSCILADOR E INTERFAZ DE LA C.P.U.	49,50

B.) DIRECCIONAMIENTO DE MEMORIA	53
C.) DIRECCIONAMIENTO DE PUERTOS DE E/S	57
CAPITULO IV : PROGRAMACION DEL MICROCOMPUTADOR EDUCATIVO	63
A.) PROGRAMACION DE PUERTOS DE E/S	63
B.) DEFINICION DE LOS MODOS DE INTERRUPCION	66
C.) SISTEMA OPERATIVO	67
CAPITULO V : TEORIA DE OPERACION	72
A.) FUNCIONAMIENTO	72
B.) COMANDOS DE SISTEMA	83
CAPITULO VI : PRACTICAS DIVERSAS PARA DEMOSTRAR EL PODERIO DEL Z-80 CONTRA EL 8085	115
PROGRAMA CON LA UTILIZACION DEL 'RDKBD' Y 'UPIDT'..	116
A.) PROGRAMA PARA EL MICROPROCESADOR 8085.....	116
B.) PROGRAMA PARA EL MICROPROCESADOR Z-80.....	116
SUMA DE DOS NUMEROS EN NOTACION HEXADECIMAL.....	117

A.) PROGRAMA PARA EL MICROPROCESADOR 8085.....	117
B.) PROGRAMA PARA EL MICROPROCESADOR Z-80.....	117
FLASH 'GABY'.....	118
A.) PROGRAMA PARA EL MICROPROCESADOR 8085.....	118
B.) PROGRAMA PARA EL MICROPROCESADOR Z-80.....	119
SUMA DE CUATRO DIGITOS, DESPLEGANDOCE EL RESULTADO EN LA ZONA DE DATOS.....	120
A.) PROGRAMA PARA EL MICROPROCESADOR 8085.....	120
B.) PROGRAMA PARA EL MICROPROCESADOR Z-80.....	121
BUSQUEDA DE CARACTERES INTRODUCIDOS POR EL TECLADO DESDE LA DIRECCION 1100 A LA 110A.....	123
A.) PROGRAMA PARA EL MICROPROCESADOR 8085.....	123
B.) PROGRAMA PARA EL MICROPROCESADOR Z-80.....	123
MOVIMIENTO DE UN CONJUNTO DE CARACTERES DE UN GRUPO DE LOCALIDADES A OTRO.....	124
A.) PROGRAMA PARA EL MICROPROCESADOR 8085.....	124
B.) PROGRAMA PARA EL MICROPROCESADOR Z-80.....	125
CONCLUSIONES	126
APENDICE A: INTEFRADOS	130
APENDICE B: INTERFAZ	206

APENDICE C: CODIGO DE INSTRUCCIONES 213

APENDICE D: SET DE INSTRUCCIONES 240

BIBLIOGRAFIA 249

I N T R O D U C C I O N .

I N T R O D U C C I O N =====

Aunque los microprocesadores aparecieron hace ya algunos años, actualmente se están imponiendo con gran fuerza y las nuevas generaciones de ingenieros, particularmente sensibles y atentos a las innovaciones tecnológicas han comprendido que el microprocesador está destinado a convulsionar el mundo de la electrónica.

Efectivamente, el microprocesador está abriendo nuevos caminos y facilitando el diseño de sistemas complejos, ofreciendo una gran flexibilidad y posibilitando la introducción de nuevas opciones en los sistemas ya construidos.

Entre las muchas ventajas que proporcionan estos dispositivos cuenta la reducción de costos en innumerables aplicaciones en las que docenas de circuitos integrados pueden ser reemplazados por unos pocos "Chip's".

Los microprocesadores, están siendo utilizados en numerosas y muy variadas aplicaciones, cubriendo un amplio espectro que abarca desde Comunicaciones a la Industria, Productos de consumo, Instrumentación y las Computadoras. Dentro de esta gama de aplicaciones se pueden citar sistemas tan variados como el control de procesos, control numérico, terminales inteligentes, sistemas de ventas, Juegos electrónicos, instrumentos autocalibrados, equipos biomédicos, aplicaciones militares, control de vehículos, proceso de datos, electrodomésticos, etc.

Para desarrollar un sistema de microcomputador usando uno o varios microprocesadores y otros elementos auxiliares, es necesario disponer de ayudas tanto en el campo del 'Hardware' como en el campo del 'Software'.

En efecto, al Ingeniero de Proyectos habituado a pensar en 'Hardware', no resulta tarea facil ni comodo familiarizarse con el 'Software'. Para ello se han desarrollado Microcomputadores especificos de características tales, que permitan soportar el 'Software' necesario para el desarrollo de sistemas y cuyas posibilidades de capacidad de memoria y de entradas y salidas, los hacen adecuadas para el ensamble, la edicion y la operacion de sistemas desarrollados con microprocesadores.

Despues de hacer un pequeno estudio de diversos micros se escogio el Z-80, ya que dicho microprocesador posee un poderoso grupo de instrucciones y el diseno del 'Hardware' no es muy complicado.

Comercialmente esta disponible en el mercado y su costo es bajo a comparacion de los demas microprocesadores.

En lo referente a la arquitectura de los microprocesadores de 8 'Bits' es decir a la organizacion interna de los registros y las unidades operativas, todos ellos siguen un esquema comun, aunque haya diferencias notables entre unos y otros.

En lo que respecta al 'Software' existe una gran

diferencia entre ellos, ya que como por ejemplo, el Z-80 tiene mayor riqueza en su conjunto de instrucciones, que el del 8085, facilitando así al programador un fácil manejo de "Mnemonics" para la elaboración de programas.

De los microprocesadores de 8 "Bits" el Z-80 es el más popular en México, ya que lo utilizan varias microcomputadoras personales, como la CROMEMCO, LNW, RADIO SHACK, etc., además de ser también utilizado en impresoras, memorias inteligentes, graficadoras, terminales de video, pesadoras digitales, etc.

El principal objetivo de esta tesis, es el de diseñar un Kit Educativo con el microprocesador Z-80, el cual tuviese las siguientes características:

1.- Constituirlo con una capacidad de memoria RAM y EPROM de 4K cada una. ⁴

2.- Que tuviese un puerto de E/S serie y 2 puertos de E/S paralelo.

3.- Un controlador de "Display" y Teclado programable.

4.- Un oscilador que provea las frecuencias requeridas.

5.- Un "TIMER" programable.

6.- Que posea un área externa determinada donde se puedan tomar las señales correspondientes al microprocesador y Puertos sin que el usuario tenga que trabajar sobre el Hardware propio del Kit.

El primer punto es con la finalidad de que el usuario pueda realizar programas tan complejos sin la necesidad de un alambrado extra. El usuario podra utilizar los 4K de memoria RAM, pero no podra hacer uso de los 4K de memoria EPROM por completo ya que seran utilizados 2K de dicha memoria para el Sistema Operativo, pudiendo utilizar solo los 2K restantes siendo estos suficientes para el usuario.

El puerto serie es implementado con el fin de que el usuario pueda hacer uso de una terminal, y no solo la utilizacion del propio teclado del Kit para llevar a cabo sus programas. Ademas cuenta con 2 puertos paralelo para darle el uso que mas le convenqa.

El controlador de 'Display' y Teclado tiene como finalidad que el Kit objeto tenga su propio teclado, sin la necesidad de tener que trabajar con una terminal (en caso de que no tuviese una a su alcance).

§

El oscilador debera estar constituido de un cristal el cual nos dara la frecuencia para el microprocesador; ademas debera tener un 'Timer' programable para que este nos suministre las frecuencias requeridas para determinados dispositivos (como por ejemplo el 8251 para la transmision y recepcion de datos).

Y por ultimo, debera estar constituido por una zona, en la cual se tendran todas las seniales tanto de la C.P.U. como de los puertos de E/S paralelo.

Esto es con el fin de que el usuario si en cierto momento llegara a necesitar alguna senial de la C.P.U. (por ejemplo), no tenga que abrir el Kit para alambrrarla, dando asi la facilidad al usuario de que pueda hacer uso de estas seniales.

Otra de las finalidades de esta tesis fue la de que los estudiantes conozcan tanto teorico como practico el manejo de otro microprocesaedor de 8 'Bits'.

**CAPITULO I : INTRODUCCION A LOS MICROCOMPUTADORES Y
SELECCION DEL MICROPROCESADOR.**

INTRODUCCION A LOS MICROCOMPUTADORES Y SELECCION DEL
=====

MICROPROCESADOR.
=====

A.) CONCEPTOS BASICOS DE LOS MICROCOMPUTADORES.

Al hablar de computadoras se estan haciendo referencia a maquinas electronicas, esto es, maquinas cuyas funciones se efectuan utilizando circuitos electronicos.

Existen 2 tipos basicos de computadoras: Analogicas y Digitales, las cuales trabajan con seniales continuas y discretas respectivamente.

Las computadoras Digitales se distinguen por estar constituidas por componentes electronicos, que operan en base a seniales de 2 niveles o estados: Nivel logico 'uno' (1) y nivel logico 'cero' (0), llamado SISTEMA BINARIO.

Se define como microcomputador Digital, aquel que tiene como Unidad Central de Proceso (C.P.U.) un Microprocesador.

Un microprocesador es la Unidad Central de Proceso implementada en uno o varios circuitos integrados, utilizando tecnologia MOS, Bipolar, TTL, etc.

La C.P.U. es el cerebro del sistema de la microcomputadora, ya que su función es la de obtener las instrucciones de la memoria y ejecutarlas. La memoria se usa para almacenar las instrucciones y los datos que van a procesarse (en código binario); y los puertos de E/S y la Interfaz de Comunicación sirve como medio de comunicación entre el hombre y la máquina.

Las computadoras digitales están constituidas por 3 partes básicamente:

1.- UNIDAD CENTRAL DE PROCESO (C.P.U.) - Parte principal de la computadora, la cual consta de:

a) UNIDAD DE CONTROL - Esta recibe instrucciones codificadas en binario desde la memoria, y decide todo acerca de las operaciones que se deben ejecutar. Conoce cuando se termina la ejecución de una instrucción y cuál es la siguiente a ejecutar. Es el cerebro de la computadora.

b) UNIDAD ARITMÉTICA LÓGICA (A.L.U.) - Efectúa operaciones aritméticas y lógicas. Puede recibir datos y efectuar con ellos operaciones de suma, resta, multiplicación, división, comparación, 'O' inclusivo, 'O' exclusivo, 'Y' (AND), etc. Las operaciones aritméticas varían de acuerdo a cada microprocesador.

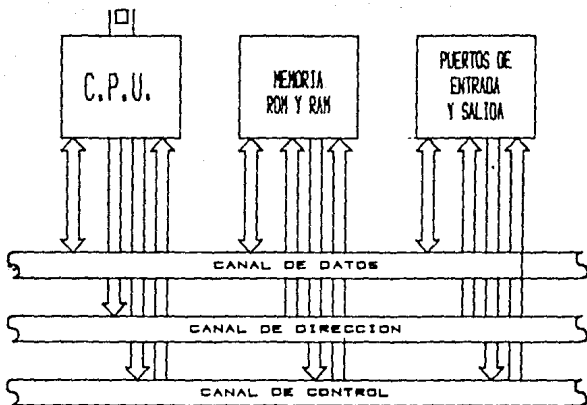


DIAGRAMA DE BLOQUES DE UN MICROCOMPUTADOR.

Tiene registros para almacenar operandos (depende de cada C.P.U.). En algunas C.P.U.'S se conoce como registro principal al ACUMULADOR (A o Acc.); generalmente, al comienzo de una operación, el ACUMULADOR contiene uno de los operandos y al final de la misma, almacena el resultado de la operación efectuada.

c) ARREGLO DE REGISTROS - La C.P.U. contiene registros de memoria de Escritura/Lectura, que pueden ser accedidos por el usuario, o bien que son de uso exclusivo de la C.P.U., siendo estos últimos 'TRANSPARENTES' al usuario.

Los registros a los que tiene acceso el usuario, se clasifican en 'REGISTROS DE PROPOSITO GENERAL' y en

REGISTROS DE PROPOSITO ESPECIFICO.

A los Registros de Proposito General, el usuario puede darles el uso que mas le convenqa, y los Registros de Proposito Especifico, tienen características de uso bien definidas, como por ejemplo, el Contador de Programa (PC), el cual es un registro que lleva la secuencia de ejecucion de instrucciones, pues contiene la direccion de la siguiente instruccion a ejecutarse.

2.-MEMORIA.

El desarrollo y expansion de la tecnologia de las memorias se inicio con el advenimiento de las computadoras. Todas las computadoras deben continuamente almacenar y rescatar "Bits" de la memoria durante un procesamiento. Es por eso que la memoria es parte basica de las computadoras.

Las memorias usadas en los microcomputadores son del tipo de lectura no destructiva, es decir al obtener la informacion de una posicion determinada esta no se modifica por el simple hecho de leerla.

Un solo digito binario es una unidad de informacion muy pequena para ser manejada, por lo que normalmente se agrupan formando " palabras " de un numero determinado de "Bits" (los mas comunes son : 8, 12, 16, 18, 24, 32 y 64).

CLASIFICACION DE LAS MEMORIAS.

A las memorias por su ubicacion en el sistema de computadoras se les puede dividir en 2 areas:

1.- MEMORIAS PROPIAS - Estas memorias usualmente se encuentran instaladas dentro del gabinete de la computadora, implementadas en una o varias tablillas del circuito impreso. Estas memorias pueden ser de bulbos, transistores, nucleos magneticos y semiconducotres de mediana y alta escala de integracion.

2.- MEMORIAS AUXILIARES - Estas memorias se encuentran fuera del gabinete de la computadora. Entre las mas comunes se encuentran las tarjetas perforadas, cintas perforadas, cintas magneticas, discos magneticos (de cabeza movil o fija), cassettes y discos (duros o flexibles).

Segun su forma de acceso, las memorias se clasifican en:

1.- ACCESO DIRECTO O ALEATORIO - En estas memorias se asocia una direccion a cada palabra, y al suministrar a la memoria una direccion, determina que se suministre o modifique la informacion de la palabra asociada a dicha direccion en un tiempo que no depende del valor de la direccion.

2.- ACCESO SENCUENCIAL - En estas memorias el tiempo de

acceso a una palabra determinada depende de su posición con respecto a una posición de referencia. El dato es accesible mediante una secuencia temporal.

3.- ASOCIATIVAS - En estas memorias el acceso a una palabra determinada se consigna mediante la información contenida en una parte de la propia palabra.

Segun las operaciones que se pueden efectuar con la información contenida, las memorias se clasifican en:

1.- VIVAS - Se puede leer y modificar el valor de las palabras.

2.- MUERTAS - Se puede leer el valor de una palabra pero no se puede modificar.

Cuando al leer una palabra se destruye la información que contiene sus celdas, le llamaremos MEMORIA DESTRUCTIVA, y en caso contrario MEMORIAS NO DESTRUCTIVAS. Las memorias destructivas serán siempre VIVAS.

Las memorias que conservan los datos aun despues de desconectar la fuente de poder se conocen como MEMORIAS NO VOLATILES y al conectar de nuevo la fuente de poder se encuentran los datos que tenían antes de quitar la energía al sistema; y las que pierden todos los datos en el momento en que se desconecta la fuente de poder se conocen como MEMORIAS

VOLATILES, y al conectar la fuente encontramos en las memorias valores no utiles (BASURA).

MEMORIA RAM.

Las memorias a las que se les puede cambiar el contenido de sus localidades con la funcion de escribir, lo mismo que obtener los contenidos de sus localidades con la funcion de leer se les llama MEMORIAS PARA ESCRITURA LECTURA conocidas como MEMORIAS DE ACCESO ALEATORIO (RAM) siendo estas memorias volatiles.

Las memorias RAM pueden consistir de un tipo de estructura de Flip-Flop a las que se conocen como MEMORIAS ESTATICAS (conservan la informacion tanto tiempo como la energia este presente), o puede constituir de un tipo de estructura capacitiva a las que se conocen como MEMORIAS DINAMICAS (estas requieren de un ciclo de refresco que utiliza cerca del 1% al 5% del tiempo total de procesamiento de un microcomputador).

MEMORIA ROM.

Existen 2 variaciones de las memorias ROM (se trata de un almacenamiento que puede ser escrito solo una vez, la informacion es fija y no se puede alterar), que permite mas

versatilidad al sistema de microcomputadoras. Estas variaciones son las memorias PROM Y EPROM, donde la primera trabaja en forma semejante a las memorias ROM, pero con la diferencia de que vienen sin programar (su almacenamiento puede ser objeto de escritura; solamente puede ser programada una sola vez y la informacion queda fija) y la ROM ya viene con la informacion.

Las memorias EPROM son semejantes a las memorias PROM pero con la opcion de poder borrar el programa que contenga (por radiaciones ultravioletas). Se pueden cargar y borrar varias veces, esto permite la capacidad de depurar los programas, sin necesidad de estar desperdiciando memorias PROM.

Las memorias EPROM son facilmente reconocibles, por que tienen una ventanilla de cuarzo sobre la oblea del circuito integrado. Esta ventana es transparente, facilitando la entrada a la luz ultravioleta, asi permitiendo el borrado de los programas contenidos en el 'Chip'.

La EPROM es una memoria de lectura en su mayor parte. Es usada como una ROM para periodos prolongados de tiempo, borrada ocasionalmente y reprogramada cuando sea necesario.

3.-PUERTOS DE ENTRADA Y SALIDA .

Las unidades de E/S permiten al computador comunicarse con el exterior. En general todos los sistemas digitales

sean o no computadores existen unidades de intercambio de informacion con el exterior con características similares.

Estos dispositivos proveen el medio de comunicacion para que la C.P.U. pueda manejar la informacion.

Existen 2 tipos de dispositivos de E/S, que permiten que la informacion sea manejada por la C.P.U.. De acuerdo al tipo de comunicacion que se establezca, se determina el tipo de dispositivo que se ajusta a las necesidades del sistema. Estos dispositivos de E/S son:

1.- DISPOSITIVOS DE E/S SERIE - Estos dispositivos estan constituidos basicamente por:

-Un bloque de recepcion de informacion con seniales que permite que la informacion recibida del exterior sea convertida en paralelo, para que pueda ser manejada por la C.P.U..

-Un bloque de transmision de informacion con seniales adecuadas que permita que la informacion en paralelo recibida de la C.P.U., pueda convertirse en serie para enviarse al exterior.

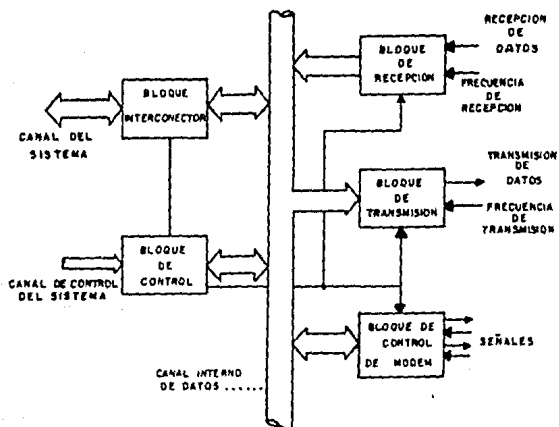
-Un bloque que interconecta al dispositivo con el sistema, para que atravez de el se lleve acabo la transferencia de informacion tanto de la C.P.U. al dispositivo, y viceversa.

-Un bloque de control que rij a todas las operaciones del dispositivo, de acuerdo a los senales que reciba de la C.P.U.,

-Un bloque de control de 'Modem', que permita conectar el dispositivo a un 'Modem', o bien utilizar las senales de control del 'Modem' para controlar la comunicacion.

Todos los bloques citados deben estar interconectados entre si, por medio de un canal interno para poder transmitir la informacion de un bloque (FUENTE) a otro bloque (DESTINO).

DIAGRAMA DE BLOQUES DE UN DISPOSITIVO
DE E/S SERIE



2.-DISPOSITIVOS DE E/S PARALELO.

Estos dispositivos por lo general constan de 2 o 3 puertos de 8 o 6 'Bits' cada uno, que pueden ser programados como entradas, salidas o bidireccionales. Los bloques basicos de un dispositivo de E/S paralelo de 2 puertos son:

-Un bloque que interconecte dispositivos E/S con el sistema, para que a traves de este pueda realizar transferencias de informacion entre el dispositivo y la C.P.U..

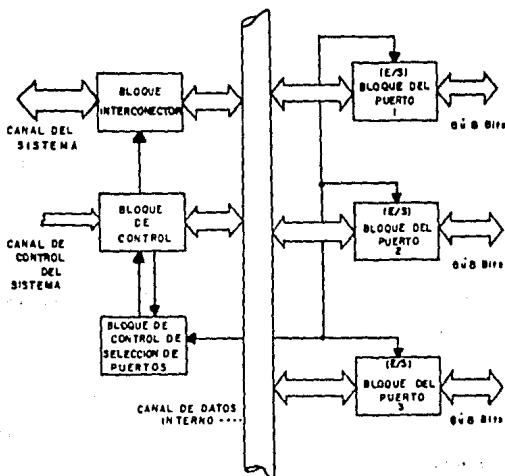
-Un bloque de control, que rija las operaciones del dispositivo en base a las seniales que reciba la C.P.U..

-Un bloque para el puerto uno y otro para el puerto dos, y de controles de los mismos, que permitan que la informacion se maneje de acuerdo a lo establecido (esto es, si los puertos se han programado ya sea como entradas, salidas, o bidireccionales).

-Un bloque de control de seleccion de puerto el cual mandara la informacion a su destino.

Los bloques anteriores estan interconectados, para que la informacion pueda ser transferida internamente de un bloque a otro en base a seniales de control.

DIAGRAMA DE BLOQUES DE UN DISPOSITIVO
DE E/S PARALELO



B.) ANALISIS COMPARATIVO DE DIVERSOS MICROPROCESADORES DE 8 'BITS' PARA LA SELECCION DEL MICROPROCESADOR.

GENERALIDADES:

Los microprocesadores son subsistemas digitales relativamente complejos, y, por lo tanto, aptos para ser fabricados mediante la tecnología de integración a gran escala.

Existen diversas tecnologías empleadas en la fabricación de microprocesadores integrados, así mismo se explican los varios refinamientos que tienden a mejorar a estos subsistemas.

Entre las diversas tecnologías de los microprocesadores se encuentran; P-MOS, C-MOS, BIPOLAR, TTL, etc.

Los microprocesadores aparecen en el mercado en 1971, cuando INTEL presento su 4004 de 4 'Bits', hasta la fecha han aparecido mas de 80 nuevos modelos y practicamente todas las fabricas de semiconductores producen o planean producir microprocesadores.

Se tienen los microprocesadores que se pueden nombrar de la Primera Generacion (ya que fueron los primeros microprocesadores en llevarse acabo), que utilizan la tecnología P-MOS. (Estos aparecieron en los años: 1971, 1972, y 1973).

Aparecieron despues los microprocesadores con tecnología N-MOS y C-MOS, (llamados de la Segunda Generacion) los cuales consiguieron mayor potencia de proceso en el 'Chip'.

En el N-MOS el vehiculo de conduccion es el electron, en vez del hueco del P-MOS. Debido a la diferencia entre las movilidades de los huecos y los electrones el N-MOS es tipicamente 3 veces mas rapido que el P-MOS. Los C-MOS combina los procesos N-MOS y P-MOS; la ventaja del C-MOS es de que tiene buena velocidad, poco consumo y gran inmunidad

al ruido.

En lo referente a la arquitectura de los microprocesadores, la organizacion interna de los registros y las unidades operativas, todos ellos siguen esquemas comunes, aunque luego haya diferencias notables de detalles entre unos y otros.

Todos disponen de una unidad operativa, la A.L.U. (Unidad Logica Aritmetica), un conjunto de registros de trabajo y un sistema de decodificacion y ejecucion de instrucciones.

Existen varios microprocesadores que aunque en la nomenclatura de las instrucciones es algo distinta los procesos basicos de computo logico son semejantes en todos los dispositivos.

Los microprocesadores mas utilizados son el 8080 (de INTEL), 6800 (de - MOTOROLA), Z-80 (de ZILOG), 8085 (de INTEL).

INTEL 8080 :

Este microprocesador sale al mercado en 1974, con lo que se inicia la Segunda Generacion. Aunque desde el punto de vista de la programacion es compatible con su predecesor (8008) su arquitectura es sustancialmente distinta.

El microprocesador 8080 es un 'Chip' de 40 patas, lo que permite disponer en paralelo los canales de datos y direcciones, evitandose la necesidad de multiplexarlos; utiliza la tecnologia N-MOS, debido a estas dos circunstancias la velocidad del 8080 se ha multiplicado por 10 (a comparacion de los de la Primera Generacion).

En el repertorio de instrucciones cuenta con: Aritmetica decimal, salto indirecto, operaciones sobre registros y datos de memoria de doble longitud, instrucciones con referencia directa a memoria, instrucciones de manejo de pila ('Stack'), etc. Estructuralmente el 8080 contiene 3 registros de 16 'Bits' y un acumulador; el conjunto de registros tambien puede verse como 7 registros de 8 'Bits'.

El 8080 incluye un Apuntador de Pila ('Stack Pointer') que se utiliza para crear una pila en memoria y guardar las direcciones de retorno y datos.

Pueden senialarse dos inconvenientes en el 8080. Desde el punto de vista del programador se ve la falta del direccionamiento indexado y, desde el punto de vista de 'Hardware', es molesta la necesidad que tiene de 3 tensiones de alimentacion (+12, -12 y +5).

Intel ofrece para el 8080 una gran variedad de 'Chip's' que simplifican la construccion de sistemas con este microprocesador; entre ellos se encuentran RAM, ROM y PROM, 'Drivers' de canal ('Bus'), circuitos integrados para la interfaz de aplicacion personal, interfaz para comunicaciones, generador de reloj, etc.

Aparecio despues una variacion del 8080 que fue el 8080A, teniendo las mismas caracteristicas, la diferencia que existe entre ambos es de que el 8080A tiene una velocidad de respuesta mas rapida que el 8080, (8080A - su velocidad se encuentra entre 1.3microsegundos y 1.5microsegundos. 8080 - 2microsegundos).

El 8080 fue uno de los microprocesadores mas utilizados para control y aplicacion administrativa.

INTEL 8085 :

En 1976 Intel lanza al mercado un nuevo Microprocesador de 8 'Bits', el 8085. El 8085 es una version mejorada del 8080, con una estructura y conjunto de instrucciones 100% compatible con el 8080. El ciclo basico de instruccion es de 1.3 microsegundos. Ademas de las instrucciones del 8080, presenta 3 lineas enmascarables por programa y una linea de interrupcion de alta prioridad y no mascarillable. El 8085 se alimenta a +5 volts, contiene un generador de reloj y decodificadores de estado que ya los trae incluidos en el 'Chip'.

El 8085 es un 'Chip' de 40 patas, tiene multiplexado el canal de datos, para asi ofrecer las seniales de control que ofrece el 8080. El canal de datos consta de solo 8 lineas (las cuales contienen la parte baja de la direccion y los datos) el cual esta multiplexado, esto quiere decir, que durante un determinado tiempo se maneja la parte baja de la

direccion y por otro tiempo los datos, por tal motivo se requiere de un Demultiplexor que separe la direccion del dato.

Intel ofrece una serie de productos de memoria y puertos de E/S (Entrada/Salida) directamente conectables al 8085, que incluye los biestables de direccion baja.

Su aplicacion se enfoca a control especificamente, y no a trabajos Administrativos.

MOTOROLA 6800 :

El M6800 es un microprocesador de 8 "Bits" lanzado al mercado a fines de 1973, por la Compania Motorola. Sus tiempos de ejecucion de una instruccion varian entre 2 y 12 microsegundos.

El microprocesador dispone de 2 acumuladores, un registro de 16 "Bits" y un apuntador de pila "Stack pointer" que es utilizado en las llamadas a subrutina para almacenar en memoria RAM y las direcciones de retorno de la misma. Ademas el 6800 permite 7 tipos de direccionamiento, pero esta variedad tiene algunas restricciones; concretamente solo ciertas instrucciones admiten ciertos modos y es responsabilidad del programador recordar cuales son las formas validas de direccionamiento para cada instruccion.

El microprocesador posee un circuito de interrupciones enmascarable a 4 niveles. Todos los elementos de entrada y salida generan interrupciones sobre una misma linea de interrupcion, de forma que el dispositivo que interrumpe debe de ser detectado por exploracion. Cuando aparece una peticion de interrupcion, el procesador guarda automaticamente los registros y los estados en el 'Stack' (pila) y el retorno el programa principal los restaurara tambien automaticamente.

Su aplicacion ha sido mas en la area de control que en el campo administrativo.

ZILOG Z-80 :

Microprocesador lanzado al mercado en 1976 por la compania Zilog, creado por un equipo transfugo de Intel.

El Z-80 puede considerarse como un super 8080, manteniendo compatibilidad con el mismo, pero anadiendo una serie de caracteristicas que lo superan ampliamente.

El Z-80 necesita una sola tension de alimentacion, trabaja con un reloj de una sola fase que puede ser hasta de 4MHZ (y de 8MHZ el Z-80R), dispone de una senial para refresco transparente de memoria de tipo dinamico, operacion estatica, mayor riqueza de registros de trabajo, un conjunto de instrucciones amplio y una mayor flexibilidad en el sistema de interrupciones. Ademas algo muy importante que no

tiene ninguno de los microprocesadores antes mencionados que es el de el manejo de instrucciones de transferencia de bloques.

Es actualmente muy utilizado en aplicaciones administrativas, ya que existen una gran variedad de Computadoras Personales que lo traen integrado, como son Radio Shack, CROMEMCO, LNW, Lobo, etc.

C.) SELECCION DEL MICROPROCESADOR Y JUSTIFICACION.

La primera cuestion que se va a plantear al utilizar un microprocesador es la eleccion del mismo. Para centrar el problema se presentaron en el inciso anterior las alternativas entre 4 microprocesadores, que fueron: El 8080 y 8085 de INTEL, M6800 de MOTOROLA y Z-80 de ZILOG, que son microprocesadores de 8 "Bits".

Existen una serie de factores que se deben conocer antes de poder elegir. En ciertos casos algunos de estos factores pueden ser totalmente decisivos, aunque en algunas ocasiones el factor economico es el que finalmente nos incline hacia uno u otro modelo.

INTEL 8080 :

Uno de los inconvenientes de este microprocesador es

desde el punto de vista del programador, la ausencia del direccionamiento indexado; y del punto de vista del 'Hardware' es molesta la necesidad de 3 tensiones diferentes de alimentacion; la velocidad de respuesta es de 2 microsegundos, o sea muy lenta.

INTEL 8085 :

Por tener multiplexado el canal de datos requiere de circuiteria externa que memorizan la parte baja de la direccion, esto seria con circuitos integrados que sean compatibles el 100% con el microprocesador (siendo muy caro el uso de circuitos integrados).

MOTOROLA 6800 :

Debido a la variedad de direccionamientos, el de Motorola-6800 tiene restricciones; concretamente solo unas instrucciones admiten ciertos modos y es responsabilidad del programador recordar cuales son las formas validas de direccionamiento de cada instruccion.

ZILOG Z-80 :

El 'Software' existente del 8080 y 8085 es casi

completamente compatible con el del Z-80; necesita alimentacion de 5 volts como el 8085; solo requiere de una senial de reloj TTL (0), la logico de reloj esta integrada dentro del 'Chip'. El grupo de componentes que forma el Z-80 es superior a los microprocesadores anteriores tanto en 'Software' como en 'Hardware'. Respecto a la programacion se requieren mas instrucciones para un programa en 8085 que en Z-80.

La velocidad de respuesta del Z-80 es mas rapida que del 8080 y 8085; ademas la filosofia del Z-80 es diferente en las seniales de control de leer y escribir que del 8080.

1	2	3	4	5	6	7	8	9	10	11	12	13
INTEL	8080	MP	NMOS	8	64K	2/2	2	8	78	RAM	+ 5,12	1000
INTEL	8085	MP	NMOS	8	64K	3/1	1.3	8	80	RAM	+ 5	1500
MOTOROLA	6800	MP	NMOS	8	64K	1/2	2	3	89	RAM	+ 5	--
ZILOG	Z-80	MP	NMOS	8	64K	4/1	1	14	150	RAM	+ 5	--

MP - MICROPROCESADOR

14	15	16	17	18	19	20	21	22	23	24	25	26	27
40	NO	NO	NO	NO	SI	1	SI	SI	SI	SI	SI	SI	3.95
40	SI	NO	NO	2	SI	4	SI	SI	SI	SI	SI	SI	4.95
40	NO	NO	NO	NO	SI	1	SI	SI	SI	SI	SI	SI	2.95
40	NO	NO	NO	NO	SI	2	SI	SI	SI	SI	SI	SI	3.49

- | | |
|---|--------------------------------|
| 1.-FABRICANTE | 14.-ENCAPSULADO No. DE PATAS |
| 2.-MODELO | 15.-RELOJ EN EL 'CHIP' |
| 3.-TIPO | 16.-RAM EN EL 'CHIP' |
| 4.-TECNOLOGIA | 17.-ROM/PROM EN EL 'CHIP' |
| 5.-TAMANIO DE PALABRA | 18.-LINEAS DE E/S EN EL 'CHIP' |
| 6.-CAPACIDAD DIRECCIONADO | 19.-CIRCUITOS ESPECIALIZADOS |
| 7.-RELOJ MHZ/FASE | 20.-LINEAS DE INTERRUPCION |
| 8.-CICLO DE INSTRUCCIONES
(MICROSUMAS REGISTROS) | 21.-ARITMETICA BCD |
| 9.-No. DE REGISTROS INTERNOS | 22.-CAPACIDAD DMA |
| 10.-No. DE INSTRUCCIONES BASICAS | 23.-COMPATIBILIDAD TTL |
| 11.-No. DE NIVELES DE 'STACK' | 24.-SISTEMA DESARROLLO |
| 12.-TENSION (VOLTS) | 25.-ENSAMBLADOR |
| 13.-POTENCIA (mW) | 26.-LENGUAJE ALTO NIVEL |
| 27.-COSTO EN DOLARES | |

Despues de analizar en forma general los microprocesadores 8080, 8085, 6800 y Z-80, y de acuerdo a la tabla anterior se vio que el Z-80 es el microprocesador mas poderoso de 8 'Bits' que se encuentra en el mercado y su eficiencia aventaja a otras microprocesadores de 8 'Bits'.

El Z-80 tiene un gran numero de instrucciones tipo

(cerca de 158), entre las cuales se encuentran las 78 del 8080 con su codificación binaria idéntica (para conseguir compatibilidad en el 'Software' total), siendo así claro y fácil para el manejo de mnemónicos e ideal para el aprendizaje del lenguaje de programación.

El adelanto de la arquitectura del 'Hardware' (no multiplexado) del Z-80 es ideal para experimentar; quienes necesitan conectar otros periféricos o de circuitos comunes al canal.

Como se podrá notar el Z-80 es uno de los microprocesadores más económico (después del 6800 de Motorola), y su circuitería externa, reduce y da lugar a una comparación efectiva de los costos.

Respecto al 'Software' el Z-80 ofrece una mayor riqueza de registros de trabajo, un conjunto de instrucciones amplio, una mayor flexibilidad en el sistema de interrupciones.

El microprocesador de 8 'Bits' más usado en México es el del Z-80, por lo consiguiente, es un 'Chip' fácil de conseguir en el mercado a diferencia de los demás microprocesadores.

CAPITULO II : DISEÑO DEL MICROCOMPUTADOR CON Z-80.

DISEÑO DEL MICROCOMPUTADOR CON Z-80

GENERALIDADES.

El microprocesador Z-80 es una Unidad Central de Proceso (C.P.U.) de 8 'Bits' en paralelo. El Z-80 contiene 18 registros de 8 'Bits' y 4 registros de 16 'Bits', siendo un total de 22 registros. De los 18 registros 14 son de propósito general y se pueden direccionar individualmente o en pares de registros, proporcionando al operador precisión sencilla y doble en sus operaciones.

Tiene un registro de 6 banderas para indicar el estado del resultado de una operación (cero, signo, acarreo, paridad/sobre flujo, acarreo medio y substracción).

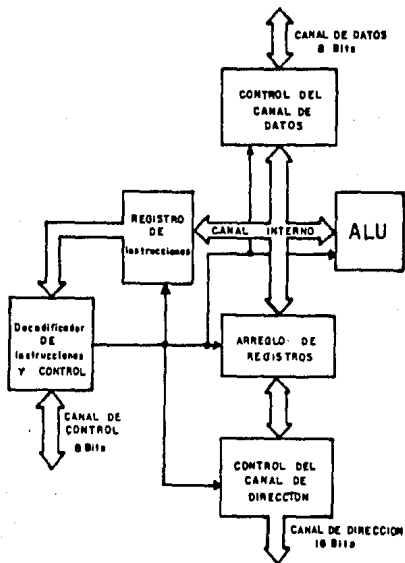
El Z-80 puede utilizar una parte de la memoria RAM como un 'Stack' (LIFO - último en entrar/primeró en salir) para almacenar/obtener en forma rápida el contenido de los registros.

Utiliza un canal de dirección de 16 líneas y un canal de datos de 8 líneas para la comunicación del Z-80 con la memoria y los dispositivos de E/S.

A.) ARQUITECTURA DE LA UNIDAD CENTRAL DE PROCESO (Z-80).

La arquitectura del Z-80 consiste de las siguientes unidades funcionales :

- 1.- Arreglo de registros de 8 y 16 "Bits".
- 2.- Unidad Aritmetica y Logica (A.L.U.).
- 3.- Registro de instruccion, decodificador de instruccion y de control de la C.P.U..
- 4.- Control del canal de direccion y de datos.



1.- ARREGLO DE REGISTROS DE 8 Y 16 'BITS'.

La C.P.U. Z-80 maneja registros agrupados en las siguientes categorías:

A.- REGISTROS DE PROPOSITO GENERAL. (Principales y Auxiliares).

a) Registros Principales:

- 1 Acumulador de 8 'Bits'.
- 1 Registro de banderas de 8 'Bits'.
- 6 Registros de proposito general de 8 'Bits' cada uno.
- o
- 3 Registros pares de proposito general de 16 'Bits' cada uno.

b) Registros Auxiliares:

- 1 Acumulador de 8 'Bits'.
- 1 Registro de banderas de 8 'Bits'.
- 6 Registros de proposito general de 8 'Bits' cada uno.
- o
- 3 Registros pares de proposito general de 16 'Bits' cada uno.

ACUMULADOR	BANDERAS
A (8)	F (8)
B (8)	C (8)
D (8)	E (8)
H (8)	L (8)

ACUMULADOR	BANDERAS
A' (8)	F' (8)
B' (8)	C' (8)
D' (8)	E' (8)
H' (8)	L' (8)

B.-REGISTROS DE PROPOSITO ESPECIFICO.

REGISTROS DE PROPOSITO GENERAL.

Los registros principales consisten en un Acumulador (A), un registro de banderas (F) y 6 registros de proposito general (B, C, D, E, H y L). Los registros auxiliares consisten en un acumulador (A'), un registro de banderas (F') y 6 registros de proposito general (B', C', D', E', H' y L'). Solo un conjunto de registros puede estar activado a la vez, pues no pueden usarse por ejemplo el registro D y D', sin antes haber usado una instruccion de intercambio.

Tanto los registros auxiliares como los principales,

pueden estar agrupados en parejas, para formar tres registros pares de 16 'Bits' para cada grupo: B-C, D-E y H-L para los principales, y B'-C', D'-E' y H'-L' para los auxiliares.

Los registros de banderas de estado F y F' tiene una longitud de 8 'Bits' cada uno y solo puede activarse uno a la vez, dependiendo de lo que haya seleccionado el programador. Cada uno de los 8 'Bits' denota una condicion o estado diferente, por eso se les conoce como 'Bits' de estado o de condicion. Cada 'Bit' o bandera en los registros F y F', se enciende o se apaga despues de realizar ciertas operaciones aritmeticas y logicas o de operaciones sobre datos.

7	6	5	4	3	2	1	0
S	Z	X	AC o H	X	P/V	N	C

- BIT 0 C Bandera de Acarreo. Indica acarreo sobre el 'Bit' mas significativo del acumulador, o sea el 'Bit' 7.
- BIT 1 N Bandera de Resta. Es usado para operaciones de resta BCD o para indicar resultados negativos.
- BIT 2 P/V Paridad/Sobreflujo. Cuando se llevan acabo operaciones aritmeticas con signo, esta bandera

funciona como sobreflujo.
En otras operaciones
funciona como bandera de
paridad.

BIT 3 X Indeterminado.

BIT 4 H Bandera de Medio Acorreo Indica acarreo sobre el
. AC o Acorreo auxiliar, 'Bit' 4 del acumulador.

BIT 5 X Indeterminado.

BIT 6 Z Bandera de Cero, Se enciende cuando el
acumulador es cero o cuando
el resultado de una
operacion es cero.

BIT 7 S Bandera de Signo, Se enciende cuando el
'Bit' 7 del acumulador esta
encendido indicando que el
dato es negativo.

REGISTROS DE PROPOSITO ESPECIFICO.

Registro de interrupciones.	Contador de refresco de memoria.
(8)	(8)
Registro indice	IX (16)
Registro indice	IY (16)
Apuntador de Pila	SP (16)
Contador de programa	PC (16)

Los registros de proposito especifico incluyen un registro de interrupciones (I), uno de refresco a memoria (R), ambos de 8 'Bits' y 4 registros de 16 'Bits': Registro Indice (IX), Registro indice (IY), Apuntador de Pila (SP) y Contador de Programa (PC).

REGISTRO DE INTERRUPCIONES - Es usado para atender interrupciones que fueran originadas por un dispositivo de Entrada/Salida. En el contador de programa se coloca el contenido del registro I de la forma siguiente: El dispositivo de Entrado/Salida envia a la C.P.U. la parte baja de la direccion donde se encuentre su rutina de servicio de interrupcion, misma que coloca en la parte baja del contador de programa. La parte alta de la direccion es tomada del registro I y colocada en la parte alta del contador de programa. De esta forma se da comienzo a la ejecucion de la rutina de servicio de interrupcion del dispositivo de Entrada/Salida solicitante.

REGISTRO DE REFRESCO DE MEMORIA - Este registro se utiliza para refrescar memorias RAM dinamicas, mientras la C.P.U. decodifica y ejecuta una operacion de busqueda de codigo de operacion en memoria 'FETCH'.

REGISTRO APUNTAADOR DE PILA - El 'Stack' es un area de memoria RAM definida por el programador, en la que se almacenan datos en forma temporal y el manejo es LIFO (ultimo en entrar-primero en salir). El apuntador de pila, tiene como fin apuntar en que localidad de memoria del 'Stack' se va a almacenar un 'Byte' o se va a leer.

REGISTRO CONTADOR DE PROGRAMA - Apunta a la memoria, para ir ejecutando instrucciones. El contador de programa almacena la direccion de la instruccion que esta siendo traída de memoria, y se incrementa automaticamente despues de cada instruccion leída.

2.- UNIDAD ARITMETICA Y LOGICA.

Las operaciones de los datos dentro de la C.P.U. Z-80 se realizan por un grupo de componentes logicos conocidos comunmente como Unidad Aritmetica Logica (ALU). La ALU tiene la logica para llevar a cabo las siguientes operaciones.

- 1.- Suma binaria.
- 2.- Operaciones aritmeticas y logicas.
- 3.- Complementar una palabra de dato.
- 4.- Correr un 'Bit' a la derecha o a la izquierda en una palabra de dato.
- 5.- Registra ciertos resultados importantes de las operaciones aritmeticas y logicas como acarreo, signo, acarreo auxiliar, paridad, y si el resultado es cero. El registro que almacena esta informacion se conoce como 'Registro de Banderas'.
- 6.- Comparar.
- 7.- Encender o apagar un 'Bit'.
- 8.- Probar un 'Bit'.

Si se necesita cualquier otra manipulacion mas completa de una palabra de dato, se debe recurrir a la combinacion de estas funciones de la ALU.

La ALU tiene algunos registros para almacenar los datos sobre los que va a realizar las operaciones. El registro principal de la ALU se conoce como Acumulador. Generalmente, al comienzo de una operacion, el Acumulador contiene uno de los operandos, y al final de la operacion, contiene el resultado.

3.- REGISTRO DE INSTRUCCION, DECODIFICADOR DE INSTRUCCION Y DE CONTROL DE LA C.P.U..

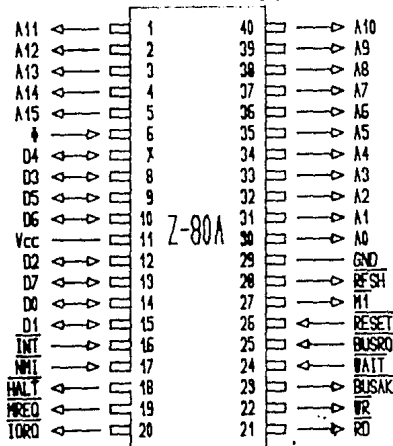
El registro de instrucciones retiene el contenido de la posicion de memoria direccionada por el PC (Contador de Programa) y se carga durante el ciclo de busqueda de cada instruccion ('FETCH'). La unidad de control del procesador central ejecuta las funciones definidas para la instruccion y genera todas las seniales de control necesarias para su ejecucion correcta.

4.- CONTROL DEL CANAL DE DIRECCION Y DATOS.

La transferencia de datos entre la C.P.U. y los dispositivos externos se produce por el canal de datos. El

canal de datos del Z-80 esta formado por 8 'Bits' bidireccionales, lo cual significa que la informacion se intercambia mediante 8 vias paralelas que transportan 'Bits' a y desde la C.P.U. del Z-80. El dispositivo concreto que esta implicado en la transferencia de datos es seleccionado mediante el Canal de direcciones. La C.P.U. Z-80 utiliza los 8 'Bits' menos significativos de los 16 'Bits' de que consta el canal de direcciones para direccionar solamente un dispositivo externo de E/S, y todos los 16 'Bits' del canal de direcciones para direccionar las posiciones de memoria. El canal de control transporta las seniales que sincronizan la colocacion de la informacion en los canales de datos y de direcciones, con las actividades de la C.P.U. y de los dispositivos externos.

El microprocesador Z-80 se encuentra en un solo circuito integrado de 40 patas. Consta de 158 instrucciones, necesita una sola alimentacion de + 5 Volts de C.D. y usa tecnologia MOS. Su configuracion y descripcion de cada pata es la siguiente:



A15 - A0 (CANAL DE DIRECCION).

Salidas de 3 estados que constituyen un canal de direccion de 16 "Bits", en donde A15 es la linea mas significativa y A0 es la linea menos significativa. La C.P.U. Z-80 con estas 16 lineas tiene una capacidad para direccionar hasta 65,536 o 64K localidades de memoria.

Este canal de direccion tambien se usa para enviar el codigo de seleccion de dispositivos de E/S (Entrada/Salida). En el direccionamiento de puertos se utilizan los 8 "Bits" de direccion de mas bajo orden para permitir al usuario seleccionar directamente hasta 256 puertos de entrada o 256 puertos de salida. Durante cierto tiempo en la ejecucion de cada instruccion, el contenido del registro R (registro de refresco de memoria) se envia por las 7 lineas de mas bajo orden para la funcion de refrescar memoria.

D7 - D0 (CANAL DE DATOS).

Entradas/Salidas de 3 estados. Las lineas D7-D0 constituye un canal de datos bidireccional de 8 "Bits", que se utiliza para intercambios de datos con memoria y dispositivos de E/S. La linea D7 transmite el "Bit" mas significativo y la linea D0 transmite el "Bit" menos significativo.

'M1/' (CICLO DE MAQUINA UNO).

Salida y activo con logica neqada. 'M1/' indica que el ciclo de maquina en curso es el ciclo de busqueda del codigo de operacion de una ejecucion de instruccion. Durante la ejecucion de una instruccion con codigo de operacion de 2 'Bytes' la senial 'M1/' se genera 2 veces, una vez por cada 'Byte' de codigo. Estos codigos de operacion de 2 'Bytes' tienen el primer 'Byte' con uno de los valores siguientes: CBH, DDH, EDH o FDH. La senial 'M1/' se activa junto con la senial 'IORQ/' para indicar un ciclo de reconocimiento de interrupcion.

'MREQ/' (PETICION DE MEMORIA O SOLICITUD DE MEMORIA).

Salida de 3 estados y activa con logica neqada. La senial de solicitud o peticion de memoria indica que el canal de direccion, conserva una direccion valida para operaciones de lectura o escritura en memoria.

'IORQ/' (SOLICITUD O PETICION DE ENTRADA/SALIDA).

Salida de 3 estados y activo con logica neqada. La senial 'IORQ/' indica que las 8 lineas de direccion de mas bajo orden tiene una direccion de E/S valida para operaciones de lectura o escritura en dispositivos de E/S.

La senial 'IORQ/' se genera junto con la senial 'M1/' cuando el Z-80 reconoce una interrupcion para indicar que se

debe colocar un vector de interrupcion en el canal de datos. Las operaciones de 'Reconocimiento de interrupcion' ocurren durante el ciclo 'M1/', mientras que las operaciones de E/S nunca ocurren en el el ciclo 'M1/'.

'RD/' (LEER).

Salida de 3 estados y activo con logica negada. La senial 'RD/' indica, que el procesador central (C.P.U.) desea la lectura de memoria o de un dispositivo de E/S. La memoria o dispositivo de E/S direccionado, debe utilizar esta senial para dirigir los datos al canal de datos de la C.P.U..

'WR/' (ESCRIBIR).

Salida de 3 estados y activa con logica negada. El 'WR/' indica que el canal de datos de la C.P.U. mantiene un dato valido para ser almacenado en la memoria o en el dispositivo de E/S direccionado.

'RFSH/' (REFRESCO DE MEMORIA).

Salida y activa con logica negada. La senial 'RFSH/' indica que las 7 lineas de mas bajo orden presentes en el canal de direccion contiene una direccion de refresco para memorias dinamicas. Las memorias dinamicas requieren periodicamente de una funcion de refresco para poder conservar los datos almacenados en ellas.

'HALT/' (ESTADO DE PARO O ESTADO DE ALTO).

Salida y activa con logica neqada. La senial 'HALT/' indica que la C.P.U. ha ejecutado la instruccion de 'HALT/', y esta esperando una solicitud de interrupcion no mascarillable o mascarillable (con el Flip-Flop de interrupcion habilitada) antes de que pueda continuar la operacion. Mientras esta en este estado, la C.P.U. ejecuta instrucciones 'NOP' (no operacion) para mantener la memoria dinamica en estado de refresco.

'WAIT/' (ESPERA).

Entrada activa con logica neqada. La senial de 'WAIT/' indica a la C.P.U. Z-80 que ha direccionado a una localidad de memoria o a un puerto de E/S que no tiene todavia el dato a transferir. La C.P.U. sique en estados de espera tanto tiempo como esta senial este en cero (0). Esta senial permite a la memoria o a los dispositivos de E/S de cualquier velocidad a sincronizarse con la C.P.U..

'INT/' (SOLICITUD DE INTERRUPCION).

Entrada y activa con logica neqada. La senial de solicitud de interrupcion es generada por los dispositivos de E/S. Una solicitud sera atendida al final de la instruccion en proceso si el Flip-Flop interno de habilitar interrupciones (IFF) controlado por programacion esta habilitado y si la senial 'BUSRQ/' no esta activa. Cuando la C.P.U. acepta la interrupcion envia una senial de

reconocimiento ('IORQ/' durante el tiempo 'M1/') al comienzo del proximo ciclo de instruccion. La C.P.U. puede responder a una interrupcion en 3 diferentes modos que hablaremos en el Capitulo IV inciso (B).

'NMI/' (INTERRUPCION NO-MASCARILLABLE).

Entrada, se dispara con el cambio de 'uno' a 'cero' logico. La 'NMI/' tiene prioridad mayor que la entrada 'INT/' y se reconoce al final de la instruccion en proceso, independientemente del estado del Flip-Flop de habilitacion de interrupciones (IFF). La senial 'NMI/' fuerza automaticamente a la C.P.U a continuar en la direccion 0066H. El contador de programa (PC) se guarda automaticamente en el 'Stack' externo de tal manera que la C.P.U. pueda regresar al punto del programa en que fue interrumpido. Un ciclo continuo de 'WAIT/' puede evitar que la instruccion en proceso termine y que un 'BUSRQ/' pueda eliminar a un 'NMI/'.

'RESET/' (REINICIO).

Entrada y activa con logica neqada. El 'RESET/' fuerza al contador de programa (PC) a cero e inicializa a la C.P.U.. La inicializacion de la C.P.U. implica:

1.- Se deshabilita el Flip-Flop de habilitacion de interrupciones, previendo al sistema a aceptar interrupciones, con excepcion las hechas atraves de la linea 'NMI/'.

2.- Colocar el registro (I) de interrupciones en 00H.

3.- Colocar el registro de refresco de memoria (R) en 00H.

4.- Colocar el Modo 0 de interrupcion.

Durante el tiempo de 'RESET/', el canal de direcciones y el canal de datos se queda en un estado de alta impedancia y todas las seniales de control de salidas pasan al estado inactivo.

'BUSRQ/' (PETICION DE 'BUS' O CANAL).

Entrada y activa con logica neqada. La senial de peticion de canal se usa para solicitar que el canal de direccion, el canal de datos y la salida de control de 3 estados de la C.P.U. pasen al estado de 'uno' logico de tal manera que otros dispositivos externos puedan tomar el control de los canales, generalmente para realizar operaciones de Acceso Directo a Memoria (DMA).

Durante el 'DMA' la C.P.U. debe de estar desconectada de los canales para no interferir. Cuando el dispositivo termina la transferencia regresa la senial de 'BUSRQ/' a nivel alto o sea a 'uno' logico.

'BUSAK/' (RECONOCIMIENTO DE BUS O CANAL),

Salida y activa con logica negada. Cuando un dispositivo envia un 'cero' logico la entrada de 'BUSRQ/' solicitando el control de los canales, la C.P.U. indica que los canales ya estan libres, sacando un 'cero' logico a la salida de 'BUSAK/'. Cuando el 'BUSRQ/' regresa a 'uno' logico (cuando termina de usar los canales), la C.P.U. reconocera esta accion regresando a 'BUSAK/' a 'uno' logico y tomando el control de ellos.

'D' (SENIAL DE RELOJ),

Entrada de reloj TTL que requiere unicamente una resistencia de aproximadamente de 333 Ohms en ' Pull-up ', con la alimentacion de +5 volts para satisfacer todos los requerimientos.

La seniales 'WAIT/' y 'BUSRQ/', se conectaran a +5 volts para anclar la senial a un valor (en este caso en 'uno' logico), y de esta manera deshabilitarlos.

B.) REQUERIMIENTOS DE MEMORIA RAM Y EPROM.

MEMORIA RAM.

Aunque el Z-80 tiene senial de refresco de memoria RAM

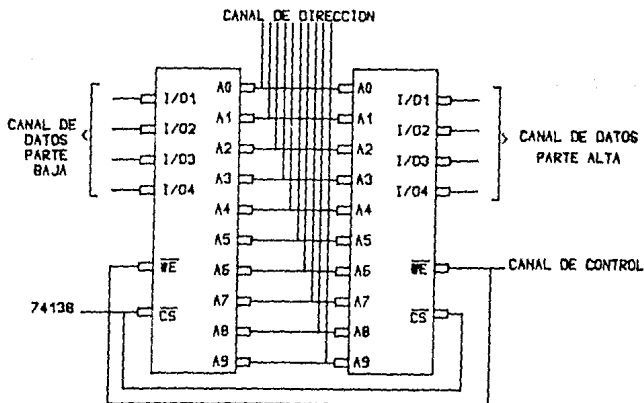
Dinamica se eligio una memoria RAM estatica, debido a que es facil diseniar con ella.

Existe una gran variedad de circuitos integrados de memoria RAM estatica, pero para esta tesis se escojio el circuito integrado 2114 de Intel, por tener seniales de E/S compatibles con voltajes TTL que se manejan, por ser de implementacion directa en el disenio y faciles de conseguir.

Ademas, el 2114 solo requiere un voltaje de +5 volts que es el que se emplea en la C.P.U. y otros componentes.

La cantidad de 1024 (o sea: $2^{10} = 1024$) localidades implica la necesidad de 10 entradas para lineas de direccion.

Para formar un modulo de memoria de 1024 localidades de 8 'Bits' se pueden usar 2 integrados del 2114 (ya que cada uno es de $1K \times 4$) como se ilustra a continuacion.



Así se formó 1K de memoria RAM. Para este trabajo se propone la utilización de 4096 localidades de 8 'Bits' o 4K de memoria RAM. Por tal motivo se implementaron 4 módulos como el de la figura anterior.

De esta forma con 4K x 8, tendrá el alumno la memoria suficiente para satisfacer sus necesidades.

MEMORIA EPROM.

En el mercado encontramos una gran variedad de circuitos integrados EPROM, pero para el presente trabajo se utilizaron 2716 (2K x 8), ya que el sistema operativo del microcomputador utiliza 2K x 8 de memoria.

Los Kits Educativos como el SDK-85 de Intel tienen una capacidad de memoria ROM de 4K y RAM de 1/2K, siendo esta última muy pequeña para realizar programas más complejos, provocando que el usuario alambre (en el área dispuesta para ello que contiene la tableta del 'Kit-SDK85') más memoria RAM para poder así abastecer las necesidades de su programa.

Por tal motivo el 'Kit' objeto de esta tesis ha sido diseñado con 4K de memoria RAM y 4K de memoria EPROM, así facilitando al usuario el desarrollo de programas más complejos sin la necesidad de un alambrado extra.

C.) REQUERIMIENTOS DE PUERTOS DE E/S
(ENTRADA/SALIDA).

En nuestro caso y de acuerdo a las necesidades de esta tesis ocuparemos tanto un puerto Serie (8251A de Intel) que es utilizado para la comunicacion entre una terminal y el microcomputador, debido a que la transmision de la terminal es en serie y el microcomputador procesa en paralelo esta informacion; y dos puertos paralelo (8255 de Intel) para que sean utilizados por el usuario para fines didacticos.

La frecuencia de Recepcion y Transmision para el 8251 es generada por un circuito divisor de frecuencia programable (8253 de INTEL), para que de esta forma pueda ser variada la frecuencia de Recepcion y Transmision por programa ('Software').

NOTA: Para ver especificaciones de cada integrado referirse al Apendice A.

CAPITULO III : DESARROLLO DEL MICROCOMPUTADOR.

DESARROLLO DEL MICROCOMPUTADOR.

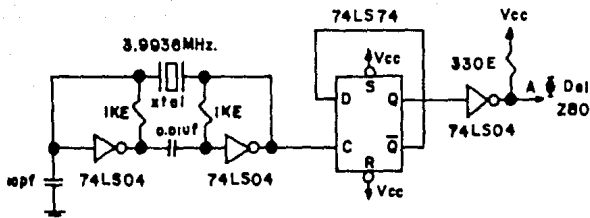
A) OSCILADOR E INTERFAZ DE LA C.P.U..

OSCILADOR:

La circuiteria de reloj es fijada de tal forma que la C.P.U. Z-80 funcione optimamente, abajo de 2 MHZ durante 500 nsec de estandar T. Esto es para asegurar una mayor compatibilidad con dispositivos perifericos del 8080A y para permitir el uso de memorias menos caras.

La base de reloj es un oscilador de cristal basado en un circuito digital 74LS04 que provee 3.9936 MHZ.

Esta frecuencia fue escojida por que es multiplo de las frecuencias 1200/2400 HZ y la frecuencia de 300 Bauds requerida para el estandar de interfaz de audio cassette de 'KANSAS CITY'. Esta frecuencia es dividida entre 2 por un biestable tipo 'D' (74LS74) para formar una senial de reloj de 1.9968 MHZ. Una compuerta 74LS04 con una resistencia de 330E de 'Pull-Up' es utilizada para la entrada D de la C.P.U. Z-80.



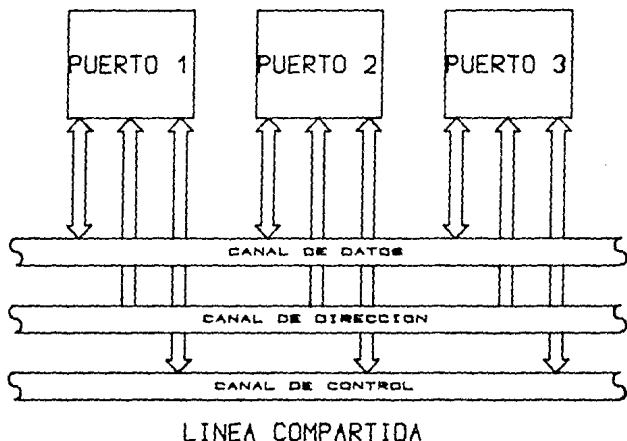
CIRCUITO GENERADOR DE RELOJ

INTERFAZ:

Interfaz se define como la union de miembros de un grupo en la manera que pueda funcionar en una forma compatible y coordinada. Interfaz con un computador se define como la sincronizacion de la transmision de datos digitales entre la computadora y los dispositivos externos, incluyendo dispositivos perifericos de E/S y memorias.

Normalmente los dispositivos de E/S son mas lentos que las computadoras. De aqui que una computadora tiene que esperar a que el dispositivo se encuentre listo para recibir o para transmitir un dato nuevo. Los canales de direccion, de datos y de control se deben conectar a todos los

dispositivos perifericos. La figura siguiente ilustra los canales de un microcomputador con diferentes dispositivos perifericos.



Este modo de operacion se conoce con el nombre de la línea compartida, en donde cada dispositivo conectado a los canales del sistema se debe comportar como si fuera el unico dispositivo conectado al sistema.

Esta condicion se logra con el uso de las interconexiones, las cuales se deben cumplir con los siguientes requisitos:

- a) Decodificar el código de seleccion del dispositivo

que envia la computadora y responder solo si el codiao es identico a el.

b) Decodificar los codiaos de los comandos que recibe de la computadora y generar las seniales de control que efectuara las operaciones ordenadas.

c) Enviar a la computadora la informacion que describa el estado del dispositivo periferico.

d) Efectuar la transferencia de datos entre la computadora y el dispositivo periferico.

INTERFAZ EN UN INTEGRADO.

El Z-80 cuenta con las instrucciones 'IN' y 'OUT' para efectuar la transferencia de datos entre el Acumulador y la interfaz. La instruccion 'IN' nos sirve para leer el contenido de la palabra de estado y del registro de datos; y la instruccion 'OUT' para enviar el contenido del Acumulador al registro de control y al registro de datos. Por lo que se necesita mas de una direccion para especificar que registro es el que va a recibir o a enviar el dato y eliminar confusiones en la interpretacion de los datos.

Los integrados que realizan las funciones de interfaz tienen dos entradas para evitar este tipo de confusiones. Estas entradas toman los nombres de 'CS/' (Seleccion de integrado) y 'C/D/' (Control/Dato/). La entrada 'CS/' permite seleccionar el integrado y la entrada 'C/D/' permite indicarle si es una palabra de control, palabra de estado o

un dato el que esta transmitiendo. Con estas dos entradas se ordenan las siguientes funciones:

'CS/''	'C/D/''	DATO TRANSMITIDO.
0	1	Palabra de control o estado.
0	0	Dato numerico.
1	0	Nada.
1	1	Nada.

B) DIRECCIONAMIENTO DE MEMORIA.

Vemos que en cada 2114 tenemos 10 lineas de direccion y 4 lineas de datos, teniendo asi 1024x4 'Bits' de capacidad. Por tal motivo para formar 1Kx8 de memoria se requieren 2 circuitos integrados 2114.

En el diagrama siguiente se muestran como es el direccionamiento de la memoria RAM con el microprocesador. En el se estan direccionando 1K 'Byte' de memoria utilizando dos circuitos integrados 2114. Necesitamos 6 circuitos mas de la misma capacidad para completar asi un total de 4Kx8 de memoria RAM.

Las direcciones que maneja cada paquete son las siguientes:

MEMORIA 0: 1000H - 13FFH CS0 1024 LOCALIDADES DE MEMORIA.
 MEMORIA 1: 1400H - 17FFH CS1 1024 LOCALIDADES DE MEMORIA.
 MEMORIA 2: 1800H - 1BFFH CS2 1024 LOCALIDADES DE MEMORIA.
 MEMORIA 3: 1C00H - 1FFFH CS3 1024 LOCALIDADES DE MEMORIA.

 4096 LOCALIDADES TOTALES.

LOCALIDAD DE MEMORIA	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1000H	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
13FFH	0	0	0	1	0	0	1	1	1	1	1	1	1	1	1	1
1400H	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0
17FFH	0	0	0	1	0	1	1	1	1	1	1	1	1	1	1	1
1800H	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0
1BFFH	0	0	0	1	1	0	1	1	1	1	1	1	1	1	1	1
1C00H	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0
1FFFH	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1

Para poder direccionar estos 4 paquetes de memoria (2 circuitos 2114 por paquete), se utilizo un decodificador de 3 entradas a 8 salidas. Las entradas de este decodificador (A, B y C) son tomadas del canal de direccion. Estos son A10, A11 y A12 que son los que especifican cual de los 4 paquetes de memoria va a ser accedido por la C.P.U.. Existen ademas 3 seniales de habilitacion al decodificador ('E1', 'E2' y 'E3') las cuales permiten al decodificador producir una sola salida verdadera en base a la combinacion de las direcciones de las entradas al decodificador como se muestra en la siguiente tabla:

A12	A11	A10	'E1/'	'E2/'	'E3'	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	0	0	1	0	1	1	1	1	1	1	1
0	0	1	0	0	1	1	0	1	1	1	1	1	1
0	1	0	0	0	1	1	1	0	1	1	1	1	1
0	1	1	0	0	1	1	1	1	0	1	1	1	1
1	0	0	0	0	1	1	1	1	1	0	1	1	1
1	0	1	0	0	1	1	1	1	1	0	1	1	1
1	1	0	0	0	1	1	1	1	1	1	0	1	1
1	1	1	0	0	1	1	1	1	1	1	1	0	1
1	1	1	0	0	1	1	1	1	1	1	1	1	0
X	X	X	1	1	0	1	1	1	1	1	1	1	1

X - IRRELEVANTE.

Como se puede observar, solamente cuando la entrada de 'E3' se encuentra en 'uno' logico y 'E1/' y 'E2/' se encuentran en 'cero' logico el decodificador se encuentra habilitado y toma la combinacion de sus tres 'Bits' de entrada (A,B y C) y produce una sola salida verdadera.

En cambio cuando los habilitadores no se encuentran en los estados antes mencionados, el decodificador no actua y deja todas sus salidas en unos, de tal forma que ninquin circuito de memoria se habilita para que la C.P.U. lea o escriba informacion. Cuando esto ultimo sucede quiere decir que la C.P.U. esta accesando un dispositivo de entrada/salida o bien que esta realizando una operacion interna. El decodificador de memoria en base a la combinacion que tenga en sus entradas (A,B y C), habilita el integrado donde se encuentra almacenado el 'Byte', y se efectuara la operacion de lectura o escritura dependiendo si la senial de 'RD/' o 'WR/' se encuentran en su condicion de operacion ('cero' logico).

Las entradas de direccion A0-A9 nos dan un total de 1024 combinaciones o de direcciones diferentes, estando almacenada cierta informacion en cada 'Byte'. En resumen para direccionar los 4K de memoria todos los circuitos de memoria que se usan van a tomar estas mismas seniales del canal de direccion (A0 - A9), del canal de control 'RD/' y 'WR/' y del canal de datos de D0-D7, la unica senial que sera independiente a cada uno es la que genera el decodificador ('CS/').

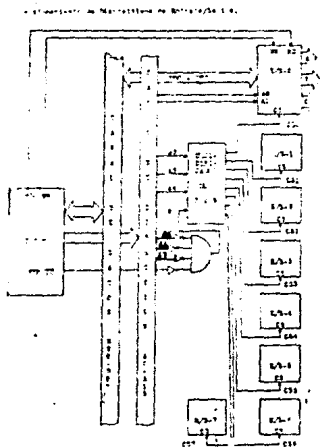
Las primeras lineas de salida del decodificador (Las 4 mas significativas) se pasan por medio de unas compuertas logicas 'Y' (AND) para direccionar los dispositivos correspondientes a la memoria EPROM. Estos es, el decodificador decodificara la memoria EPROM por encima de la RAM. Esto significa que las memorias no se empalmaran evitando un traslope de memorias y que la informacion se mezcle o deforme. En las primeras localidades del area de memoria se encontrara la EPROM y en las restantes la memoria RAM. Cada una de las lineas de salida decodifica de 1K en 1K por lo que se hizo necesario la utilizacion de compuertas logicas. Al salir de estas se esta decodificando de 2K en 2K. Cada linea del decodificador maneja 1K de direccionamiento.

MEMORIAS A ACCESAR.

0000H	07FFH	2K DE MEMORIA EPROM DEL PRIMER 2716.
0800H	0FFFH	2K DE MEMORIA EPROM DEL SEGUNDO 2716.
1000H	13FFH	PRIMER K DE MEMORIA RAM.
1400H	17FFH	SEGUNDO K DE MEMORIA RAM.
1800H	1BFFH	TERCER K DE MEMORIA RAM.
1C00H	1FFFH	CUARTO K DE MEMORIA RAM.

C) DIRECCIONAMIENTO DE PUERTOS.

Para el direccionamiento de los dispositivos de E/S, algunos microprocesadores utilizan los 16 'Bits' del canal de direccion (Motorola 6800) otros solamente 8 'Bits' (Zilog Z-80). El diagrama siguiente solo utiliza 8 'Bits' para el direccionamiento de dispositivos de E/S, pudiendose direccionar hasta 256 dispositivos, que es el numero de combinaciones diferentes con 8 'Bits' (0000-00FF); hasta 256 dispositivos se pueden direccionar si es que cada uno necesita una sola direccion, pues si se necesitan dos direcciones consecutivas, solo se podran direccionar hasta 128 o sea la mitad, y si cada dispositivo necesita 4 direcciones consecutivas solo puede direccionarse hasta 64 dispositivos.



Para direccionar los dispositivos se utiliza de A0 a A7

(parte baja de la direccion).

Cada dispositivo de E/S (8255-1 y 8255-2) contiene 3 puertos en paralelo de 8 'Bits' (A, B y C), que pueden ser programados como entradas o salidas. Cuando A0 y A1 estan en 'cero' logico, la C.P.U. inicializa al dispositivo o bien, lee su registro de estado. Si A0 esta en 'uno' y A1 en 'cero' logico, la C.P.U. realiza transferencias de datos por el puerto 'A' del dispositivo. Cuando A0 se encuentra en 'cero' y A1 en 'uno' logico, la C.P.U. realiza transferencias de datos por el puerto 'B'. Y por ultimo, si A0 y A1 se encuentran en 'uno' logico, la C.P.U. realiza las transferencias de datos por el puerto 'C'. Debido a que estos dispositivos de E/S contienen 3 puertos en paralelo necesita 4 direcciones consecutivas para poderse direccionar. Sirviendo una direccion para control y 3 direcciones para saber el puerto a utilizar. Siendo sus direcciones:

8255 (1) - 04, 05, 06 y 07

8255 (2) - 08, 09, 0A y 0B

El 'Timer programable' (8253), esta constituido internamente por 3 'Timer's' que pueden ser programados. Dependiendo en que estado se encuentre A0 y A1 sera el 'Timer' a utilizarse.

Debido a esto este dispositivo tambien necesita de 4 direcciones consecutivas, una direccion para control y 3 direcciones para saber el 'Timer' a utilizar. Siendo sus

direcciones:

8253 - 0C, 0D, 0E y 0F

El dispositivo de E/S serie (8251) y el Controlador de 'Display'/ Teclado, solo necesitan dos direcciones consecutivas, de las cuales una es para control y la otra para dato. Sus direcciones son:

8279 - 00 y 01

8251 - 02 y 03

Las direcciones que utiliza cada dispositivo de E/S son generadas por un decodificador de tres entradas a ocho salidas, y son las siguientes:

Dispositivo de E/S-0 (8279)	:	0000H - 0001H	Y0	2 Direcciones
Dispositivo de E/S-1 (8251)	:	0002H - 0003H	Y1	2
Dispositivo de E/S-2 (8255-1)	:	0004H - 0007H	Y2-Y3	4
Dispositivo de E/S-3 (8255-2)	:	0008H - 000BH	Y4-Y5	4
Dispositivo de E/S-4 (8253)	:	000CH - 000FH	Y6-Y7	4

16 Direcciones

	A7	A6	A5	A4	A3	A2	A1	A0
Dispositivo de E/S-0 :								
0000H	0	0	0	0	0	0	0	0
0001H	0	0	0	0	0	0	0	1
Dispositivo de E/S-1 :								
0002H	0	0	0	0	0	0	1	0
0003H	0	0	0	0	0	0	1	1
Dispositivo de E/S-2 :								
0004H	0	0	0	0	0	1	0	0
0005H	0	0	0	0	0	1	0	1
0006H	0	0	0	0	0	1	1	0
0007H	0	0	0	0	0	1	1	1
Dispositivo de E/S-3 :								
0008H	0	0	0	0	1	0	0	0
0009H	0	0	0	0	1	0	0	1
000AH	0	0	0	0	1	0	1	0
000BH	0	0	0	0	1	0	1	1
Dispositivo de E/S-4 :								
000CH	0	0	0	0	1	1	0	0
000DH	0	0	0	0	1	1	0	1
000EH	0	0	0	0	1	1	1	0
000FH	0	0	0	0	1	1	1	1

Las entradas del decodificador van concertadas a los 'Bits' A1, A2 y A3 del canal de direccion, y en base a ellos se selecciona al dispositivo de E/S que va a acceder la C.P.U.. Los 'Bits' A4, A5, A6 y A7 se mantienen en cero para la direcciones 0000H hasta 000FH. Las direcciones A4, A5 y A6 deben ser colocadas en una compuerta (NOR de 3 entradas una salida) yendo la salida de esta compuerta al habilitador 'E3', y A7 directa al habilitador 'E2', para que cuando se

cumpla que los cuatro seniales (A4 - A7) sean 'ceros' logicos, el decodificador produzca una salida en base a la combinacion de sus entradas. Ademas de estas seniales se conecta al habilitador 'E1/' la senial de la C.P.U. de 'IORQ/' indicando que cuando en su entrada exista un 'cero' logico, sera que la C.P.U. requiere de algun dispositivo de E/S.

Una vez terminado el arreglo del decodificador quedaria la tabla de verdad de la siguiente forma:

A3	A2	A1	'E1/'	'E2/'	'E3'	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	DISPOSITIVO
0	0	0	0	0	1	0	1	1	1	1	1	1	1	E/S-0
0	0	1	0	0	1	1	0	1	1	1	1	1	1	E/S-1
0	1	0	0	0	1	1	1	0	1	1	1	1	1	E/S-2
0	1	1	0	0	1	1	1	1	0	1	1	1	1	E/S-2
1	0	0	0	0	1	1	1	1	1	0	1	1	1	E/S-3
1	0	1	0	0	1	1	1	1	1	1	0	1	1	E/S-3
1	1	0	0	0	1	1	1	1	1	1	1	0	1	E/S-4
1	1	1	0	0	1	1	1	1	1	1	1	1	0	E/S-4
X	X	X	1	1	0	1	1	1	1	1	1	1	1	NINGUNO

X - IRRELEVANTE.

Como se observa, Y2-Y3, Y4-Y5 y Y6-Y7 llegan a los dispositivos E/S-2, E/S-3 y E/S-4 respectivamente por medio de una compuerta 'Y' (AND), debido a que cada uno de estos dispositivos necesitan de 4 direcciones consecutivas.

NOTA : Para mayor informacion sobre las características de los integrados tanto para la memoria RAM, EPROM, como puertos de E/S ver apendice A.

**CAPITULO IV : PROGRAMACION DEL MICROCOMPUTADOR
EDUCATIVO.**

PROGRAMACION DEL MICROCOMPUTADOR EDUCATIVO.
=====

A) PROGRAMACION DE LOS PUERTOS DE E/S.

Como se ha visto anteriormente, los dispositivos de entrada/salida que son empleados en este proyecto, tienen la característica de ser programables.

De acuerdo con esto, deberán ser programados por medio del envío de uno o mas 'Bytes' para adecuar su funcionamiento a los requerimientos.

La programación de los puertos, deberá ser realizada durante las primeras instrucciones del Sistema Operativo que son ejecutadas por la C.P.U..

Debido a que este 'KIT' puede trabajar por medio de un teclado matricial y 'Display's' de 7 segmentos, se requiere programar al integrado que lo controla (8279). Este ultimo tiene las direcciones 00H y 01H, en donde el 'Byte' enviado por la direccion 00H es interpretado como dato y el 'Byte' enviado con la direccion 01H es interpretado como una secuencia de 'Bits' que indicaran el modo de operacion del mismo.

Por esta razon, al programar el 8279, sera enviado un 00H por la direccion 01H para indicar al circuito que el 'Display' sera de 8 digitos y que la aparicion de los

caracteres sera por la izquierda. Asi mismo se le indicara que comience el rastreo del teclado.

Por otra parte, permite el empleo de una terminal conectada en serie para su operacion. Debido a esto, el 8251 que es el puerto de E/S serie, debera ser programado para la transmision y recepcion de datos (a 9600 Bauds). El 8251 tiene asignadas las direcciones 03H para control y 02H para dato. La programacion de este puerto es la siguiente. Primeramente se manda un 4FH a la direccion 03H (comando) para indicarle que los datos son de 8 'Bits' y la transmision sera asincrona.

Por otro lado, el 8251 requiere ser alimentado de una cierta frecuencia para realizar el manejo de los datos a una velocidad determinada. Esta es alimentada por el 8253 que le envia una frecuencia para operar a 9600 Bauds.

El 8253, es programado a su vez para que la frecuencia suministrada por el 7473 (biestable el cual tiene una frecuencia de entrada de 28.75 MHZ), que dividido entre sus 3 Flip-Flop dependientes nos da una frecuencia de 3.64 MHZ (siendo esta la frecuencia que requiere el microprocesador Z-80 en su entrada D). Esta frecuencia (3.64 MHZ) retroalimentada a la entrada A (del Flip-Flop independiente) nos da como salida una frecuencia dividida entre 2, teniendo una frecuencia de 1.8 MHZ, siendo esta una frecuencia menor a 2 MHZ (frecuencia maxima admisible para el 8253). La salida 'Out' 0 es conectada al 'TXC' y 'RXC' del 8251, y 'Out' 1 a la 'NMI/' del Z-80.

La frecuencia que llega al 'TxC/' y 'RxC/' del 8251 es dividida entre 16 (internamente), para darnos una velocidad de transmision y recepcion de 9600 Bauds.

El circuito integrado 8253 tiene las direcciones de la 0CH a la 0FH, donde la 0CH corresponde al control y las otras 3 corresponden a los 3 'TIMERS' programables que contiene internamente.

Para la generacion de la frecuencia se emplea el primer 'TIMER', por tanto, la programacion del 8253 ('Mode Baud Rate'), sera, enviando por la direccion 0FH un 34H que implica la seleccion del contador 0 y se le indica que genere el tipo de onda que corresponde a la generacion de 'Baud Rate'. Por otra parte, se le indica que el numero suministrado como base del conteo sera de 16 'Bits' y que primeramente se le enviara el 'Byte' menos significativo y despues el mas significativo, y estara programado en modo 2.

Asi mismo, debido a que se puede trabajar en dos formas diferentes (teclado o terminal), debe existir una forma de indicar al sistema en que modo se operara, por lo tanto se ha asignado el 'Bit' 7 del puerto 'C' del 8255 (1) al cual se conecta un interruptor. Si el interruptor esta colocado en la posicion de encendido, expresara que se trabajara con la terminal y en caso contrario, implicara que se operara en el teclado.

Para lograr la correcta interpretacion de este interruptor, se programa al 8255 (1), (cuyas direcciones son de la 08H a la 0BH), de la siguiente forma:

Se le envia un 9BH para indicar que el puerto 'C' sera de entrada, por otra parte, se indica que se trabajara en modo 0, donde el puerto A y B seran para transferencia de datos y el puerto C para manejo de seniales de control.

B) DEFINICION DE LOS MODOS DE INTERRUPCION.

El Z-80 cuenta con 3 modos de interrupcion, es decir, 3 formas diferentes de atender a los dispositivos que soliciten atencion. Estos modos son :

MOD0 0.- Si se encuentra habilitado el dispositivo de E/S generador de la interrupcion puede colocar cualquier instruccion en el canal de datos y permite que la CPU la ejecute.

MOD0 1.- Es el modo simplificado donde la C.P.U. ejecuta un 'RST' a la localidad 0038H, asi que no demanda ningun requerimiento de 'Hardware', es decir, no necesita que un dispositivo sea inteligente, (El contador de programa anterior se almacena el en area de pila).

MOD0 2.- Es mas poderoso, ya que permite un 'CALL' indirecto a cualcualquier localidad de memoria. En este modo la C.P.U. forma una direccion (16 'Bits') donde los mas significativos se contienen en el registro indice (I) y los otros 8 son dados por el dispositivo que causo la interrupcion. Esta direccion apunta a los 2 primeros 'Bytes'.

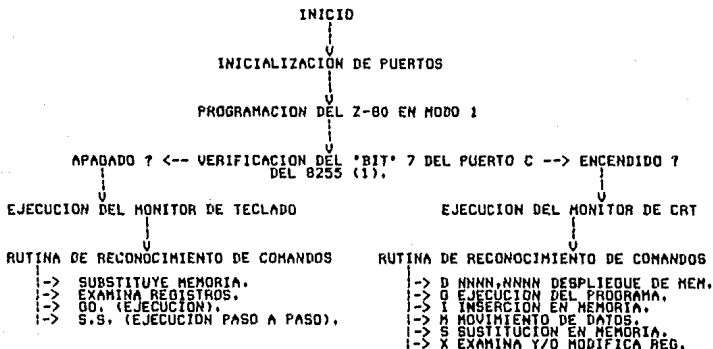
en una tabla donde se encuentra la dirección de la rutina de servicio. La C.P.U. automáticamente obtiene la dirección inicial y realiza un CALL a la misma.

De acuerdo a lo explicado en los modos anteriores y a que el sistema operativo es una modificación del KIT SDK-85 de INTEL, se eligió el modo 1 ya que el Z-80 carece de las interrupciones de tipo RST del 8085, y que este funciona de manera análoga al RST.

C) SISTEMA OPERATIVO.

Un sistema operativo es un programa principal que tiene como función la administración de los recursos del sistema.

En este caso, el sistema operativo se encuentra residente en memoria EPROM de 2K X 8. Este sistema es una adaptación del sistema que contiene el SDK-85. A continuación se explica por bloques.



La operacion de estos comandos se explica en detalle en el capitulo 5 inciso B.

Este sistema operativo cuenta con diversas rutinas que el mismo emplea y que a su vez el usuario puede llamar dentro de su programa. Este tipo de subprogramas, se conocen como rutinas de utileria.

Antes de profundizar en las rutinas de utileria de este sistema operativo se revisara el concepto de rutina.

Una rutina es una secuencia de instrucciones que son empleadas en forma repetitiva. Lo unico que en ultima instancia cambia son los valores de los datos.

Todos los microprocesadores actuales cuentan con instrucciones que permiten la ejecucion de esta secuencia en cualquier parte del programa, lo que permite que con una sola vez que la rutina sea escrita, pueda ser ejecutada cuando se le llame. Por lo general, se emplea esta caracteristica para el manejo de entradas y salidas asi como para ciertas operaciones que son repetitivas durante todo el sistema operativo.

De acuerdo con esto y entrando en materia, el sistema operativo objeto de este estudio cuenta con la siguientes rutinas :

DIRECCION MNEMONICO DESCRIPCION

059A CI ENTRADA DE LA CONSOLA - Esta rutina toma o lee un caracter (en codiaq ASCII) recibido de la terminal al registro A. Esta rutina destruye el registro A, y la bandera F/F' S.

05AD CO SALIDA A LA CONSOLA - Esta rutina transmite un caracter (en codiaq ASCII) contenido en el registro C hacia la terminal (esto normalmente se le conoce como ECO). Destruye el registro A, y la bandera F/F' S.

05B8 CROUT RETORNO DE CARRO, ALIMENTACION DE LINEA - Manda un retorno de carro ('CARRIAGE RETURN') y un salto de renqlon ('LINE FEED') a la terminal. Destruye los registros A, B y C, y la bandera F/F' S.

06BD NMDUT IMPRESION DE NUMERO HEXADECIMAL - NMDUT convierte un entero no asignado de 8 'Bits' del registro A en 2 caracteres ASCII representando 2 diqitos hexadecimales y manda estos 2 ultimos a la terminal. Destruye los registros A, B y C, y la bandera F/F' S.

0354 UPDAD ACTUALIZA ZONA DE DIRECCION DEL 'DISPLAY' - Esta rutina actualiza la zona de direcciones del 'Display'. El contenido del registro par D-E es desplegado en la zona de direccion del 'Display'. Son alterados los registros A, B, C, D, E, H y L, la bandera F/F' S.

035F UPDDT ACTUALIZA ZONA DE DATOS DEL 'DISPLAY' - Esta

rutina actualiza la zona de datos del 'Display'. El contenido del registro A es desplegado en notacion hexadecimal en la zona de datos del 'Display'. Son alterados los registros A, B, C, D, E, H y L, y la bandera F/F' S.

02D9 RDKBD LECTURA DE TECLADO - Esta rutina espera hasta que un caracter es introducido por medio del teclado y es almacenado el valor de este caracter en el registro A. Son alterados los registros A, H y L, y la bandera F/F' S.

0752 DELAY TIEMPO DE RETRAZO - Esta rutina toma los 16-'Bits' del contenido del registro par DE y el contenido de 'Down Zero', retornando al programa por un 'CALL'. Destruye los registros A, D, E y la bandera F/F' S.

02AB OUTPT CARACTERES DE SALIDA - La rutina manda caracteres para despliegue con parametros de colocacion por los registros A, B, H y L.

Registro A = 0 Despliegue por el campo de direcciones.

Registro A = 1 Despliegue por el campo de datos.

Registro B = 0 Punto decimal apagado.

Registro B = 1 Punto decimal encendido.

Registro H y L Direccion inicial de los caracteres a enviar.

Altera los registros A, B, C, D, E, H y L, y la bandera

F/F' S.

CARACTER DESPLEGADO CONTENIDO HEXADECIMAL EN LA MEMORIA APUNTADO
POR LOS REGISTROS H Y L.

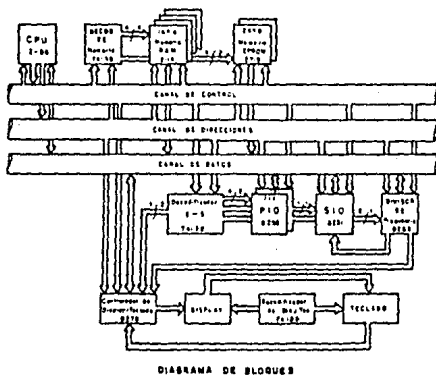
0	00
1	01
2	02
3	03
4	04
5	05
6	06
7	07
8	08
9	09
A	0A
b	0B
C	0C
d	0D
E	0E
F	0F
H	10
L	11
P	12
I	13
r	14
S	05
BLANCO	15

CAPITULO V ; TEORIA DE OPERACION.

TEORIA DE OPERACION.

A) FUNCIONAMIENTO.

Para un mayor entendimiento del funcionamiento de todo el sistema (Kit Z-80) se muestra a continuacion el Diagrama de Bloques del Sistema.



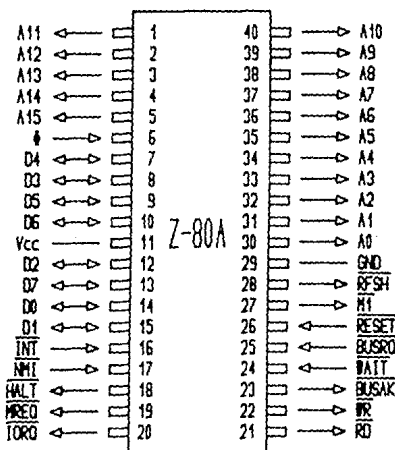
La C.P.U. Z-80 genera 3 tipos seniales diferentes que forman el 'CANAL DEL SISTEMA', constituido por:

1) Canal de Datos - De 8 lineas bidireccionales por donde viaja la informacion.

2) Canal de Direccion - Constituido por 16 'Bits' unidireccionales.

3) Canal de Control - Este canal cuenta con un numero determinado de lineas que salen o entran a los dispositivos. Estas proporcionan seniales que regulan el funcionamiento del sistema del Microcomputador.

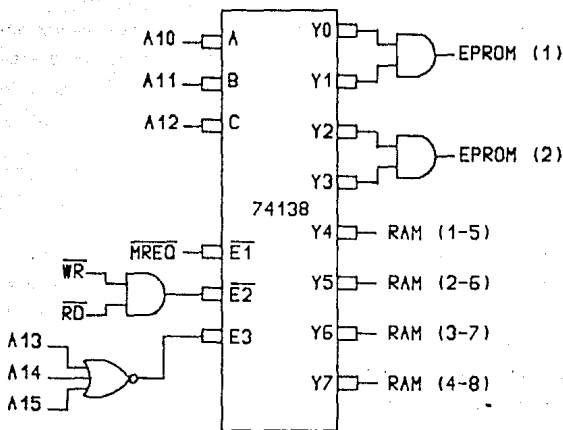
El canal de datos del Z-80 es un canal bidireccional (de entrada y salida de datos) de 8 'Bits', que utiliza para intercambio de datos con memoria y puertos de E/S. Por otro lado genera 16 'Bits' de direccion con los cuales se interconecta con el canal de direccion del Sistema. Este puede direccionar hasta 64K 'Bytes' de memoria (o sea 2^{16}); y su canal de control esta formado por 13 'Bits' de los cuales unos seniales son para sincronizar las operaciones de E/S entre la C.P.U. y la memoria y otros dispositivos externos; otras que controlan a la C.P.U., tales como las interrupciones, espera y paro; y otras mas que controlan el acceso a los canales de datos y direcciones.



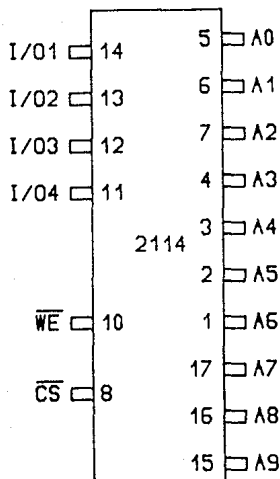
El sistema cuenta con 2 Decodificadores, uno para memoria y el otro para puertos. Para poder habilitar un 'CS/' de salida, ya sea para seleccionar memoria o un puerto de E/S, se auxilian estos con seniales del canal de direccion y unas seniales del canal de control (esto es para cada decodificador).

El decodificador de memoria tiene 3 entradas de direccion, en la cual la combinacion de estas 3 seleccionara una y solo una salida verdadera (por medio del 'CS/'), seleccionando que dispositivo de memoria se utilizara. Ademas cuenta con 3 habilitadores ('E1/', 'E2/', 'E3' donde los 2 primeros se habilitan con logica neqada y el ultimo con logica positiva) de donde 2 de ellos son utilizados como entrada de seniales de control. La primera senial de control sera la de 'MREQ/', que genera la C.P.U., la cual si se encuentra en 'cero' logico querra decir que es requerimiento a memoria (habilitando el 'E1/'). Para el 'E2/' le llegaron dos seniales del canal de control, en este caso son 'RD/' y 'WR/' pasandolas primero por una compuerta 'Y' (AND), esto es para que cualquiera de las dos que se encuentre en 'cero' logico, habilite el 'E2/'. Y el ultimo habilitador ira en su entrada con una compuerta 'NOR' teniendo como entradas a A13, A14 y A15.

Son tomados los 'Bits' de direcciones de la parte alta (A13, A14 y A15) debido a que el direccionamiento de memoria esta de la 0000H-OFFFH (para la EPROM) y de la 1000H-1FFFFH (para la memoria RAM), y estas tres 'Bits' permanecen en 'cero' logico para estas direcciones.

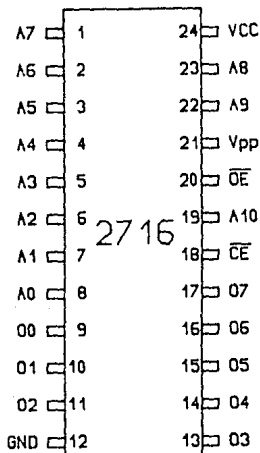


Se cuentan con 2 C.I. 2114 (para cada grupo de 1Kx8 de memoria RAM), debido que en uno de ellos se almacena la parte baja del dato y en el otro integrado la parte alta del mismo. Su canal de direccion se interconecta con el canal del Sistema por medio de 10 líneas, por cada una de las cuales se recibe un 'Bit'. La combinación del canal de datos con el canal de direccion nos forma un número de localidades de memoria; en este caso se tiene 1024 x 8 localidades de memoria (o sea 1024 'Bytes'). La memoria RAM 2114 está formada por 4K 'Bits' de memoria (1Kx4), debido a esto se utilizan 8 C.I. 2114, recibiendo del decodificador de memoria una señal de habilitación ('CS/') siendo común por cada dos C.I.. El canal de direcciones es común para todos los dispositivos de memoria RAM. Del canal de control solo se requiere una señal, que es la de escritura ('WR/').



La memoria EPROM, su canal de datos esta formado por 8 lineas de salida, el cual se interconecta con el canal de Datos del Sistema. Esto se debe que en el EPROM no se puede mandar datos a almacenar, debido a que este es programado previamente. Como se ve se utilizan 2 C.I. 2716; uno con un fin especifico (conteniendo el Sistema Operativo) y el segundo puede ser utilizado por el usuario, para satisfacer sus necesidades. El 2716 esta formado por 2K 'Bytes' de memoria interna. Consta de 11 lineas de entrada de direccion, las cuales son tomadas del canal de direccion del sistema. Al igual que la memoria RAM solo requiere de una senial de control, siendo la de lectura ('RD/') solamente. Externamente reciben cada C.I. 2716 la senial de 'CS/' (para ser habilitados) que viene del decodificador de memoria (se utilizan 2 salidas de 'CS/' conectadas a una compuerta 'AND',

ya que el decodificador decodifica de 1K en 1K, si no se tendria que utilizar un decodificador que decodificara de 2K en 2K); todas las demas seniales son comunes entre los integrados.



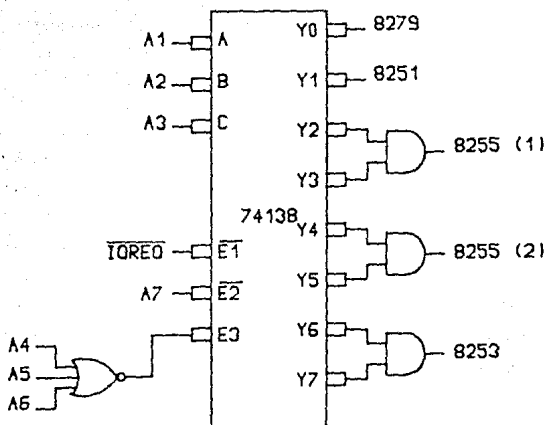
El decodificador de puertos de E/S al igual que el de memoria necesita de lineas de direccion para que en base de la combinacion de estas seleccione el dispositivo a habilitar. Estas direcciones son tomadas del canal de direcciones del Sistema, sirviendo de entradas al decodificador; tomándose la parte baja de la direccion, es decir los 8 'Bits' menos significativos (el direccionamiento de puertos E/S se realiza en base a 8 'Bits' exclusivamente). Del canal de Control del Sistema es tomada solo la senial de 'IOREQ/' (requerimiento de E/S). Esta senial al encontrarse un 'cero' logico en su entrada habilitara el 'E1/', indicando

que la C.P.U. requiere de algun dispositivo de E/S. En base a sus combinaciones de entrada dara una y solo una salida verdadera habilitando asi a uno de los dispositivos.

Los puertos en paralelo 8255(1), 8255(2) necesitan 4 direcciones consecutivas cada uno, debido a que una direccion es utilizada para control y tres direcciones para puertos, ya que cada 8255 internamente tiene 2 puertos distintos de 8 'Bits' cada uno (PA, PB) y uno de 6 'Bits' (PC). De igual manera el 8253 necesita de 4 direcciones consecutivas, uno para control y 3 direcciones para los 'Timer's' que internamente tiene.

Para el 8251 y 8279 solo se necesitan 2 direcciones, de las cuales una es para control y la otra para seleccionar si es dato.

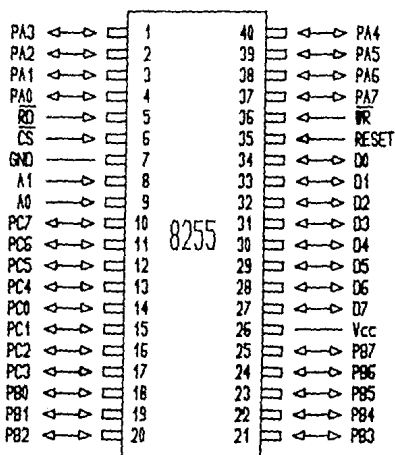
Por lo tanto, en base a la combinacion de A, B y C, y de sus habilitadores, solo se genera una y solo una salida verdadera, entonces, 'Y0' sera para el 'CS/' del 8279 ya que sus direcciones son 00H-01H; 'Y1' para el 'CS/' del 8251, siendo sus direcciones 02H-03H; 'Y2' y 'Y3', 'Y4' y 'Y5', 'Y6' y 'Y7', iran cada Juego conectadas a la entrada de una compuerta 'AND', de donde la salida de cada compuerta ira: una para el 'CS/' del 8255(1) de donde sus direcciones son 04H, 05H, 06H y 07H; la otra para el 8255(2) siendo sus direcciones 08H, 09H, 0AH y 0BH; y la restante para el 'CS/' del 8253 donde sus direcciones son 0CH, 0DH, 0EH y 0FH.



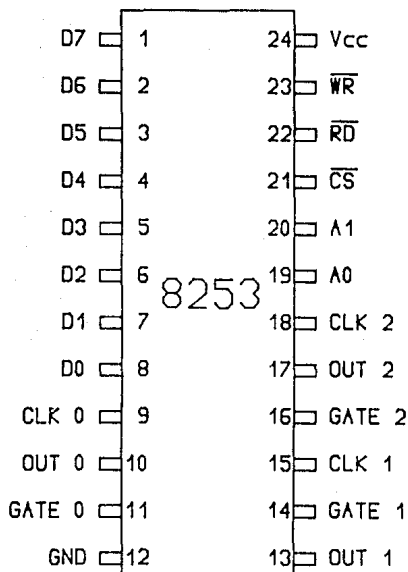
En los dispositivos de E/S (el 8255 PIO, 8251 SIO, 8279 CONTROLADOR DE 'DISPLAY'/TECLADO y 8253 DIVISOR DE FRECUENCIA) la comunicacion con el canal de datos del sistema es por medio de 8 lineas de datos que tiene cada uno, siendo comun a ellos.

Se cuenta con 2 C.I. 8255 (puertos paralelos de E/S) teniendo cada uno 2 entradas de direccion que interconectan al canal de direcciones. En base a la combinacion de estas 2 entradas se selecciona el puerto a trabajar. Estas direcciones son los menos significativas del canal de direccion. Del canal de control toma las seniales de 'RD/', 'WR/' y 'RESET'. Cuando el 'RESET' se encuentra en 'uno' logico, el 8255 lo interpretara como una inicializacion, borrando el registro de control y habilitando en modo de

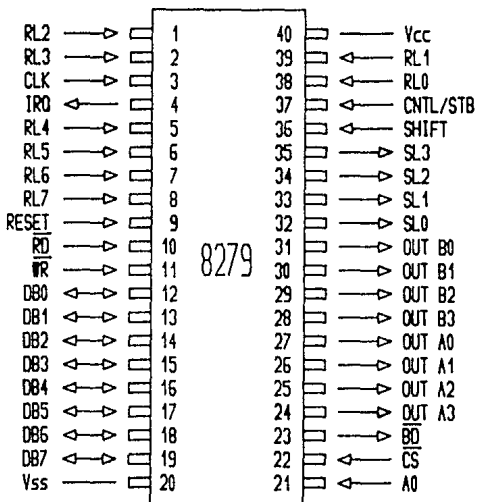
entrada a los puertos (A, B, C). Tanto el 'RD/' y el 'WR/' cuando se encuentra un 'cero' logico en su entrada (cualquiera de los 2, pero no los 2 al mismo tiempo), la C.P.U. leera desde el 8255 (en 'RD/') o escribira datos o palabras de control en el 8255 (con el 'WR/').



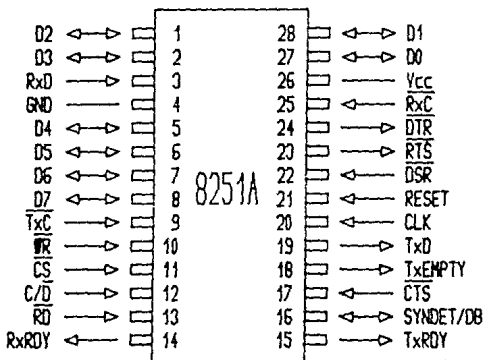
El 8253 (divisor de frecuencia) se interconecta al canal de direccion por medio de 2 seniales de entrada (A0 y A1), las cuales son las menos significativas. La combinacion de estas 2 seniales es para seleccionar uno de los 3 contadores que tiene internamente. Este integrado solo tiene como entradas del canal de control a 'RD/' y 'WR/'. Cuando el 'RD/' tenga un 'cero' logico en su entrada, indica que la C.P.U. manda informacion a este que sera tomada como un valor para el contador. Pero si en vez del 'RD/' se encuentra el 'WR/' en 'cero' logico indicara que la C.P.U. esta tomando informacion o cargando a los contadores.



El 8279 (controlador de 'Display'/Teclado) solo cuenta con una entrada de señal del canal de direcciones. Esta señal es A0, en la cual si existe un uno, indica que las señales que entran o salen son interpretadas como una señal de comando o estado; y si fuese un cero indicara que es un dato. Al igual que a los anteriores del canal de control le llegan 3 señales. Si el 'RESET' tiene en su entrada un 'uno' logico, se inicializara este circuito. El 'RD/' y 'WR/' habilitaran el 'Buffer' de datos a mandar o recibir datos del canal externo.



El 8251 (puerto serie de E/S) recibe del canal de control las seniales de 'RD/', 'WR/' y 'RESET'. Este ultimo al encontrarse en 'cero' logico indica al 8251 que permanecera inactivo, hasta que sea programado para determinada funcion. El 'WR/' teniendo un cero en su entrada, indica que la C.P.U. esta escribiendo un dato o una palabra de control para el; y si el 'RD/' se encuentra en 'cero' logico a la entrada del 8251 dira, que esta leyendo la C.P.U. un dato o la informacion de estado del 8251.



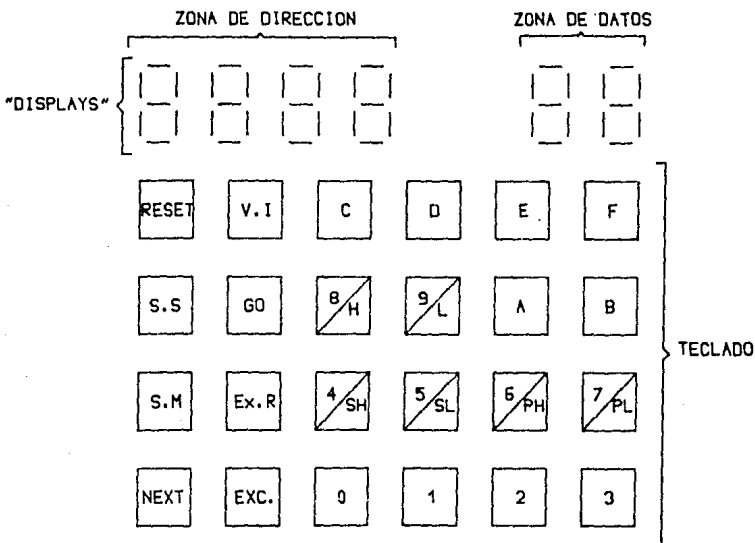
B) COMANDOS DEL SISTEMA.

Antes de entrar en materia se comentara que es un Comando. Un comando es un caracter o conjunto de caracteres que indican al Sistema Operativo que el usuario desea hacer uso de los recursos del computador.

En este caso, el unico recurso disponible a este nivel es la memoria y los registros de la C.P.U., ya que el usuario puede leer el contenido de estos recursos (memoria RAM, ROM y registros) o bien cambiar el valor de los mismos (solamente memoria RAM y registros).

Los comandos que permiten leer o cambiar los valores de la memoria es el < S.M > (Substituye en Memoria), y para cambiar o leer el contenido de los registros es el < Ex.R. > (Examina registros). Asi mismo el comando < GO > hace que el Sistema Operativo ceda su control a la C.P.U. para que esta ejecute el programa del usuario; y el < S.S > ('Single Step'), hara que ejecute un programa paso a paso.

Se cuenta con un teclado matricial (de 4 x 6), de las cuales 8 teclas son de control y las restantes son teclas hexanumericas (es decir que van del 0 a la F) y algunas de ellas tienen una doble funcion (para exploracion de registros). Se cuenta ademas con 6 'Display's' de los cuales 4 forman la zona de direccion y los 2 restantes forman la zona de datos.



TECLADO Y 'DISPLAY'S'.

Para que opere el teclado y los 'Display's', se hara oprimiendo una tecla del tablero. Cuando la tecla de <RESET> sea presionada, el sistema operativo estara listo para aceptar comandos.

La longitud numerica, sera, desde 1 hasta 4 digitos hexadecimales para la zona de direccion, y de 1 a 2 digitos hexadecimales para los registros y datos de memoria.

Notese que para el Kit Z-80 el sistema numerico que se utilizara sera el Hexadecimal, o base 16. En la tabla siguiente enlistaremos la numeracion hexadecimal, su equivalente en decimal y binario.

HEXADECIMAL	DECIMAL	BINARIO
0	0	0000
1	1	0001
2	2	0010
3	3	0011
4	4	0100
5	5	0101
6	6	0110
7	7	0111
8	8	1000
9	9	1001
A	10	1010
B	11	1011
C	12	1100
D	13	1101
E	14	1110
F	15	1111

Apareciendo en un 'Display' de 7 segmentos de la forma siguiente:

HEXADECIMAL	DECIMAL	BINARIO	'DISPLAY'
0	0	0000	
1	1	0001	
2	2	0010	
3	3	0011	
4	4	0100	
5	5	0101	
6	6	0110	
7	7	0111	
8	8	1000	
9	9	1001	
A	10	1010	
B	11	1011	
C	12	1100	
D	13	1101	
E	14	1110	
F	15	1111	

Siempre que el monitor espera un comando, aparecera a la izquierda de la zona de direcciones una raya horizontal ' - ' (posiblemente viene con un mensaje de error). Cuando el monitor espera un parametro, un punto decimal se desplegara en el angulo inferior derecho del campo, en el cual el argumento sera colocado. Un parametro puede ser una direccion o un 'Byte' de dato, el cual es usado durante la ejecucion de un comando.

En las descripciones de los modos de comando, las letras mayusculas y los numeros encerrados en 'Boxes' representan, llaves de teclado. Palabras o frases en minusculas encerrados en '< >', describen la naturaleza de los parametros de los comandos que uno puede introducir. Los '()' en el informe de formato, indican un argumento opcional.

< RESET >.

Esta tecla origina una reinicializacion del 'Hardware' e inicializa al monitor. Un mensaje '-CPU 80' sera desplegado a traves de la zona de direcciones y datos del 'Display', si se encuentra en modo de 'Display' y teclado.

Si se encuentra conectada a una terminal, aparecera en esta el mensaje '.Z-80 Tesis'. El monitor se encontrara listo para aceptar un comando despues de haber 'Reseteado'; y no se podra salvar informacion de programas cuando no se ha reinicializado al sistema.

SUBSTITUYE MEMORIA < S.M >.

S.M <DIRECCION> NEXT (<DATO>) NEXT (<DATO>) EXEC.

El comando de Substituye Memoria < S.M >, permite la lectura del contenido de la memoria EPROM, y examina y modifica el contenido (de la localidad) de la memoria RAM.

El argumento de la direccion, indicara el contenido de la direccion de memoria que sera examinado, y talvez desde 1 a 4 digitos hexadecimales. Si se teclean numeros muy largos, solo seran tomados los ultimos 4 digitos. Tan pronto es determinado el numero por la tecla de < NEXT >, el contenido de la localidad sera mostrado en la zona de datos, y el punto decimal se despazara al anqulo inferior derecho del ultimo 'Display' de la zona de datos. Cuando se teclea un numero, este aparecera en la zona de datos, de cualquier forma el contenido de la localidad de memoria no sera cambiado hasta que se presione la tecla de < Exec. > o < NEXT >.

Al presionar la tecla de < NEXT > el contenido de la zona de datos se guardara en la direccion de la memoria. Entonces la direccion y el contenido de la siguiente localidad de memoria sera automaticamente mostrado. Presionando la tecla < Exec. > el dato se guardara en la direccion de la memoria, sin aparecer en la zona de datos la siguiente localidad de memoria, y con esto teminara la funcion de este comando.

Presionando la tecla de < NEXT >, teniendo la localidad

OFFFPH, ocasionara que la direccion 0000H sea desplegada.

De cualquier manera el comando cambia el contenido de la localidad de memoria y tambien verifica si el cambio a ocurrido correctamente. Si el contenido de la localidad no ha sido cargado con el valor que debe ser, se generara un mensaje de error.

EJEMPLOS:

1)Substituye Memoria.

TECLA	DIRECCION	DATO
< S.M >	.	
< 0 >	0000.	
< NEXT >	0000	F3.
< NEXT >	0001	3E.
< NEXT >	0002	00.
< NEXT >	0003	d3.
< Exec. >	-	

2)Substituye Memoria.

Utilizando la tecla de S.M para meter un pequeno programa.

TECLA	DIRECCION	DATO
< S.H >	.	
< 1 >	0001.	
< 0 >	0010.	
< 0 >	0100.	
< 0 >	1000.	
< NEXT >	1000	**.
< 3 >	1000	03.
< E >	1000	3E.
< NEXT >	1001	**.
< 4/S.H >	1001	04.
< 7/P.L >	1001	47.
< NEXT >	1002	**.
< C >	1002	0C.
< F >	1002	CF.
< Exec. >	-	

NOTA: Los dos '**' representan valores impredecibles.

Despues de haber cargado el programa anterior, utilice otra vez la tecla de < S.H > para regresar y checar el contenido de las localidades de la 1000 a la 1001.

DIRECCION	DATO	INSTRUCCIONES EN ASSEMBLER DEL Z-80
1000	3E	MVI A,47H
1001	47	
1002	CF	RST 1

Este programa carga al registro A con el numero 47 hexadecimal y regresa al monitor.

EXAMINA REGISTROS < Ex.R >.

Ex.R <REGISTRO> NEXT (<DATO>) NEXT (<DATO>) EXEC.

El comando de Examino Registro permite modificar el contenido de los registros de la C.P.U. Z-80.

Al ser presionada la tecla de < Ex.R >, aparecera el punto decimal en el anulo inferior derecho de la zona de direcciones. Hasta este punto debemos presionar la tecla de registro (el nombre del registro se encuentra indicada en el tablero). Cualquier otra tecla que sea presionada generara un error.

Si esta tecla de examina registro es presionada, el nombre del registro aparecera en la zona de direccion, y el contenido de este registro se desplegara en la zona de datos, teniendo el punto decimal en el anulo inferior derecho de esta zona. Al aparecer en la zona de datos un numero entero, no podra ser cambiado o alterado al ser presionada la tecla de < Exec. > o < NEXT >.

Cada vez que sea presionada la tecla de < NEXT > ira desplegandose en la zona de direccion registro por registro. Teniendo la siguiente secuencia:

TECLA/'DISPLAY'
CODIGO

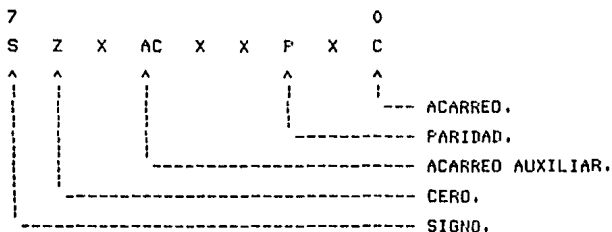
REGISTRO

< A >	REGISTRO 'A' DE LA C.P.U..
< B >	REGISTRO 'B' DE LA C.P.U..
< C >	REGISTRO 'C' DE LA C.P.U..
< D >	REGISTRO 'D' DE LA C.P.U..
< E >	REGISTRO 'E' DE LA C.P.U..
< F >	'BYTE' DE BANDERAS DE LA C.P.U..
< I >	INTERRUPCION MASCARILLABLE.
< H >	REGISTRO 'H' DE LA C.P.U..
< L >	REGISTRO 'L' DE LA C.P.U..
< SPH >	EL 'BYTE' MAS SIGNIFICATIVO DEL S.P..
< SPL >	EL 'BYTE' MENOS SIGNIFICATIVO DEL S.P..
< PCH >	EL 'BYTE' MAS SIGNIFICATIVO DEL P.C..
< PCL >	EL 'BYTE' MENOS SIGNIFICATIVO DEL P.C..

Presionando la tecla de < NEXT >, mientras el registro 'PCL' ha sido desplegado tiene el mismo efecto si se presionara la tecla de < EXC >.

Un uno en el campo de mascarilleo de interrupcion, denota una condicion mascarillada. Tiene que ser un cero para habilitar la interrupcion.

El 'Byte' de banderas contiene las banderas de condicion de la C.P.U. Z-80. El formato del 'Byte' de banderas es:



X = IRRELEVANTE.

EJEMPLOS:

1) Examina registro:

TECLA	DIRECCION	DATO
< Ex.R >		
< 4/SPH >	SPH	**.
< 2 >	SPH	02.
< 0 >	SPH	20.
< NEXT >	SPL	**.
< C >	SPL	0C.
< 2 >	SPL	C2.
< Exec. >	-	

2) Examina Registro:

TECLA	DIRECCION	DATO
< Ex.R >	.	
< A >	A	**,
< NEXT >	b	**,
< NEXT >	C	**,
< NEXT >	d	**,
< NEXT >	E	**,
< NEXT >	F	**,
< NEXT >	I	**,
< NEXT >	H	**,
< NEXT >	L	**,
< NEXT >	SPH	**,
< NEXT >	SPL	**,
< NEXT >	PCH	**,
< NEXT >	PCL	**,
< NEXT > o < Exec. >	-	

NOTA: '**' Representa el contenido de registro cuyo nombre esta en el 'Display' en la zona de direccion.

< GO >.

GO (<DIRECCION>) EXC.

Presionando esta tecla, ocasiona que el contenido del contador de programa (PCH y PCL) sean desplegados en la zona de direcciones junto con el punto decimal en el anulo inferior derecho del campo. El contador de programa se encuentra disponible para el cambio, y ninquin numero entero (un numero opcional) cambiara el nuevo contenido del contador de programa.

Presionando la tecla de < Exec. > es transferido el control de la direccion de la C.P.U. a la zona de direccion (el contenido del PC). Antes de transferir el control, la zona de direccion de datos del 'Display' se bloquea, y una 'E' aparecera en la zona de direccion.

Presionando cualquier otra tecla (con excepcion de < Exec. >) se generara un error. El monitor regresara el control a la C.P.U. despues de teclear < RESET > o despues de ejecutar una instruccion de 'RSTO', 'RST1' o 'JMPO' (estas son instrucciones para programas).

EJEMPLOS:

1)GO.

Se puede ejecutar un programa, utilizando el ejemplo (2) del Substituye Memoria. Primero, se utilizaran 3 localidades de memoria, y despues se ejecutara.

TECLA	DIRECCION	DATO	COMANDO
< S.H >	.		
< 1 >	0001.		
< 0 >	0010.		
< 0 >	0100.		
< 0 >	1000.		
< NEXT >	1000	3E.	MVI A,47
< NEXT >	1001	47.	
< NEXT >	1002	CF.	RST1
< Exec. >	-		
< GO >	****.		
< 1 >	0001.		
< 0 >	0010.		
< 0 >	0100.		
< 0 >	1000.		
< Exec. >	-CPU	80	

NOTA: '****' Representan valores impredecibles.

Recordando que este pequeño programa carga el registro A con el nuevo valor 47H y se puede ver el registro A si en realidad lo carga, presionando la tecla de < Ex.R >, siguiendo los pasos que abajo se muestran:

TECLA	DIRECCION	DATO	COMANDO
< Ex.R >	.		
< A >	A	47.	El registro 'A' carga el nuevo valor.
< 0 >	A	00.	
< Exec. >	-		En 'A' se carga 00.
< GO >	****	**.	
< 1 >	0001.		
< 0 >	0010.		
< 0 >	0100.		
< 0 >	1000.		
< Exec. >	-CPU	80	
< Ex.R >	.		
< A >	A	47.	Carga de nuevo el valor 47.

El valor de la dirección 1001 se puede cambiar por otro número, cargándose este nuevo valor en el registro A. Esto se haría siguiendo la siguiente secuencia:

TECLA	DIRECCION	DATO
S.M	.	
1	0001.	
0	0010.	
0	0100.	
1	1001.	
NEXT	1001	47.
9	1001	09.
F	1001	9F.
EX.	-	
GD	****	**.
1	0001.	
0	0010.	
0	0100.	
0	1000.	
EX.	-CPU	80
EX.R	.	
A	A	9F.

'SINGLE STEP' < S.S >.

S.S (<DIRECCION>) NEXT NEXT EXC.

Al presionar la tecla de < S.S > provocara que el contenido del contador de programa (PCH y PCL) sea desplegado

en la zona de direccion estando el punto decimal en el anulo inferior derecho de la misma. En la zona de datos indicara los contenidos de las direcciones por el contenido de 'PC'. El PC estara disponible para el cambio y cualquier numero cargado (un numero opcional) cambiara el contenido del PC.

Presionando la tecla de < NEXT > la C.P.U. provoca que sea ejecutada una instruccion por el contador de programa. Despues de la ejecucion el sistema operativo regresa el control a la C.P.U., y la zona de direccion y de datos contendra los nuevos valores del PC, y el contenido del 'Byte' de direccion por el PC respectivamente. El punto regresara al anulo inferior derecho de la zona de direccion, indicando al contador de programa que esta disponible otra vez.

Si la tecla de < Exec. > es presionada la instruccion no se ejecutara. La direccion desplegada en la zona de direccion sera el contenido del PC y el comando de < S.S > se termina. Se puede examinar o modificar los registros y las localidades de memoria para verificar la ejecucion del programa. Presionando la tecla de < S.S > se regresara al modo de 'Single Step' y subsecuentemente presionando la tecla de < NEXT > permitira que se continue instruccion por instruccion a traves del programa.

EJEMPLO:

TECLA	DIRECCION	DATO
< S.S >	****.	**
< B/H >	000B.	
< NEXT >	000b.	E1
< NEXT >	000C.	22
< NEXT >	000F.	F5
< NEXT >	0010.	E1

Apartir de aqui ejecuta el programa en forma normal.

< Exec. >	-	
< GO >	0010.	E1
< Exec. >	-CPU	B0

DEPURANDO PROGRMA - EL USO DE LA SUSPENSION DE
INTERRUPCION.

Cuando es prendida la fuente de alimentacion, todas las seniales (que tengan tres estados) se encontraran en un tercer estado (OCIOSO), ya que no tienen una senial de 'RESET' automatico, por lo tanto para poder habilitar (que oscilen las seniales) estas seniales, se tendra que presionar

la tecla de < RESET >.

La ejecucion de un 'RST1', manda que sea desplegado un mensaje, siendo el mismo como si se diera un < RESET > (-CPU 80), pero todos los registros y la memoria del usuario se ejecutaran dentro de un estado, cuando estos se encuentren en un tiempo de la ejecucion del 'RST1'. El sistema no sera inicializado o reseteado cuando se este ejecutando.

El 'RST1' puede colocarse en cualquier localidad de memoria RAM, para asi poder examinar en que estado se encuentra la C.P.U.; se puede tambien por programa la cual al encontrarse un 'RST1', este regrese al monitor, pudiendose asi examinar registros o localidades de memoria o utilizar la tecla de < S.S >.

Para seguir la ejecucion del programa del usuario, se presiona la tecla de < GO >. El valor del PC despues de la instruccion aparecera en la zona de direccion de los 'Display'. Entonces presionando la tecla de < Exec. > continuara la ejecucion.

CONDICION DE ERROR - TECLA ILEGAL.

Si es presionada una tecla erronea, se desplegara un

mensaje de error. El mensaje de error aparecera en la zona de direccion '-Err'. Con presionar < RESET > se blanquearan los 'Display', estando listo el monitor para aceptar comandos. Cuando son presionadas las teclas de < NEXT > o < Exec. > solamente se desplegara el mensaje de error.

ERRORES DE SUBSTITUCION DE MEMORIA.

Si se substituye un determinado contenido del comando de memoria por una localidad donde no sea correctamente cambiada (localidad en EPROM o no existente), el comando sera abortado y se generara un mensaje de error, desplegandose en la zona de direccion '-Err'. El sistema operativo estara listo para aceptar un nuevo comando, cuando los 'Display's' sean blanqueados.

TERMINAL.

COMANDOS DE CONSOLA.

Esta parte del Z-80 es la comunicacion del monitor via

terminal (consola). La operacion consiste del dialogo entre el monitor y el operador con el lenguaje de los comandos del monitor. Para comenzar la comunicacion entre la consola y el Kit Z-80 se presionara la tecla de < RESET > del tablero del Kit Z-80, desplegadoce en la pantalla un mensaje (.Z-80 Tesis). Los comandos estaran formados solo por caracteres alfanumericos especificando el comando, seguida por una lista de parametros numericos o alfanumericos. Los parametros numericos estaran en numeros hexadecimales. El monitor reconocera los caracteres del 0 al 9 y de A a F como digitos hexadecimales. Numeros mas largos pueden ser introducidos, pero solo los ultimos 4 digitos seran retenidos. El unico comando que utiliza un parametro alfabetico es el comando 'X'.

USO DEL MONITOR PARA PROGRAMACION Y VERIFICACION.

El monitor permite checar y ejecutar pequenos programas. Contiene facilidades para el despliegue y modificacion de memoria, despliegue y modificacion de registros del Z-80, carga del programa desde la terminal e inicializacion del programa con facilidad del punto de ruptura, ademas la tecla de < V.I > en el teclado puede ser utilizada para inicializar la propia rutina de interrupcion del teclado.

ESTRUCTURA DE LOS COMANDOS.

Dentro de las características de los parámetros, serán discutidos el lenguaje de los comandos del monitor. Cada comando es descrito y ejemplificado para tener mayor claridad.

Si requiere que todo comando termine con un retorno de carro, con la excepción de los comandos 'S' y 'X', todos los demás actúan hasta ser presionada la tecla de retorno de carro (< RETURN >). De esta manera será abortado el comando si no se ha tecleado el retorno de carro, tecleando un carácter ilegal (< DEL/ESC >).

Excepto cuando se indique lo contrario, un espacio sencillo es sinónimo de la coma para utilizarse como delimitador. Espacios o comas consecutivas o un espacio o coma inmediatamente después del comando, son ilegales en todos los comandos con excepción de la 'X'.

COMANDO DE DESPLIEGUE DE MEMORIA (D).

D < DIRECCION BAJA >, < DIRECCION ALTA >

Determinadas áreas de memoria direccionables pueden ser

accesadas y desplegadas usando este comando, además de mandar un listado formateado, inclusive en la consola. La primera línea del listado inicia con la dirección de la primera localidad de memoria desplegada en esa línea, representada con 4 dígitos hexadecimales seguida por 16 localidades de memoria representada cada una por 2 dígitos hexadecimales.

EJEMPLO.

D9,26

0009 EF 1F E1 22 F2 1F F5

0010 E1 22 ED 1F 21 00 00 39 22 F4 1F 21 ED 1F F9 C5

0020 D5 C3 3F 00 00 00 00

COMANDO DE EJECUCION DEL PROGRAMA (G).

G< PUNTO DE INICIO >

El control de la C.P.U. es transferido a una localidad de la memoria RAM que contenga una instrucción en el programa. Si no se especifica el punto de inicio el monitor utiliza como dirección el valor de la parte superior del 'Stack' cuando el monitor haya entrado.

EJEMPLO.

G1000

El control es pasado a la localidad 1000.

INCCRSION DE INSTRUCCION A LA MEMORIA RAM (I).

La instruccion "I" es para insertar en las localidades de memoria RAM un numero determinado por el usuario. Estos numeros deben ser numeros hexadecimales, y el numero que sea introducido se cambiara a su correspondiente valor binario, empezando en la direccion especificada por el usuario y continuando en las localidades de memoria subsecuentes. En cada "Byte" de memoria son cargados 2 digitos hexadecimales. Los separadores entre digitos (espacio, coma, retorno de carro) son ignorados y con caracteres ilegales es mandado un mensaje de error. El caracter < ESC > o el < \$ > terminara la instruccion de insercion.

EJEMPLO.

1) I1010

112233445566778899\$

Estos comandos seran almacenados en la memoria RAM en la localidad 1010.

1010 11 22 33 44 55 66 77 88 99

2) I1040

123456789*

Estos comandos seran almacenados en la memoria RAM en la localidad 1040.

1040 12 34 56 78 09

Notese que si los digitos hexadecimales no forman pares (es decir es un solo digito), el digito ira acompañado de un cero a la izquierda.

COMANDO DE TRANSFERENCIA DE MEMORIA (M).

M< DIRECCION INICIAL >,< DIRECCION FINAL >,< DESTINO >

El comando 'M' transfiere los contenidos de las

localidades de memorias entre la direccion inicial y la direccion final, inclusive al area de RAM empezando por el destino. El contenido del campo se mantiene estable.

La operacion de transferencia es realizada en una base de 'Byte' por 'Byte', empezando por la direccion inicial. Para repetir en las localidades de memoria valor, se debera de tomar el destino entre la direccion inicial y la final. Por ejemplo si la localidad 1010H contiene un (1A) el comando de memoria 'M1010, 101F, 1011' resultara en las localidades de 1010H a la 1020H conteniendo '1A 1A 1A...' y el contenido original de la memoria se perdera.

El monitor seguira moviendo los datos aunque la fuente este exacta o cuando busquen la direccion FFFFH. Si la memoria busca FFFFH si una fuente exacta movera datos en esta localidad y entonces parara.

EJEMPLD.

M1010,104F,1050

Los 64 'Bytes' de memoria seran movidos de la 1010H-104FH a la direccion 1050-108F.

COMANDO DE SUBSTITUYE MEMORIA (S).

S<DIRECCION> (<DATO>)

El comando 'S', se utiliza para examinar o modificar localidades de memoria individualmente.

El comando funciona de la siguiente manera:

1) Al ser tecleado una < S >, seguida de esta, ira la direccion de la localidad (en hexadecimal), apareciendo la primera localidad de memoria que se desea examinar.

2) El contenido de la localidad sera desplegado (en la pantalla de la consola) seguido por el caracter (-).

3) Para modificar el contenido de la localidad desplegada, teclee el nuevo valor, despues de un espacio (si se desea modificar la siguiente localidad) o un retorno de carro (< RETURN >, para que se guarde el nuevo dato en la memoria automaticamente).

4) Al ser tecleado un retorno de carro < RETURN >, el comando 'S' terminara su ejecucion.

EJEMPLO.

51050 AA- BB-CC 01-03 23-24

La localidad 1050H contenia 'AA' la cual no fue cambiada; la 1051H contenia 'BB' y se cambio por 'CC'; la 1052H tenia '01' y cambia a '03' y la 1053H tenia '23' y se cambio por un '24', al ser teclado el < RETURN > automaticamente se guardan en memoria los nuevos valores.

EXAMINA/MODIFICA LOS REGISTROS DE LA C.P.U.. (X).

X(< IDENTIFICACION DE REGISTROS>)

Para explorar los contenidos de los registros de la C.P.U., es por medio del comando 'X'.

Cuando es teclado el comando < X > seguido de un < RETURN >, se desplegaran los registros de la C.P.U. seguido cada uno por 2 o 4 digitos hexadecimales. Cada registro sera identificado por un caracter alfabetico (indicando de que registro se trata).

Identificación de los registros del comando 'X'.

REGISTRO ALFABETICO	REGISTRO
A	REGISTRO 'A'
B	REGISTRO 'B'
C	REGISTRO 'C'
D	REGISTRO 'D'
E	REGISTRO 'E'
F	'BYTE' DE BANDERAS
H	REGISTRO 'H'
L	REGISTRO 'L'
M	CONTENIDO DE LA DIRECCION 'H' y 'L'
S	'STACK POINTER' (APUNTAOR DE PILA)
P	'PROGRAM COUNTER' (CONTADOR DE PROGRMA)

El comando 'X' opera de la siguiente forma:

1) Al teclear una < X > seguida por un < RETURN >, se desplazan los registros.

2) Al ser desplegados los registros, los registros A, B, C, D, E, F, H y L iran acompañados por 2 dígitos hexadecimales; y los registros M, P y S por 4 dígitos. Entre los dígitos hexadecimales y los registros, iran separados por dos rayas horizontales (=).

3) Si se desea modificar algun registro, se tecleara el

comando < X > seguido por el registro que se desea modificar, desplegandose en la pantalla de la consola el contenido de dicho registro, acompañado por una raya horizontal (por ejemplo XA 01-).

4) Cuando se ha terminado la modificación del registro o registros, se teclara un < RETURN > el cual indicara al comando 'X' que ha terminado su ejecución.

EJEMPLO.

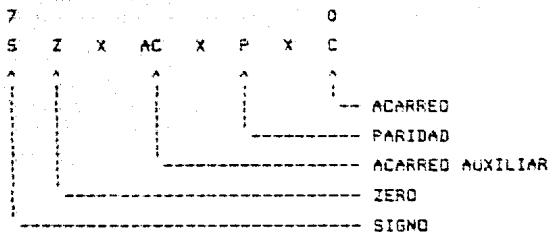
1) X

A=00 B=0E C=0D D=00 E=7A F=10 H=07 L=6D M=076E P=03FA S=1FE9

2) XA 00-21 0E- 0D-1F

Notese que cuando se desea modificar el contenido de un registro este aparecera desplegado para ser modificado, al teclearse un espacio (o varios espacios) se desplegara el contenido del siguiente registro. Pero si ya no se desea que se despliequen los contenidos de los demas registros, se teclara un < RETURN >, indicando al comando 'X' el fin de su ejecución.

NOTA! El 'Byte' de bandera 'F' sigue un formato, siendo este el siguiente!



X - IRRELEVANTE

DEPURACION DE PROGRAMA - FACILIDAD DE INTERRUPCION.

El monitor trata a la instruccion de 'RST1' (CF) como un iniciador de una secuencia especial. Con la ejecucion de la instruccion del 'RST1' el monitor automaticamente salvara el estado de la C.P.U. y mandara un mensaje a la consola (desplegandose .Z-80 Tesis). Se pueden desplegar los registros de la C.P.U. con el comando 'X'. Despues de haber examinado los registros en que estado se encuentran y hacer los cambios necesarios se puede ejecutar el programa, tecleando el comando < G >.

CONDICION DE ERROR - CARACTERES INVALIDOS.

Cuando se teclaa un caracter erroneo la consola

desplegara un caracter, determinando que la tecla presionada fue erronea. El caracter '*' indica un error, abortando el comando.

EJEMPLO:

D2000,205G*

El comando 'G' no es un digito hexadecimal, por lo tanto el comando 'D' es abortado.

**CAPITULO VI : PARACTICAS DIVERSAS PARA DEMOSTRAR EL
PODERIO DEL Z-80 CONTRA EL 8085.**

PRACTICAS DIVERSAS PARA DEMOSTRAR EL PODERIO DEL Z-80,
=====

CONTRA EL 8085,
=====

Para poder demostrar el poderio del Z-80 contra el 8085, se mostraran algunos programas que tengan la misma finalidad, para asi poder tener una comparacion de dichos microprocesadores. Primeramente se enlistara el programa con la utilizacion del 8085 y despues con el del Z-80.

Se notara la diferencia entre uno y otro debido a que el numero de localidades de memoria para el Z-80 es menor que para el 8085, ya que para este ultimo se requiere adicionalmente la instruccion SIM para el mascarilleo de interrupciones porque el teclado se encuentra conectado a la interrupcion RST 5.5 y ademas se necesita cargar el acumulador con un dato que sera la mascara de interrupcion, siendo esto innecesario para el Z-80.

Por otra parte, las direcciones de las rutinas de utileria de cada sistema operativo son diferentes debido a las modificaciones requeridas para la adaptacion del sistema operativo del SDK-85 para el microprocesador Z-80.

Ademas, es muy notoria la diferencia entre el numero de localidades empleadas en los programas con instrucciones

exclusivas de Z-80 para el manejo de cadenas de datos como LDIR y CPIR ya que estas sustituyen 'LOOPS' completos de los programas de 8085 que tienen la misma operacion.

PROGRAMA CON LA UTILIZACION DEL 'RDKBD' Y 'UPDDT'.

PROGRAMA PARA EL MICROPROCESADOR 8085.

DIRECCION	DATO	SIMBOLO	COMENTARIOS.
1000	31C210	LXI SP,10C2H	¡Se define el 'Stack Pointer'
1003	3E08	MVI A, 08H	
1005	30	SIM	¡Interrupcion no mascarillable
1006	CDE702	LOOP¡CALL RDNBD	¡Lectura del valor del registro A
1009	CD6E03	CALL UPDDT	¡Salida del dato del registro A
100C	C30610	JMP LOOP	¡Regreso a leer otro dato

PROGRAMA PARA EL MICROPROCESADOR Z-80.

DIRECCION	DATO	SIMBOLO	COMENTARIOS.
1000	31C210	LD SP,10C2H	¡Se define el 'Stack Pointer'
1003	CDD902	LOOP¡CALL RDKBD	¡Lectura del valor del registro A
1006	CD5F03	CALL UPDDT	¡Salida del dato del registro A
1009	C30310	JM LOOP	¡Regreso a leer otro dato

SUMA DE DOS NUMEROS EN NOTACION HEXADECIMAL.

PROGRAMA PARA EL MICROPROCESADOR 8085.

DIRECCION	DATO	SIMBOLO	COMENTARIOS
1000	31C210	LXI SP,10C2H	;Inicializacion del 'Stack Pointer'
1003	3E08	MVI A,08H	
1005	30	SIM	;Interrupcion no mascarillable
1006	CDE702	LOOP:CALL RDKBD	;Entrada del primer numero
1009	47	MOV B,A	;Se guarda el valor en el registro B
100A	CDE702	CALL RDKBD	;Entrada del segundo numero
100D	80	ADD B	;Suma de los dos numeros
100E	CD6E03	CALL UPDDT	;Desplieque en 'Display's' el resultado
1011	C30610	JMP LOOP	;Regreso por nuevos valores

PROGRAMA PARA EL MICROPROCESADOR Z-80.

DIRECCION	DATO	SIMBOLO	COMENTARIOS
1000	31C210	LD SP,10C2H	;Inicializacion del 'Stack Pointer'
1003	CDD902	LOOP:CALL RDKBD	;Entrada del primer numero
1006	47	LD B,A	;Se guarda el valor en el registro B
1007	CDD902	CALL RDKBD	;Entrada del segundo numero
100A	80	ADD A,B	;Suma de los dos numeros
100B	CD5F03	CALL UPDDT	;Desplieque del resultado
100E	C30310	JMP LOOP	;Regreso por nuevos valores

FLASH 'GABY.'

PROGRAMA PARA EL MICROPROCESADOR 8085.

DIRECCION	DATO	SIMBOLO	COMENTARIOS
1000	06	06H	;Datos para despliegue del nombre
1001	0A	0AH	;GABY
1002	0B	0BH	
1003	69	69H	
1004	15	15H	;El numero 15 corresponde a blanco
1005	15	15H	
1006	15	15H	
1007	15	15H	
1010	31C210	LXI SP,10C2H	;Define el 'Stack Pointer'
1013	3E01	MVI A,01H	;Se cargan los registros con los
1015	0600	MVI B,00H	;parametros necesarios para la
1017	210610	LXI H,1006H	;rutina OUTPT
101A	CDB702	CALL OUTPT	
101D	3E00	DPYIMVI A,00H	
101F	0600	MVI B,00H	
1021	210010	LXI H,1000H	
1024	CDB702	CALL OUTPT	
1027	11FFFF	LXI D,0FFFFH	;Se carga el registro par DE para
102A	CDF105	CALL DELAY	;dar el tiempo de retraso
102D	3E00	MOV A,00H	
102F	0600	MOV B,00H	
1031	210410	LXI H,1004H	
1034	CDB702	CALL OUTPT	

DIRECCION	DATO	SIMBOLO	COMENTARIOS
1037	11FFFF	LXI D,OFFFH	
103A	CDF105	CALL DELAY	
103D	C31D10	JMP DPY	!Salto a despliegue

PROGRAMA PARA EL MICROPROCESADOR Z-80.

DIRECCION	DATO	SIMBOLO	COMENTARIOS
1000	06	06H	!Se cargan los datos para despliegue
1001	0A	0AH	!del nombre GABY
1002	0B	0BH	
1003	69	69H	
1004	15	15H	!El numero 15 corresponde a blanco
1005	15	15H	
1006	15	15H	
1007	15	15H	
1010	31C210	LD SP,10C2H	!Se inicializa el SP
1013	3E01	LD A,01H	!Se cargan los parametros para
1015	0600	LD B,00H	!la rutina OUTPT
1017	210610	LD HL,1006H	
101A	CDAB02	CALL OUTPT	
101D	3E00	DPY:LD A,00H	
101F	0600	LD B,00H	
1021	210010	LD HL,1000H	
1024	CDAB02	CALL OUTPT	

DIRECCION	DATO	SIMBOLO	COMENTARIOS
1027	11FFFF	LD DE,0FFFFH	¡Se carga el registro par DE
102A	CD5207	CALL DELAY	¡para la rutina de retraso
102D	3E00	LD A,00H	
102F	0600	LD B,00H	
1031	210410	LD HL,1004H	
1034	CDAB02	CALL OUTPT	
1037	11FFFF	LD DE,0FFFFH	
103A	CD5207	CALL DELAY	
103D	C31D10	JMP DPY	¡Salto a despliegue

SUMA DE 4 DIGITOS, DESPLEGANDOCE EL RESULTADO EN LA ZONA DE DATOS.

PROGRAMA PARA EL MICROPROCESADOR 8085.

DIRECCION	DATO	SIMBOLO	COMENTARIOS
1000	31C210	LXI SP,10C2H	¡Se inicializa el SP
1003	3E0E	MVI A,0EH	¡Se mascarillan interrupciones
1005	30	SIM	¡para la rutina RDKBD
1006	CDE702	LOOP¡CALL RDKBD	
1009	07	RLC	¡Se toma el dato del ACC. y se rota
100A	07	RLC	¡4 veces a la izquierda para pasar
100B	07	RLC	¡la parte baja a la parte alta
100C	07	RLC	

DIRECCION	DATO	SIMBOLO	COMENTARIOS
100D	47	MOV B,A	!Se almacena en el Reg. B
100E	CDE702	CALL RDKBD	!Se toma el otro dato y se suma con
1011	80	ADD B	!el anterior
1012	5F	MOV E,A	!Se almacena el resultado en E
1013	CDE702	CALL RDKBD	!Se toma el siguiente sumando
1014	07	RLC	!Se repite la operacion anterior
1017	07	RLC	
1018	07	RLC	
1019	07	RLC	
101A	47	MOV B,A	
101B	CDE702	CALL RDKBD	
101E	80	ADD B	
101F	83	ADD E	!Se efectua la suma de ambos ope-
1020	27	DAA	!randos y se ajusta a decimal
1021	D22C10	JNC LOOP1	!Si no hay centenas se manda a des-
1024	F5	PUSH PSW	!pliegue, de otra forma se manda un
1025	110100	LXI D,0001H	!i a la zona de direcciones del
1028	CD6303	CALL UPDAD	! "Display"
102B	F1	PDP PSW	
102C	27	LOOP1:DAA	
102D	CD6E03	CALL UPDDT	!Despliega del resultado en la zo-
1030	FB	EI	!na de datos y se espera por una
1031	76	HLT	!interrupcion de teclado para repe-
1032	110000	LXI D,0000H	!tir el ciclo. Ademas se coloca en
1035	CD6303	CALL UPDAD	!cero la zona de direccion antes de
1038	C30610	JMP LOOP	!proseguir

PROGRAMA PARA EL MICROPROCESADOR Z-80.

DIRECCION	DATO	SIMBOLO	COMENTARIOS
1000	31C210	LD SP,10C2H	;Inicializacion del SP
1003	CDD902	LOOP:CALL RDKBD	;Se toma el primer dato
1004	07	RLCA	;Se rota el ACC a la izquierda
1007	07	RLCA	
1008	07	RLCA	
1009	07	RLCA	
100A	47	LD B,A	
100B	CDD902	CALL RDKBD	;Se toma el siguiente dato
100E	80	ADD A,B	;se suman ambos
100F	5F	LD E,A	
1010	CDD902	CALL RDKBD	;Se toma el siguiente operando
1013	07	RLCA	;y se repite la misma operacion
1014	07	RLCA	
1015	07	RLCA	
1016	07	RLCA	
1017	47	LD B,A	
1018	CDD902	CALL RDKBD	
101B	80	ADD A,B	
101C	83	ADD A,E	
101D	27	DAA	
101E	D22B10	JPNC LOOP1	;Si no hay centenas se va a des-
1021	F5	PUSH PSW	plique. En caso contrario se
1022	110100	LD DE,0001H	manda un 1 a la zona de direccion
1025	CD5403	CALL UPDAD	
1028	F1	POP PSW	
1029	27	LOOP1:DAA	;Se ajusta a decimal y se desplie-
102A	CD5F03	CALL UPDDT	ga en la zona de datos
102D	FB	EI	;Se espera una interrupcion y se
102E	76	HALT	coloca en ceros la zona de direc-
102F	110000	LD DE,0000H	cion. Despues se repite el ciclo
1032	CD5403	CALL UPDAD	
1035	C30510	JMP LOOP	

BUSQUEDA DE UN CARACTER INTRODUCIDO POR EL TECLADO DESDE
LA DIRECCION 1100 A LA 110A.

PROGRAMA PARA EL MICROPROCESADOR 8085.

DIRECCION	DATO	SIMBOLO	COMENTARIOS
1000	31C210	LXI SP,10C2H	;Inicializacion del SP
1003	210011	LXI H,1100H	;Se coloca en HL la direccion ini-
1006	0E0A	MVI C,0AH	;cial y se inicializa el contador
100B	E5	PUSH H	;de caracteres entre los cuales
1009	3E0B	MVI A,0BH	;se hara la busqueda. Se mascara-
100B	30	SIM	;illa la interrupcion para RDKBD
100C	CDE702	CALL RDKBD	;Se toma el dato a buscar en me-
100F	E1	POP H	;moría y se almacena en D
1010	57	MOV D,A	
1011	7E	LDDP;MOV A,M	;Se inicia la busqueda.
1012	BA	CMP D	
1013	CA1R10	JZ LOOP	;Si se halla se desplegara
1016	23	INX H	;En caso contrario se desplegara
1017	0D	DCR C	;el contenido de la localidad
101B	C21110	JNZ LDDP1	;110AH
101B	CD6E03	LOOP;CALL UPEDT	
101E	76	HLT	;Se detiene el proceso

PROGRAMA PARA EL MICROPROCESADOR Z-80.

DIRECCION	DATO	SIMBOLO	COMENTARIOS
1000	31C210	LD SP,10C2H	;Se inicializa el SP

DIRECCION	DATO	SIMBOLO	COMENTARIOS
1003	210011	LD H,1100H	;Se cargan los parametros para
1006	0E0A00	LD BC,000AH	;CPIR
1009	ES	PUSH H	
100A	C00902	CALL RDKBD	;Se despliega el resultado al
100D	E1	POP H	;igual que el programa anterior
100E	EDB1	CPIR	
1010	C05F03	CALL UPDDT	
1013	76	HALT	

MOVIMIENTO DE UN CONJUNTO DE CARACTERES DE UN GRUPO
DE LOCALIDADES A QTRD.

PROGRAMA PARA EL MICROPROCESADOR 8085.

DIRECCION	DATO	SIMBOLO	COMENTARIOS
1000	31C210	LXI SP,10C2H	;Se inicializa el SP
1003	210011	LXI H,1100H	;Se carga en HL la direccion fuente
1006	110012	LXI D,1200H	;y en DE la direccion destino
1009	0E0A	MVI C,0AH	;Se carga en C el numero de 'Bytes'
100B	7E	LOOP:MOV A,M	;a copiar
100C	12	STAX D	;Se efectua la copia de fuente a
100D	23	INX H	;destino
100E	1B	INX D	
100F	0D	DCR C	
1010	C20B10	JMP LOOP	
1013	CF	RST 1	;Se regresa a sistema operativo

PROGRAMA PARA EL MICROPROCESADOR Z-80.

DIRECCION	DATO	SIMBOLO	COMENTARIOS
1000	31C210	LD SP,10C2H	¡Se inicializa el SP
1003	210011	LD HL,1100H	¡Se cargan los parámetros para LDIR
1006	110012	LD DE,1200H	
1009	01000A	LD BC,0AH	
100C	EDB0	LDIR	¡Se efectua el copiado
100E	CF	RST 1	¡Se regresa a sistema operativo

C O N C L U S I O N E S .

CONCLUSIONES.

Una de las finalidades de esta tesis, fue la de que los estudiantes conozcan tanto teorico como practico el manejo de otro microprocesador de 8 "Bits"; ya que en esta Universidad solo se maneja el microprocesador 8085 implementado en el Kit SDK-85 de INTEL.

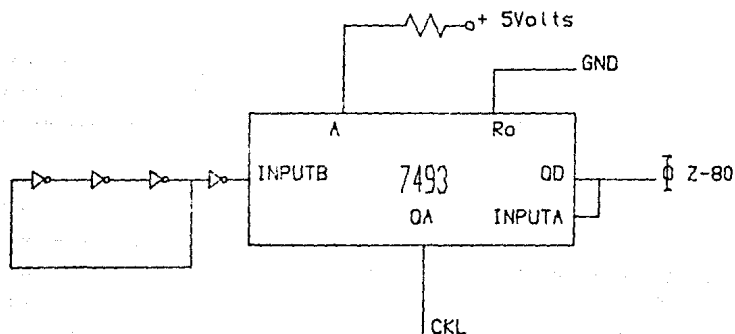
Como se comento en el 'Capitulo I' inciso 'B', existe una gran variedad de microprocesadores de 8 "Bits", siendo el Z-80 el mas versatil que los demas microprocesadores que se nombran en dicho Capitulo.

Se utiliza el microprocesador Z-80, porque aparte de ser economico y de facil manejo, es un microprocesador que en la actualidad esta siendo utilizado tanto para computadoras personales como para computadoras de desarrollo, etc.

En lo que respecta a su arquitectura es mucho mas sencillo, ya que el Z-80 tiene separados su canal de datos y de direcciones, evitando asi la utilizacion de biestables.

El problema mas complicado fue el de la parte del Oscilador ('Capitulo III'), en el cual era necesario el uso de un cristal de cuarzo de un frecuencia de 3.9936 MHZ; que al no encontrarse en el mercado dicho cristal, tuvo que ser sustituido por un arreglo de 2 circuitos integrados; un 7493, el cual es un contador binario de 4 "Bits" que esta constituido por 4 contadores Flip-Flop maestro/esclavo, uno

de ellos provee una señal dividida entre 2 y los 3 restantes nos dan la frecuencia alimentada dividida entre 8. Se cuenta además con un 7404 que es un circuito que posee 6 inversores de los cuales solo se utilizan 4 compuertas para retrasar la señal que le llega a la entrada 'B' ('INPUT B') del 7493 (siendo esta de 28.75 MHz), la cual llega al tercer Flip-Flop y es dividida entre 8, dando a su salida una frecuencia de 3.64 MHz. requerida por el microprocesador Z-80 (esta frecuencia no es exactamente la del cristal, pero se encuentra entre los límites tolerables para el óptimo funcionamiento de la C.P.U.); a su vez esta frecuencia de salida del tercer Flip-Flop se conectara a la entrada 'A' (primer Flip-Flop) dividiendo dicha frecuencia entre dos, dando a su salida una frecuencia de 1.56 KHZ que ira a la entrada del 8253 (Clk 0 y 1), para que a su vez esta divida la frecuencia para alimentar al 8251.



En lo que respecta al Sistema Operativo, es casi parecido al Sistema Operativo del SDK-85, ya que se tomo como base para la realizacion de dicho Sistema. Se tuvo que hacer una serie de modificaciones del Sistema Operativo del SDK-85, debido a que el Z-80 es mucho mas poderoso en lo que respecta a su arquitectura interna y con un numero mayor de instrucciones, quedando el Sistema Operativo del Z-80 mas pequeno, ocupandose asi aproximadamente 2K de memoria EPROM, teniendo disponible el usuario los 2K restantes.

Se ha observado que el Z-80 tiene un repertorio de 158 instrucciones entre las cuales se encuentran las 78 del 8080 con su codificacion binaria identica (para conseguir compatibilidad en 'Software' total), con lo cual en programas que sean utilizados para el mismo fin, el Z-80 utilice un numero menor de instrucciones que el 8085, debido a que las instrucciones distintas las del 8080 son enfocadas al manejo rapido y sencillo de datos sustituyendo una rutina de 8080 en una sola instruccion (del Z-80).

Un punto muy importante que no debe de olvidar el usuario al utilizar uno o los dos puertos de E/S paralelo (8255), es el de NO UTILIZAR el 'Bit' 7 del puerto 'C' del 8255-1, debido a que fue utilizado para la conexion de la interrupcion que hace las funciones de 'TRAP' (interrupcion de mas alta prioridad, referirce al 'Capitulo IV').

Para la realizacion de esta tesis, se tuvo un sinnumero de problemas desde el punto de vista de informacion, debido a que en Mexico no existia el suficiente material (documentacion) para llevar a cabo este proposito. Sin

embarco se logro salir adelante con la poca informacion existente, logrando asi la terminacion de esta tesis exitosamente.

APENDICE A .- INTEGRADOS.

2114
=====

MEMORIA RAM ESTATICA DE 1024 X 4 'BITS'.
=====

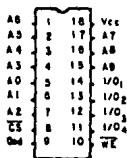
*BAJA DISIPACION, ALTA VELOCIDAD. *TIEMPO DE ACCESO IDENTICO A LA DURACION DEL CICLO. *TIEMPO DE ACCESO MAXIMO (ns) - 450 *DISIPACION DE POTENCIA MAXIMA (mW) - 525 *ALIMENTACION UNICA A +5 VOLTS. *ENCAPSULADO DE ALTA DENSIDAD CON 18 TERMINALES. *MEMORIA ENTERAMENTE ESTATICA SIN REQUERIR RELOJ NI SELECCION EN TIEMPO. *COMPATIBLE DIRECTAMENTE CON TTL; TODAS LAS ENTRADAS Y SALIDAS. *ENTRADA Y SALIDA DE DATOS EN COMUN MEDIANTE LAS SALIDAS DE 3 ESTADOS.

El circuito integrado 2114 de Intel tiene 4096 'Bits' de memoria RAM organizada en 1024 localidades con capacidad de almacenar 4 'Bits'. Los datos se leen no destructivamente. El tipo de memoria de este integrado es estatica. Es compatible directamente con TTL en todos los aspectos: entradas, salidas y tension de alimentacion unica de +5 volts. Una conexion separada de seleccion de 'Chip' ('CS/') permite la seleccion facil de una pata individual.

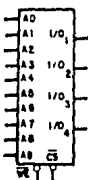
El 2114 se presenta en un encapsulado de 18 terminales para preservar la mayor densidad posible.

2114 MEMORIA RAM ESTADICA (1Kx4)

CONFIGURACION DE
TERMINALES



SIMBOLOS
LOGICOS



NOMBRE DE LAS TERMINALES

A0-A9	Líneas de Dirección
WE	Habilitador de Escritura
CS	Tiempo
CS	Selector del Dispositivo
I/O1 I/O4	Entrada/Salida de Datos
VCC	Alimentación

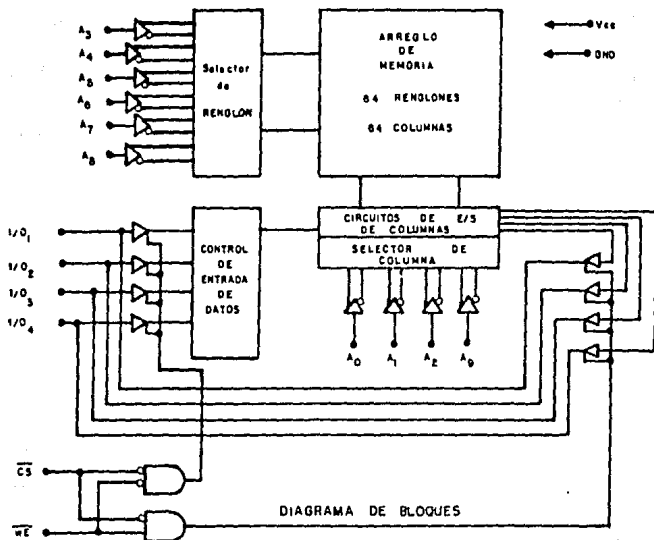


DIAGRAMA DE BLOQUES

2114 MEMORIA RAM ESTADICA (1Kx4)

2716

MEMORIA EPROM BORRABLE POR 'UV' DE 16K (2K X 8),
=====

*TIEMPO DE ACCESO RAPIDO - 450 ns. *BAJO PODER DE
DISIPACION. -CON FUENTE DE PODER - 525 mW, -SIN FUENTE DE
PODER - 132 mW. *UTILIZA UNA TENSION DE +5 VOLTS SOLAMENTE.
*E/S COMPATIBLES CON TTL DURANTE LA LECTURA Y PROGRAMA.
*COMPLETAMENTE ESTATICO.

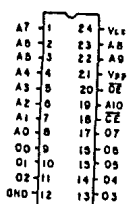
El 2716 es una memoria EPROM de 16 384 'Bits' para solo
lectura, programable electricamente y borrable con luz 'UV'
(ultra violeta). El 2716 es ademas la primera EPROM que
presenta un modo de reserva estatico que reduce la potencia
disipada sin aumentar el tiempo de acceso. Se reduce un 75%
de la energia activa (de 525 mW a 132 mW) y se pone en este
modo aplicandole un una (1) TTL a la entrada de 'CE/'. En
este modo de solidas estan en tercer estado independiente de
la senial 'OE/'.

El 2716 opera con una alimentacion de +5 volts, y con
un acceso de tiempo de 350 ns , es ideal para usarse con los
nuevos microprocesadores de +5 volts de Intel tales como
8085, 8086 y el Z-80 de Zilog.

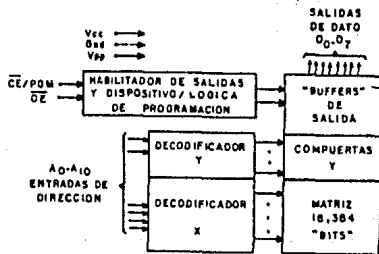
El 2716 ofrece uno de los metodos mas simple y rapido

conocido en la actualidad para programar EPROM, o sea, la programación es por medio de un pulso con nivel TTL. No hay necesidad de impulsos de mayor tensión, ya que todos los controles de programación están dirigidos por las señales de TTL. Se puede programar cualquier dirección en cualquier momento, sea individual, secuencial o aleatoriamente, gracias a la programación con dirección única del 2716. El tiempo total que se tomaría para programar todos los 16 384 "Bits" es de 100 segundos solamente.

2716 16K(2Kx8) UV ERASABLE PROM



CONFIGURACION DE TERMINALES



NOMBRE DE LAS TERMINALES

DIAGRAMA DE BLOQUES

O0-O7	SALIDAS
A0-A10	DIRECCIONES
CE/PGM	HABILITADOR de Dispositivo/Programar
OE	HABILITADOR de SALIDAS

CARACTERISTICAS DE BORRADO.

Las características de borrado del 2716 son tales que el borrado comienza a ocurrir cuando son expuestos a una luz con una longitud de onda corta aproximadamente de 4000

Anstroms. Se hace notar que la luz solar y ciertos tipos de lamparas fluorecentes contienen longitudes de onda de la gama de 3000 a 4000 Anstroms. Los datos revelan que la exposicion a un constante nivel de luz fluorecente de una habitacion, borra un 2716 en aproximadamente 3 anios, cuando puede tomar aproximadamente 1 semana el borrado exponiendolo directo y constantemente a la luz del sol.

Si el 2716 es expuesto a este tipo de luz por largos periodos se perdera la informacion del integrado, debido a esto se debe colocar en lugares oscuros y tapar la pequena ventana del dispositivo para evitar que se borre.

El procedimiento recomendable para borra el 2716 es la exposicion a una luz ultravioleta de onda corta la cual tenga una longitud de onda de 2537 Anstroms.

MODO DE OPERACION.

=====

Los 5 modos de operacion del 2716 estan enlistados en la Tabla I. Se puede observar que todas las entradas de los 5 modos estan en niveles de TTL. Ademas requiere de un voltaje V_{pp} .

TERMINAL R MODO	'CE/'/PGM (18)	'OE/' (20)	Vpp (21)	Vcc (24)	SALIDAS (9-11, 13-17)
LECTURA	VIL	VIL	+ 5	+ 5	Dout
'STANDBY'	VIH	NO IMPOR TA	+ 5	+ 5	ALTA Z
PROGRAMACION	FULSO DE VIL A VIH	VIH	+ 25	+ 5	Din
VERIFICACION DE PROGRAMA	VIL	VIL	+ 25	+ 5	Dout
INHIBICION DE PROGRAMA	VIL	VIH	+ 25	+ 5	ALTA Z

PROGRAMACION.

=====

Al comienzo o despues de cada borrado, todos los 'Bits' del 2716 estan en uno (1). La informacion se introduce programando selectivamente ceros (0) en las posiciones deseadas. Aunque solo se programan ceros, existen unos y ceros en cada palabra de datos. La unica manera de cambiar un (0) a un (1) es el borrado con luz ultravioleta. El 2716 esta en el modo de programacion cuando la fuente de alimentacion conectada a Vpp suministre 25 volts y 'OE/' toma el valor de VIH. La informacion a programar se presenta de 8 'Bits' en paralelo en las terminales de salidas de datos. Los niveles necesarios para las direcciones y los datos de entrada son TTL. El 2716 no debe ser programado aplicando una senial de C.C. a la entrada del 'CE/'. Se puede llevar a cabo facilmente la programacion multiple (con la misma informacion) de varios dispositivos como este conentandolos en paralelo.

8251A
=====

INTERFAZ DE COMUNICACION PROGRAMABLE.
=====

*OPERACION SINCRONA Y ASINCRONA. *BAUD RATE - EN DC DE 56K BAUD (MODO SINCRONO). EN DC DE 9.6K BAUD (MODO ASINCRONO). *COMPATIBILIDAD CON LOS MICROPROCESADORES 8080, 8085, Z-80. *COMPATIBLE CON TODAS LAS ENTRADAS Y SALIDAS DE TTL. *UNA SENIAL DE RELOJ. *UN SOLO VOLTAJE DE +5 VOLTS. *CIRCUITO INTEGRADO DE 28 TERMINALES.

DESCRIPCION DE LA FUNCION BASICA DEL 8251A.
=====

GENERALIDADES.

El 8251A es un receptor/transmisor sincrónico/asincrónico (USART), diseñado en sistemas de microcomputadores de 8 'Bits', tales como 8080, 8085 y Z-80.

El 8251A convierte la senial de paralelo a serie para la transmision y viceversa para la recepcion.

La interfaz puede suprimir o insertar 'Bits' o caracteres cuya funcion unica es responder a los requerimientos de una tecnica de comunicacion en especifico. En escencia, la interfaz debe aparecer ser transparente para la C.P.U. como una simple entrada o salida de 'Bytes'.

'BUFFER' DEL CANAL DE DATOS.

Es de 3 estados, bidireccional, usa 8 'Bits' del 'Buffer' para la coneccion entre la interfaz del 8251A y el canal de datos del sistema.

El dato es transmitido o recibido por el 'Buffer' debido a la ejecucion de las instrucciones entrada o salida por la C.P.U.. Las palabras de control, las palabras de comando y la informacion de estado son tambien transferidas atraves del Buffer del canal de datos, los comandos de estado y la entrada y salida de datos se encuentran en 2 registros de 8 'Bits' por separado.

Este bloque acepta entradas del sistema atraves del canal de control y genera seniales de control para manejar a

los dispositivos en operacion.

Contiene ademas un registro para almacenar la palabra de control y otro registro para almacenar la palabra de comando. Ambos son para conservar varios formatos de control para el funcionamiento del dispositivo.

RESET.

Un uno fuerza al 8251A a presentarse en un estado 'OSCIOSO'. El dispositivo permanecera inactivo hasta que sea programado para una determinada funcion. El minimo pulso de RESET es de 6 TCY (el reloj del sistema debe de estar funcionando).

RELOJ ('CLOCK'),

La senial de reloj es para generar la frecuencia interna del dispositivo. Ninguna entrada o salida externa esta referida al 'CLK', pero la frecuencia de este debe ser 30 veces mayor que la de recepcion y transmision de datos.

ESCRITURA ('WR/').

Un cero en esta entrada informa al 8251A que la C.P.U. esta escribiendo un dato o una palabra de control para el.

LECTURA ('RD/').

Un cero en esta entrada informa al 8251A que la C.P.U. esta leyendo un dato o la informacion de estado del 8251A.

CONTROL/DATO ('C/D/').

La entrada, en conjunto con las entradas de 'WR/' y 'RD/', informa al 8251A que la palabra contenida en el canal de datos es un dato o bien una palabra de control o informacion de estado.

1 = CONTROL/ESTADO

0 = DATO

SELECTOR DE CIRCUITO ('CS/'),

Un cero en esta entrada hace que el 8251A sea activado. Ninguna lectura o escritura ocurrida a menos que el dispositivo sea activado. Cuando 'CS/' esta en (1) el canal de datos se encuentra en un estado flotante (estado de alta impedancia) y las seniales de 'RD/' y 'WR/' no afectaran al circuito integrado.

CONTROL DE 'MODEM'.

El 8251A tiene un juego de control de entradas y salidas que puede ser usado para simplificar la interfaz de casi cualquier 'Modem'. Las seniales de control del 'Modem' son un proposito general y pueden ser usados para funciones diferentes a las de control de 'Modem' si es necesario.

DATOS LISTOS ('DSR/'),

La senial de entrada del 'DSR/' es de proposito general, cambiando un 'Bit' en el puerto de entrada. Esta condicion puede ser probada por la C.P.U. realizando una

operacion lectura al 8251A, la entrada 'DSR/' es normalmente utilizada para probar las condiciones del 'Modem' como por ejemplo si se encuentran los datos listos.

TERMINAL DE DATOS LISTA ('DTR/'),

La senial de salida del 'DTR/' es de proposito general, por la inversion de un 'Bit' en el puerto de salida. Puede ser puesta a cero por programacion del 'Bit' apropiado de la palabra del comando. La senial de salida del 'DTR/' es normalmente empleada para control de 'Modem' por ejemplo que la terminal de datos se encuentra lista para envio de los mismos.

PETICION DE ENVIO ('RTS/'),

La senial de salida del 'RTS/' es de proposito general invirtiendo un 'Bit' en el puerto de salida. Puede ser por programacion puesta en cero utilizando la palabra de comando apropiada. Esta senial es empleada para control de 'Modem', por ejemplo, cuando este requiere un envio de informacion.

BLANQUEO PARA ENVIO DE DATO ('CTS/').

Una cero en esta entrada habilita al 8251A para transmitir una serie de datos, si el 'Bit' habilitado 'Tx' esta en (1) . Si el 'Bit' habilitador 'Tx' o 'CTS/' presentan condicion de apagado, mientras el 'Tx' esta en operacion, el 'Tx' transmitira todos los datos en el 'USART' escritos antes que el comando de deshabilitacion 'Tx' se ponga en ceros. Para el 8251A/82657 si el 'CTS/' esta en cero o el habilitador 'Tx' esto en cero antes de que el ultimo caracter escrito aparesca en el flujo de 'Bits' en serie, ese caracter sera transmitido nuevamente cuando el 'CTS/' o el habilitador 'Tx' este en condicion de encendido.

TRANSMISION DE 'BUFFER'.

El 'Buffer' de transmision acepta datos en paralelo del 'Buffer' del canal de datos, convirtiendolos a un flujo de 'Bits' en serie, insertando los caracteres o 'Bits' apropiados (de acuerdo a la tecnica de comunicacion que se este empleando) y salidas compuestas de flujos de datos en serie a traves de la de la pata 'TxD' al momento en que se tenga una transicion negativa de 'TxC'. El transmisor comenzara la transmision si el 'CTS/' es igual a cero. La linea 'Tx' sera sostenida en un estado de marca inmediatamente a traves de un 'RESET' maestro o cuando el habilitador 'Tx'-'CTS/' esten en cero o 'Tx' no se encuentre listo para

la transmision.

TRANSMISOR DE CONTROL.

El transmisor de control maneja todas las actividades asociadas con la transmision de datos en serie. Acepta y emite seniales internas o externas para completar esta funcion.

TRANSMISOR LISTO ('TxRDY').

Esta senial de salida notifica a la C.P.U. que el transmisor esta listo para aceptar un dato. La pata de salida de 'TxRDY' puede ser usada como una interrupcion para el sistema ya que puede ser mascarillada por la deshabilitacion de 'Tx' o para una operacion de rastreo, la C.P.U. puede verificar 'TxRDY' efectuando una operacion de lectura de estado. 'TxRDY' es automaticamente inicializada por la habilitacion de 'WR/' cuando un dato es cargado de la C.P.U.. Note-se que cuando se utiliza la operacion de rastreo el 'Bit' de estado de 'TxRDY' no es mascarillado por la habilitacion de 'Tx', pero solo indicara los estados de lleno o vacio en el registro de entrada de datos de transmision.

TRANSMISOR VACIO ('TxE').

Cuando el 8251A no tiene un caracter a transmitir, la salida 'TxE' estara en (1). Esta se inicializa automaticamente al recibir un caracter de la C.P.U. si el transmisor esta habilitado. 'TxE' puede ser usada para indicar el fin de un modo de transmision de tal manera que la C.P.U. conoce cuando la linea cambia de sentido cuando se esta operando en modo de 'Half duplex'.

Cuando se trabaja de manera sincrona un (1) en esta salida indica que aun no ha sido cargado el caracter o caracteres de sincronia y que seran transmitidos automaticamente como relleno. 'TxE' no se pondra en cero cuando los caracteres de sincronia hayan sido enviados.

RELOJ DE TRANSMISION ('TxC/').

El reloj de transmision controlara la velocidad con la cual los caracteres seran transmitidos. En una transmision sincrona la velocidad de transmision (1x) es igual a la frecuencia de 'TxC/'. En la transmision asincrona la velocidad es una fraccion de la frecuencia que tenga el 'TxC/'; puede ser 1, 1/16 o 1/64 de 'TxC/' por ejemplo si deseamos que la velocidad de transmision sea de 110 Bauds 'TxC/' sera igual a 110 Hz o sea multiplicada por (1), si

'TxC/' es igual a 1.76 KHz es multiplicada por 1/16 y si 'TxC/' es igual a 7.04 KHz se multiplicara por 1/64. Cuando 'TxC/' tiene una transicion negativa los datos saldrán en serie del 8251A.

BUFFER DEL RECEPTOR.

El receptor acepta datos en serie, los convierte a formato paralelo verifica que los 'Bits' o caracteres esten de acuerdo con la tecnica de comunicacion empleada y envia a la C.P.U. un caracter ensamblado. Los datos en serie entran por la terminal 'RxD' y son captados en una transicion positiva de 'RxC'.

CONTROL DE RECEPTOR.

Este bloque maneja todas las actividades relacionadas con la recepcion que tiene las siguientes características:

-La inicializacion del circuito 'RxD' previene al 8251A de errores por lineas de entrada no usuales para una linea de datos en cero en la condicion de ruptura. Antes de

iniciar a recibir caracteres en serie por la linea 'RXD' un uno debe ser detectado despues del 'RESET' maestro, una vez que esto a sido determinado se habilita una busqueda de un cero ('Bit' de inicio). Esta característica solamente funciona en modo asincrona y solamente se hace una vez por cada 'RESET' maestro.

-Un circuito de deteccion de un 'Bit' de inicio falso preeviene falsos arranques causados por ruido, primero detectando una transcion neqativa y despues hayando el centro del 'Bit' de inicio es decir 'RXD' = 0.

-Los Flip-Flops de paridad y de oscilacion de paridad son circuitos utilizados para la deteccion de errores de paridad y encender los correspondientes 'Bits' de estado.

-Las banderas de error de marco son encendidas si el 'Bit' de 'Stop' esta ausente al final de un 'Byte' de dato en modo asincrono y asi mismo enciende el correspondiente 'Bit' de estado.

RECEPTOR DE LECTURA ('RXRDY').

Esta salida indica que el 8251A tiene un caracter en la entrada de la C.P.U. para ser leido. 'RXRDY' puede ir

conectado en la entrada de interrupciones de la C.P.U. o 'POLLED' de operacion, la C.P.U. puede checar las condiciones de 'R_xRDY' usando un estado de operacion de lectura.

El 'R_x' habilita interrupciones mascarillables y sostiene a 'R_xRDY' en la condicion de 'RESET'. En modo asincrono la instruccion 'R_xRDY', el receptor debe de estar habilitado para recibir un 'Bit' de inicio y un caracter completo debe de ser ensamblado y transmitido al registro de salida de datos. El modo asincrono la instruccion 'R_xRDY', el receptor debe de estar habilitado y el caracter muestra el fin del ensamblado y debe ser transferido al registro de la salida de datos.

Una interrupcion de lectura del caracter recibido del Registro de salida de datos 'R_x', primeramente ensamblado del siguiente caracter de dato 'R_x', establecera una condicion de error y el caracter previamente sera escrito afuera y se perdera. Si el dato 'R_x' ha sido leido por la C.P.U. cuando la transferencia interna esta ocurriendo, el error sera establecido y el caracter anterior se perdera.

RECEPTOR DE RELOJ ('R_xC/'),

Trabaja con logica negada. El receptor de reloj

controla el rango con el que debe de ser recibido el caracter. En modo sincrónico el 'Baud Rate' (1x) es igual a la frecuencia de 'RxC/'. En modo asincrónico el 'Baud Rate' es una fracción de la frecuencia de 'RxC/' (una parte del modo de instrucción selecciona este factor: 1, 1/16 o 1/64 de 'RxC/').

Por ejemplo:

'Baud Rate' igual a 300 Baud si:

'RxC/' = 300 Hz (1x).

'RxC/' = 4800 Hz (16x).

'RxC/' = 19.2 KHz (64x).

'Baud Rate' igual a 2400 Baud si:

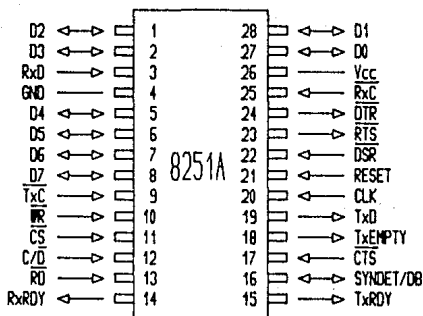
'RxC/' = 2400 Hz (1x).

'RxC/' = 38.4 KHz (6x).

'RxC/' = 153.6 KHz (64x).

NOTA: En la mayoría de sistemas de comunicación, el B251A será utilizado para las operaciones de transmisión y recepción de un solo enlace. Tanto la transmisión y recepción de 'Baud Rate' serán iguales. 'TxC/' y 'RxC/' ambas requerirán frecuencias idénticas para esta operación y pueden ir conectadas juntas a una sola fuente de frecuencia (Generador de 'Baud Rate') para simplificar la interfaz.

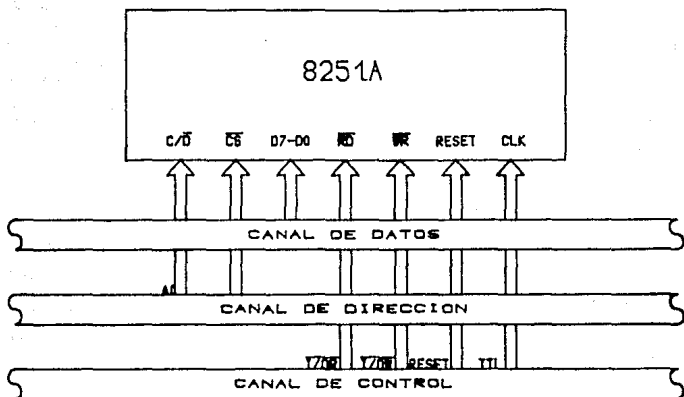
D ₇ -D ₀	CANAL DE DATOS
C/D ₁	CONTROL DE DATO
R _W	LECTURA
CS	ESCRITURA
OE	SELECTOR DE DISPOSITIVO
CLK	PULSO DE RELOJ
RESET	REINICIALIZACION
TxC	TRANSMISION DE RELOJ
TxD	TRANSMISION DE DATO
RxC	RECEPTOR DE RELOJ
RxD	RECEPTOR DE DATOS
R _{RDY}	RECEPCION LISTA
T _{RDY}	TRANSMISION LISTA
DSR	ARMBO DE DATOS LISTO
DTR	DATO DE TERMINAL LISTO
SYNDET/SD	SECTOR DE SYNC/DETECTOR DE PARRA
RTS	REQUERIMIENTO DE ENVIO DE DATOS
CTS	LIMPIO DE DATOS
TxE	TRANSMISOR VACIO
GND	TIERRA
Vcc	ALIMENTACION



DETECCION DE INTERRUPCION (SOLO PARA MODD ASINCRONO),

=====

Esta salida permanecera en estado alto siempre que el receptor permanezca en estado bajo atravez en 2 secuencias consecutivas de 'Stop-Bit' (incluyendo el 'Bit' de inicio, el 'Bit' de datos y el 'Bit' de paridad). El detector de interrupcion puede ser leido como un 'Bit' de estado. Puede ser reseteado solamente con un 'RESET' maestro del 'Bit' o 'RxD' regresando a un solo estado.



INTERFAZ DEL 8251A CON EL CANAL DEL SISTEMA

DESCRIPCION DETALLADA DE OPERACION.
 =====

GENERALIDADES.

La definicion funcional del 8251A esta programada mediante un sistema de 'Software'. Un control de instruccion de palabra debe ser enviado por la salida de la C.P.U. para inicializar el 8251A para soportar el formato de

comunicacion deseado. Este control programara el: 'Baud Rate', Longitud de Caracter, Numero de 'STOP' de 'Bits', Operacion sincrona y asincrona, aun la Paridad de Encendido/Apagado, etc. En modo de sincrono, las opciones son preevistas para seleccionar algun caracter externo o interno de sincronia.

Una vez programada el 8251A, estara listo para efecutar las funciones de comunicacion. La salida 'TxRDY' se pondra en estado alto para senalar a la C.P.U. que el 8251A esta listo para recibir un dato de la C.P.U.,. Esta salida ('TxRDY') se resetea automaticamente cuando la C.P.U. escribe un caracter en el 8251A. Por otro lado el 8251A recibe la serie de datos del 'Modem' o de los dispositivos de E/S. Recibiendo un caracter entero la salida de 'RxRDY' se pone en un estado alto, para senalar a la C.P.U. que el 8251A a acompletado el caracter listo para que la C.P.U. lo recoja. 'RxRDY' es automaticamente reseteado con una operacion de lectura de datos de la C.P.U.,.

El 8251A no puede comenzar la transmision hasta que el 'Bit' habilitador 'Tx' se establece con una instruccion de comando y ha recibido la senial de entrada de 'Clear to Send' ('CTS/'). La salida de 'TxD' quedara en su lugar establecida con un 'RESET'.

PROGRAMACION DEL 8251A.

=====

Prioritariamente para comenzar la transmision o

recepcion, el 8251A debe de ser cargado con una instruccion de control de palabra generadas por la C.P.U.. Estas seniales de control definen la funcion completa del 8251A y debe de ser inmediatamente seguida por un 'RESET' (interno o externo).

Estas palabras de control son divididas en 2 formatos:

1.- MODO DE INSTRUCCION. 2.- COMANDO DE INSTRUCCION.

1.- MODO DE INSTRUCCION.

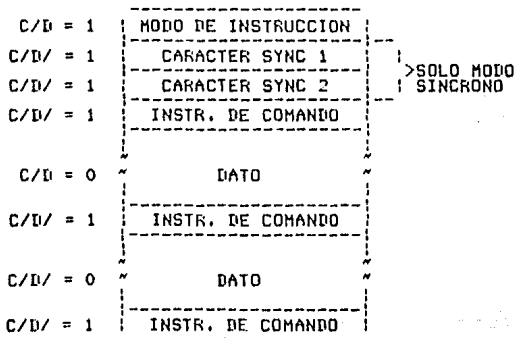
Este formato define las caracteristicas generales operacionales del 8251A. Debe de ser seguida por una operacion de 'RESET' (interno o externo). Entonces el modo de instruccion debe de ser escrito en el 8251A por la C.P.U., la de 'SYNC' o de las instrucciones de comando pueden ser insertados.

2.- COMANDO DE INSTRUCCION.

Este fomato define el estado de palabra que es usada

para el control de la operacion actual del 8251A. Las instrucciones de Modo y Comando ambas deben de ser conforme la secuencia especifica de la propia operacion de la maquina. La instruccion de Modo debe de ser insertada inmediatamente seguida por una operacion de 'RESET', prioritariamente para el uso del 8251A para la comunicacion de datos.

Todas las palabras de control escritas en el 8251A despues de la instruccion de Modo seran cargadas en la instruccion de comando. Las instrucciones de Comando pueden ser escritos en el 8251A en cualquier tiempo dentro del bloque de datos durante la operacion del 8251A. Para regresar al formato del Modo de instruccion, el 'Bit' maestro de 'RESET' en la palabra de la instruccion de comando debe de ser establecido iniciando una operacion interna de 'RESET' la cual regresa automaticamente al 8251A dentro del formato de Modo de instruccion. Las instrucciones de Comando deben de seguir instrucciones de Modo o caracteres de 'SYNC'.



BLOQUE DE DATOS.

DEFINICION DE MODO DE INSTRUCCON.

=====

El 8251A puede ser usado para comunicacion de datos asincrono o sincrono. Para entender como la instruccion de Modo define la operacion funcional del 8251A, el disenador la define en 2 componentes repartidos en 1 mismo paquete, uno asincrono y otro sincrono. La definicion del formato puede ser cambiada solamente despues de un 'RESET' del 'Chip'. Para proposito de explicacion los formatos seran separados.

NOTA: Cuando la paridad es habilitada no es considerado como uno de los 'Bits' de dato para el proposito de programar la longitud de la palabra. El actual 'Bit' de paridad recibido, en la linea de 'RxD' no puede ser leido en el canal de datos. En el caso de un caracter programado ya sea mayor o menor de 8 'Bits', el 'Bit' menos significativo del canal de datos sera el dato almacenado, los 'Bits' que no se usan son 'no importantes' cuando se escribe el dato en el 8251A y se pondra en 0 cuando se lea el dato en el 8251A.

MODO ASINCRONO (TRANSMISION).

Quando cualquier dato es mandado por la C.P.U., el

8251A adhiere un 'Bit' de estado (en nivel logico cero) seguido por el 'Bit' de datos (el 'Bit' menos significativo va primero) y el numero programado de 'Bits' de 'Stop' para cada caracter. Tambien el 'Bit' de paridad ya sea impar o par es insertado prioritariamente por los 'Bits' de 'Stop' como es definido para el modo de instruccion. El caracter es transmitido como una serie de datos a la salida del 'TxD'. La serie de datos es cambiada fuera del 'TxC/' con un rango igual de 1, 1/16 o 1/64 que el de 'TxC/' que es definido por el modo de instruccion, los caracteres del 'Break' pueden ser continuamente mandados al 'TxD'.

Cuando ningun dato ha sido cargado en el 8251A la salida de 'TxD' se mantiene en un estado alto a menos que un 'Break' (continuamente se encuentre en un estado bajo) ha sido programado.

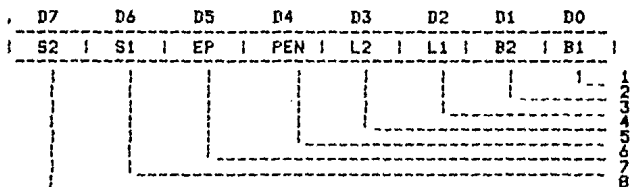
MODO ASINCRONO (RECEPCION).

La linea 'RxD' se encuentra normalmente en un estado alto. Un cero en esta linea dispara el inicio de un 'Bit' de 'Start'. La validez de este 'Bit' de 'Start' es checada por una serie de pulsos a su centro normal (16X o 64X estos modos solamente) si un cero es detectado nuevamente, es un 'Bit' valido de 'Start', el contador de 'Bit' empezara de nuevo el conteo. De este modo el contador de 'Bits' localizara el centro de los 'Bits' de datos, el 'Bit' de paridad (si existe) y los 'Bits' en un estado alto.

Si la paridad de error ocurre, la bandera de paridad y de error se encenderan. Los datos y los 'Bits' de paridad

son probados en la pata de 'RxD' por el estado mas alto de 'RxC/'. Si un cero es detectado como un 'Bit' de 'Stop', la bandera de Error se enciende. El 'Bit' de 'Stop' senala el fin del caracter. Notese que el receptor requiere solamente un 'Bit' de 'Stop', presindiendo de el numero de 'Bits' de 'Stop' programados. Este caracter es cargado para indicar en el 'Buffer' paralelo de E/S del 8251A.

La pata 'RxRDY' es elevada para indicar a la C.P.U. que un caracter esta listo para ser alcanzado. Si un caracter previo no ha sido alcanzado por la C.P.U. el carcter presente lo reemplaza en el 'Buffer' de E/S y la bandera de error de 'Over run' es encendida (asi el caracter previo se pierde). Todas las banderas de error pueden ser reseteadas por una instruccion de error de Reset. El caso de cualquiera de estos errores no afectara la operacion del 8251A.



FACTOR DE 'BAUD RATE'				
1	0	1	0	1
2	0	0	1	1
	MODD SYNC	(1X)	(16X)	(64X)

		LONGITUD DE CARACTER			
3	----->	0	1	0	1
4	----->	0	0	1	1
		BIT 5	BIT 6	BIT 7	BIT 8

5 -----> HABILITADOR DE PARIDAD
1 = HABILITADO 0 = DESHABILITADO

6 -----> GENERACION/VERIFICACION DE PARIDAD PAR
1 = PAR 0 = ODD

		NUMERO DE 'BITS DE 'STOP'			
7	----->	0	1	0	1
8	----->	0	0	1	1
		INVALIDO	BIT 1	BIT 1 1/2	BIT 2

NOTA: Tx, Rx NO REQUIEREN MAS DE UN 'BIT' DE 'STOP'

FORMATO DE LOS MODOS DE INSTRUCCION EN MODO ASINCRONO.

8255A
=====

INTERFAZ PERIFERICA PROGRAMABLE.
=====

*VEINTICUATRO TERMINALES DE ENTRADA/SALIDA PROGRAMABLES. *COMPATIBLE CON LOGICA TTL. *COMPATIBLE CON LA FAMILIA DE MICROPROCESADORES DE INTEL Y ZILOG. *MEJORES CARACTERISTICAS DE TIEMPO. *CAPACIDAD DIRECTA DE INTERFAZ POR MEDIO DEL 'BIT' SET/RESET. *ENCAPSULADO DE 40 TERMINALES.

DESCRIPCION GENERAL.

El 8255A de Intel es un dispositivo de E/S programable de proposito general que se utiliza con microprocesadores de la Compania Intel y Zilog.

Tiene 24 terminales de E/S que pueden ser programadas individualmente en 2 grupos de 12 y en 3 modos principales de operacion. En el primer modo (Modo 0), cada grupo con doce terminales puede ser programado en juegos de 4 que pueden ser entradas o salidas. En el Modo 1 cada grupo puede ser programado para tener 8 lineas de entrada o salida; las 4 terminales restantes son utilizadas como seniales de control. El Modo 2 es un modo de canal bidireccional, el cual utiliza

8 líneas como un canal bidireccional y 5 líneas para control, de las cuales toma una del otro grupo. Los 3 Modos descritos anteriormente son programados por medio de 'Software', evitándose así utilizar una lógica externa.

PA3	1	40	PA4
PA2	2	39	PA3
PA1	3	38	PA6
PA0	4	37	PA7
RD	5	36	WR
CS	6	35	RESET
DMO	7	34	DO
A1	8	33	D1
A0	9	32	D2
PC7	10	31	D3
PC6	11	30	D4
PC5	12	29	D5
PC4	13	28	D6
PC0	14	27	D7
PC1	15	26	Vcc
PC2	16	25	PB7
PC3	17	24	PB6
PC0	18	23	PB5
PB1	19	22	PB4
PB2	20	21	PB3

NOMBRE DE LAS TERMINALES

DT-DO	CANAL DE DATOS
RESET	Señal de Reinicialización
CS	Selector del Dispositivo
RD	LECTURA
WR	ESCRITURA
A0, A1	Direcciones del Puerto
PA7-PA0	Puerto A (8Bit)
PB7-PB0	Puerto B (8Bit)
PC7-PC0	Puerto C (8Bit)
Vcc	Alimentación (5V)
Gnd	Referencia (Tierra)

8255-A INTERFAZ PARALELO PROGRAMABLE

'BUFFER' DEL CANAL DE DATOS.

Este 'Buffer' de 8 'Bits' de 3 estados bidireccional es usado para interconectar el 8255A con el canal de datos del sistema. La información es transmitida o recibida por este 'Buffer' por ejecución de instrucciones de E/S de la C.P.U. (Unidad Central de Proceso). La palabra de control y la información de estado son transmitidas a troves del 'Buffer' del canal de datos.

SENALES DE CONTROL Y DE 'RD/' - 'WR/'.

La función de este bloque es el manejar todas las señales de transferencia (externas/internas) de las palabras de información y de control o estado. Estas señales de control son generadas por la C.P.U..

SELECTOR ('CS/').

Por medio de esta señal se habilita al dispositivo. Esto es, un cero a la entrada de esta terminal habilita la comunicación entre la C.P.U. y el 8255A.

LECTURA ('RD/').

Un cero (0) en esta entrada permite a la C.P.U. 'leer desde' el 8255A.

ESCRITURA ('WR/').

Un cero (0) en esta entrada permite a la C.P.U. a escribir datos o palabras de control en el 8255A.

SELECCION DEL PUERTO CERO (0) Y PUERTO UNO (1) (A0-A1).

Las seniales de entrada en conjunto con las seniales de 'RD/' y 'WR/' controlan la seleccion de uno de los 3 puertos o los registros de la palabra de control. Estos estan normalmente conectados a los 'Bits' menos significativos del canal de direccion A0 y A1.

OPERACION BASICA DEL 8255A.

=====

A1	A0	'RD/'	'WR/'	'CS/'	ENTRADA (LECTURA).
0	0	0	1	0	Puerto A = Canal de datos.
0	1	0	1	0	Puerto B = Canal de datos.
1	0	0	1	0	Puerto C = Canal de datos.

SALIDA (ESCRITURA).

0	0	1	0	0	Puerto A = Canal de datos.
0	1	1	0	0	Puerto B = Canal de datos.
1	0	1	0	0	Puerto C = Canal de datos.
1	1	1	0	0	Control = Canal de datos.

FUNCIONES INVALIDAS.

X	X	X	X	1	Canal de datos = Tercer estado.
1	1	0	1	0	Condicion ilegal.
X	X	1	1	0	Canal de datos = Tercer estado.

'RESET'.

Un uno (1) en esta terminal borra el registro de control y todos los puertos (A, B y C) se habilitan en modo de entrada.

CONTROLES DEL GRUPO A Y B.

Basicamente la C.P.U. manda una palabra de control al 8255A. Esta palabra contiene informacion tal como Modo, 'Bit set', 'Bit reset', etc., la cual inicializa la configuracion de funcionamiento del 8255A. Cada uno de los bloques de control (grupo A y grupo B), acepta comandos de la logica de control de 'RD/' y 'WR/'. Recibe las palabras de control del canal interno de datos y manda los comandos respectivos a cada puerto.

Control del grupo A - Puerto A y los 'Bits' mas significativos del puerto C (PC7 - PC4).

Control del grupo B-Puerto B y los 'Bits' menos significativos del puerto C (PC3 - PC0).

El registro de la palabra de control puede ser escrito UNICAMENTE; esto es, ninguna operacion de lectura de este registro es permitida.

PUERTOS A, B Y C.

El 8255A contiene 3 puertos de 8 'Bits' cada uno. Estos pueden ser configurados con diversas características de operación, las cuales pueden ser dadas por programación del sistema ('Software'), teniendo cada uno sus propias características.

PUERTO A.

Un 'Latch/Buffer' de salida de datos de 8 'Bits' y un 'Latch' de entrada de 8 'Bits'.

PUERTO B.

Un 'Latch/Buffer' de E/S de datos de 8 'Bits' y un 'Buffer' de datos de entrada de 8 'Bits'.

PUERTO C.

Un 'Latch/Buffer' de salida de datos de 8 'Bits' y un 'Buffer' de entrada de datos de 8 'Bits' (no se requiere de 'Latch' para la entrada). Este puede ser dividido en 2 puertos de 4 'Bits' cada uno, dependiendo del modo de Control. Cada puerto de 4 'Bits' contiene un 'Latch' de 4 'Bits', y puede ser utilizado para las salidas de las

seniales de control y de estado junto con los puertos A y B.

DESCRIPCION BREVE DE LOS MODOS DE SELECCION.

Existen 3 modos basicos de operacion que pueden ser seleccionados por el 'Software' del sistema.

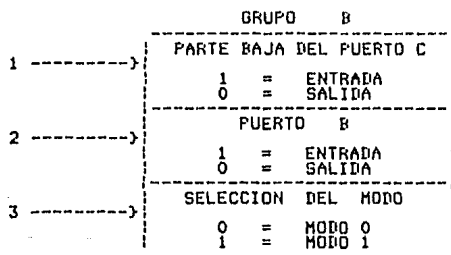
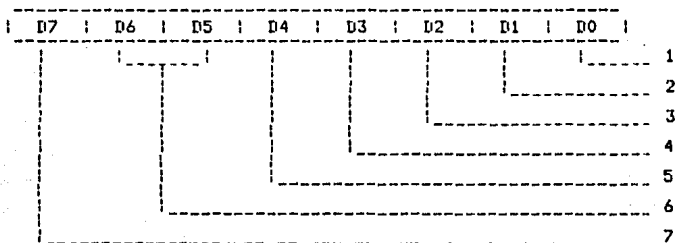
MOD0 (0) - Entrada/Salida. MOD0 (1) - Control de carga de Datos de Entrada/Salida. MOD0 (2) - Canal bidireccional.

Cuando la senial de 'Reset' es 1, todos los puertos se habilitan en modo de entrada por lo tanto las 24 lineas estaran en tercer estado. Despues de que esta senial es suprimida, el 8255A se mantiene en el Modo de entrada con ninquin requerimiento adicional de inicializacion. Durante la ejecucion del programa del sistema ninguno de los otros modos pueden ser seleccionados usando una simple instruccion de salida. Con esto el 8255A puede dar servicio a diversos dispositivos perifericos con una simple rutina de servicio.

Los modos para el puerto A y B pueden ser definidos independientemente, mientras que el puerto C es dividido en 2 partes, segun se haya definido por medio de los puertos A y B. Todos los registros de salida, incluyendo el 'Flip-Flop' de estado, seran reinicializados aunque el modo sea modificado.

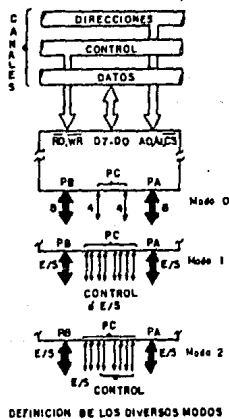
El grupo B puede ser programado en Modo 0 para monitorear el simple cerrado de los interruptores o para desplegar resultados de computadora. El grupo A podría ser programado en Modo 1 para monitorear un teclado o una lectura de cinta con manejo de interrupciones.

PALABRA DE CONTROL



GRUPO A	
4	PARTE BAJA DEL PUERTO C 1 = ENTRADA 0 = SALIDA
5	PUERTO A 1 = ENTRADA 0 = SALIDA
6	SELECCION DEL MODO 00 = MODO 0 01 = MODO 1 1X = MODO 2
7	MODO DEL 'SET' DE BANDERAS 1 = ACTIVADO

FORMATO DE DEFINICION DE MODO



MODOS DE OPERACION.

MODO 0: ENTRADA-SALIDA BASICA.

Este modo de manejo del puerto nos permite tener entradas y salidas sencillas para cada uno de los puertos internos. No se requieren seniales de control y el dato es simplemente escrito o leído del puerto especifico.

Contamos con 2 puertos de 8 'Bits' y 2 puertos de 4 'Bits'. Cada puerto puede ser de entrada o salida. Las salidas del puerto tienen la capacidad de retener la informacion y la versatilidad de 16 configuraciones distintas de E/S.

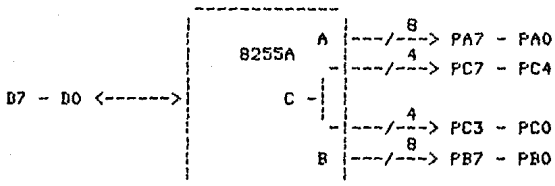
DEFINICION DEL PUERTO EN MODO 0

A		B		GRUPO A			GRUPO B		
D4	D3	D1	D0	PUERTO A	PUERTO C (BAJA)	R	PUERTO B	PUERTO C (ALTA)	
0	0	0	0	SALIDA	SALIDA	0	SALIDA	SALIDA	
0	0	0	1	SALIDA	SALIDA	1	SALIDA	ENTRADA	
0	0	1	0	SALIDA	SALIDA	2	ENTRADA	SALIDA	
0	0	1	1	SALIDA	SALIDA	3	ENTRADA	ENTRADA	
0	1	0	0	SALIDA	ENTRADA	4	SALIDA	SALIDA	
0	1	0	1	SALIDA	ENTRADA	5	SALIDA	ENTRADA	
0	1	1	0	SALIDA	ENTRADA	6	ENTRADA	SALIDA	
0	1	1	1	SALIDA	ENTRADA	7	ENTRADA	ENTRADA	
1	0	0	0	ENTRADA	SALIDA	8	SALIDA	SALIDA	
1	0	0	1	ENTRADA	SALIDA	9	SALIDA	ENTRADA	
1	0	1	0	ENTRADA	SALIDA	10	ENTRADA	SALIDA	
1	0	1	1	ENTRADA	SALIDA	11	ENTRADA	ENTRADA	
1	1	0	0	ENTRADA	ENTRADA	12	SALIDA	SALIDA	
1	1	0	1	ENTRADA	ENTRADA	13	SALIDA	ENTRADA	
1	1	1	0	ENTRADA	ENTRADA	14	ENTRADA	SALIDA	
1	1	1	1	ENTRADA	ENTRADA	15	ENTRADA	ENTRADA	

CONFIGURACION EN MODO 0.

PALABRA DE CONTROL # 0.

D7	D6	D5	D4	D3	D2	D1	D0
1	1	0	0	0	0	0	0



MODO 1: CONTROL DE CARGA DE DATOS DE ENTRADA/SALIDA.

Esta configuración provee lo mínimo para la transferencia de datos de E/S hacia o desde un puerto específico junto con las señales de control. En este modo los puertos A y B usan las líneas del puerto C para generar o aceptar estas líneas de control. Tenemos 2 grupos de puertos (A y B), de los cuales cada uno contiene un puerto de 8 'Bits' y un puerto de control/dato de 4 'Bits'.

MODO 2: CONTROL DE CARGA DE DATOS BIDIRECCIONAL DE ENTRADA/SALIDA.

Esta configuración provee una comunicación con un

dispositivo periferico por medio de un canal de 8 'Bits' (canal bidireccional). Las seniales de control manejan el flujo a traves del canal en forma similar al Modo 1. La generacion de las seniales de interrupcion y de habilitacion/deshabilitacion se encuentran tambien disponibles.

-Solo es utilizado en el grupo A.

-Un canal de puerto bidireccional de 8 'Bits' (puerto A) y un puerto de control de 5 'Bits' (puerto C).

-Las entradas y salidas pueden retener la informacion.

-Las seniales de E/S tienen la capacidad de retencion de informacion.

-Los 5 'Bits' del puerto de control (Puerto C) son utilizados como control y estado del puerto bidireccional de 8 'Bits' (Puerto A).

8253
=====

CIRCUITO PROGRAMABLE DE TIEMPO.
=====

*TRES CONTADORES INDEPENDIENTES DE 16 'BITS'.
*DIVERSOS MODOS PROGRAMABLES DE CONTEO. *CD DE 2MHZ.
*CUENTA BINARIA O BCD. *ALIMENTACION DE +5 VOLTS.
*ENCAPSULADO CON 24 TERMINALES.

El 8253 de Intes es un 'Timer'/contador programable, diseñado como un periférico en los Microcomputadores de Intel y Zilog. Utiliza la tecnología NMOS. Está formado por 3 contadores independientes de 16 'Bits', cada uno con una razón de conteo de más 2 Mhz. Todos los modos de operación son manejados por programación.

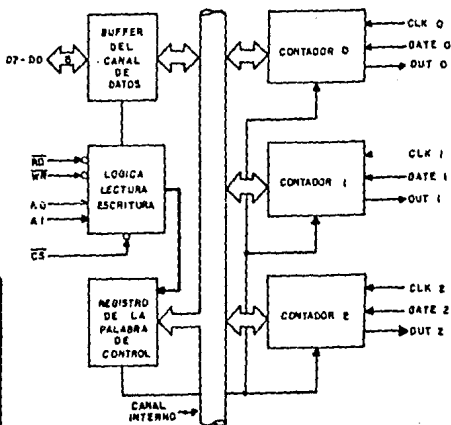
CONFIGURACION
DE
TERMINALES

D7	1	E4	Vec
D6	2	E3	WR
D5	3	E2	RD
D4	4	E1	CS
D3	5	D0	A1
D2	6	19	A0
D1	7	18	Clt 2
D0	8	17	Out 2
Clk 0	9	16	Gate 2
Out 0	10	15	Clt 1
Gate 0	11	14	Gate 1
Out 1	12	13	Out 1

NOMBRE DE LAS TERMINALES

D7-D0	CANAL DE DATOS
CLK N	RELOJ - CONTADOR
GATE N	COMPUERTA - CONTADOR
OUT N	SALIDA - CONTADOR
RD	LECTURA
WR	ESCRITURA
CS	Selector del dispositivo
A0, A1	DIRECCIONES
Vec	5 Volts
Out	Tiempo

DIAGRAMA DE BLOQUES



8253 - TIMER PROGRAMABLE

DESCRIPCION FUNCIONAL.

Este puede ser tratado como un arreglo de puertos de E/S dentro de la programación del sistema.

Este resuelve uno de los mayores problemas en microcomputadores, la generación de tiempos de retraso pero con control por programación. En lugar de colocar 'Loop's' de retraso en el programa del sistema, el programador configura al 8253 según sus necesidades. Inicializa unos de los contadores del 8253 con la cantidad deseada, luego, por comando se lleva a un conteo de retraso e interrumpirá a la C.P.U. cuando haya terminado sus tareas.

Es facil observar que el empleo de 'Software' es minimo, que multiples retrasos pueden ser manejados con el simple hecho de asignar niveles de prioridad. Entre algunas otras funciones que no son de retraso pero que son comunes a la mayoria de las Microcomputadoras pueden ser implementados por este dispositivo y son:

- Generador de regimen programable.
- Contador de eventos.
- Multiplicador de regimen binario.
- Reloj con tiempo real.
- Control de motores.

BUFFER DEL CANAL DE DATOS.

Este buffer de 8 'Bits' bidireccional de 3 estados (uno logico, cero logico y alta impedancia o desconectado) es utilizado para interconectar a este dispositivo con el canal de datos del sistema. La informacion es resivida y recibida por ejecucion de instrucciones de entrada o salida de la C.P.U.. Basicamente tiene 3 funciones:

- Programacion de los modos del B253.
- Carga de los registros de conteo.
- Lectura de los valores de conteo.

LOGICA LECTURA/ESCRITURA.

Esta logica acepta entradas del canal del sistema y genera las seniales de control para la operacion del dispositivo. Es habilitado o deshabilitado por medio del

selector del dispositivo ('CS/'), de tal forma que no ocurra un cambio en su funcionamiento al menos que su dispositivo sea seleccionado por la logica del sistema.

LECTURA ('RD').

Un cero en esta terminal le informa al 8253 que la C.P.U. esta introduciendo informacion que sera tomada como un valor para el contador.

ESCRITURA ('WR').

Un cero en esta terminal significa que la C.P.U. esta sacando informacion o cargando a los contadores.

A0,A1.

Estas seniales estan conectadas al canal de direcciones. Su funcion es la de seleccionar uno de los tres contadores a utilizarse y la de direccionar el registro de la palabra de control que selecciona el modo de operacion.

SELECTOR DEL DISPOSITIVO ('CS').

Un cero en esta terminal habilita al dispositivo. No

habra lectura o escritura si este dispositivo no esta activado. Este selector no tiene ningun efecto sobre la operacion misma de los contadores.

CS	RD	WR	A1	A0	
0	1	0	0	0	CARGA DEL CONTADOR No. CERO.
0	1	0	0	1	CARGA DEL CONTADOR No. UNO.
0	1	0	1	0	CARGA DEL CONTADOR No. DOS.
0	1	0	1	1	PALABRA DEL MODO DE ESCRITURA.
0	0	1	0	0	LECTURA DEL CONTADOR No. CERO.
0	0	1	0	1	LECTURA DEL CONTADOR No. UNO.
0	0	1	1	0	LECTURA DEL CONTADOR No. DOS.
0	0	1	1	1	TERCER ESTADO, NO OPERACION.
1	X	X	X	X	DESHABILITADO, TERCER ESTADO.
0	1	X	X	X	TERCER ESTADO, NO OPERACION.

X - IRRELEVANTE.

REGISTRO DE LA PALABRA DE CONTROL.

Este es seleccionado cuando A0 y A1 son unos. Entonces aceptara informacion del Buffer del canal de datos y lo almacenara en un registro. Esta informacion almacenada controla los modos de operacion de cada contador, seleccion de cuenta binaria o BCD y la carga de cada registro de conteo. Este registro solo puede ser escrito, no existe lectura posible de su contenido.

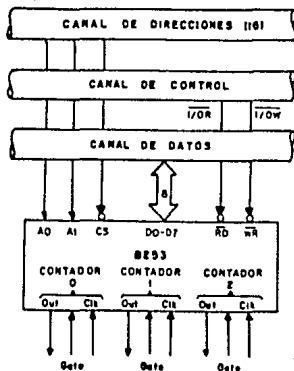
CONTADOR No.0, No.1 y No.2.

Estos tres bloques son idénticos en operación por lo que solo se describirá uno de ellos. Cada contador contiene un contador descendente preestablecido de 16 'Bits'. Puede trabajar en forma binaria o en BCD*, y su entrada (la compuerta) y salida son configurados para la selección de los modos de almacenamiento en el registro de la palabra de control. Los contadores son independientes completamente, cada uno puede tener configuración diferente.

La lectura del contenido de cada contador es posible con una simple operación de lectura dada por el programador para aplicaciones de conteo de eventos. La lectura del contador puede hacerse en el aire sin tener que inhibir la señal del reloj.

SISTEMA DE INTERCONEXION DEL DISPOSITIVO.

Este dispositivo es manejado por la programación del sistema como un arreglo de puertos periféricos de E/S. Tres son contadores y el cuarto es un registro de control para programarse en modo. Básicamente las entradas de las señales A0 y A1 se conectan al canal de direcciones de la C.P.U. en A0 y A1. El selector del dispositivo ('CS/') viene de la salida de un decodificador.



DESCRIPCION DE FUNCIONAMIENTO.

Las palabras de control deben provenir de la C.P.U. para inicializar cada contador con el modo deseado. Estas programan el modo, la secuencia de carga y el modo de conteo (BCD o binario). Una vez programado puede realizar cualquier tarea respectiva al tiempo asignado.

PROGRAMACION.

Todos los modos en que cada contador puede trabajar,

son programados con simples operaciones de entrada o salida. Cada contador es programado individualmente por medio de una palabra de control asignada en el registro de control.

FORMATO DE LA PALABRA DE CONTROL.

D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	RL1	RL0	M2	M1	M0	BCD

SC - SELECTOR DEL CONTADOR.

SC1	SC2	
0	0	CONTADOR CERO.
0	1	CONTADOR UNO.
1	0	CONTADOR DOS.
1	1	ILEGAL.

RL - LECTURA/CARGA

RL1	RL0	
0	0	OPERACION DEL CONTADOR CON 'LATCHES'.
1	0	LECTURA/CARGA DEL 'BYTE' MAS SIGNIFICATIVO SOLAMENTE.
0	1	LECTURA/CARGA DEL 'BYTE' MENOS SIGNIFICATIVO SOLAMENTE.
1	1	LECTURA/CARGA PRIMERO DEL 'BYTE' MAS SIGNIFICATIVO Y LUEGO EL MENOS SIGNIFICATIVO.

M - MODO			
M2	M1	M0	
0	0	0	MODO 0
0	0	1	MODO 1
X	1	0	MODO 2
X	1	1	MODO 3
1	0	0	MODO 4
1	0	1	MODO 5

BCD

- 0 CONTADOR BINARIO DE 16 'BITS'.
- 1 CONTADOR CODIFICADO EN BINARIO (BCD).

CARGA DEL CONTADOR

El registro de conteo no es cargado hasta que el valor de la cuenta es escrito (1 o 2 'Bytes' dependiendo del modo seleccionado por los 'Bits' RL), seguido por un ciclo completo de reloj. Cualquier lectura del contador anterior a la transición negativa del reloj sera una informacion invalida.

DEFINICION DE MODOS:

MODO 0: INTERRUPCION AL FINALIZAR LA CUENTA.

Sera inicializado en 0 despues de fijar el modo.

Despues de cargar la cuenta dentro del registro seleccionado, la salida permanecera en 0 y entonces contara el contador. Cuando se lleque al final de la cuenta la salida sera 1 y permanecera asi hasta que se recarque el mismo registro o una nueva cuenta sea cargada. Al llegar al final de la cuenta el contador continua de cremenandose. Reescribiendo un registro durante el conteo significa que:

El primer 'Byte' escrito detiene la cuenta.

El segundo 'Byte' escrito inicializa la misma cuenta.

MODO 1: DISPARO PROGRAMABLE.

La salida sera 0 en la cuenta sucesiva a la transicion positiva del reloj en la entrada de la compuerta. La salida sera 1 cuando lleguemos al final de la cuenta. Si una nueva cuenta es cargada mientras la salida esta en 0, esto no afectara la duracion del disparo en curso, sino al disparo subsecuen te. La cuenta puede ser leida en cualquier momento sin aqectar el disparo.

Se dispara nuevamente, de aqui que la salida permanecera en 0 durante toda el conteo despues de cualquier transicion positiva de reloj de la compuerta.

MODO 2: GENERADOR DE FRECUENCIA

Contador divisor entre N. La salida sera 0 por un

periodo del reloj de entrada. El periodo de 1 pulso de salida a otro iguala el numero de cuenta de entrada en el registro de conteo. Si se recarga el registro durante la salida de pulsos en el presente periodo no se vera afectado pero el periodo siguiente tomara el nuevo valor.

La entrada de la compuerta en 0 forzara a la salida en 1. Cuando la entrada de la compuerta es 1, el contador iniciara el conteo de la cuenta final. De esta manera la entrada a la compuerta puede ser utilizada para sincronizar al contador. Cuando se fija este modo, la salida permanecera en 1 solo hasta que el registro de conteo sea cargado. La salida puede ser sincronizada por medio de programacion.

MODO 3: GENERADOR DE ONDA CUADRADA.

Similar al modo anterior con la excepcion de que la salida permanecera en 1 hasta que la llegar a la mitad de la cuenta y sera 0 por la otra mitad. Esto es, decrementando el contador en 2 en la transicion negativa de reloj de cada pulso de reloj. Cuando el contador termina la cuenta, el estado de la salida cambia, el contador es recargado con la cuenta total y se repite todo el proceso.

Si la cuenta es par y la salida es 1, el primer pulso de reloj (despues de que la cuenta fue cargada) decrementa el contador en 1. Pulsos de reloj subsecuentes decrementaran al contador en 2. Al final la salida sera 0 y se recarga la cuenta. El primer pulso despues de la recarga decrementa al contador en 3. Pulsos subsecuentes decrementan al contador entre 2 (tiempo de salida util). Luego todo el proceso se

repite. De esta manera, la salida sera 1 para $(N+1)/2$ y 0 para $(N-1)/2$.

MODO 4: CONTROL DE CARGA DE DATOS CON DISPARO POR PROGRAMACION.

Despues de fijar el modo, la salida sera 1. Al colocar la cuenta en el contador, este comenzara su labor. Al finalizarla la salida sera 0 por un periodo de entrada de reloj y luego volvera a 1. Si el registro de conteo es recargado entre los pulsos de salida, el periodo presente no se vera afectado pero el siguiente tendra el nuevo valor. La cuenta estara inhibida mientras la senial de la compuerta sea 0 y recargando el registro se reiniciara con un nuevo numero.

MODO 5: CONTROL DE CARGA DE DATOS CON DISPARO POR 'HARDWARE'.

El contador empezara a contar con 1 del pulso de disparo de entrada y sera 0 por un periodo de reloj cuando la cuenta final se alcance. El contador es redisparable. La salida no sera 0 hasta que se alcance la cuenta total despues de la transicion positiva de reloj de cualquier pulso de disparo.

PROCEDIMIENTO DE LECTURA/ESCRITURA

ESCRITURA:

El programador debe escribir sobre el dispositivo una palabra de control de modo y el número programado de 'Bytes' del registro de conteo, (1 o 2). El orden de los contadores es algo flexible. Esto es, el contador 0 no siempre debe ser el primero ni el contador 2 el último. Cada palabra de control de selección de modo tiene sus direcciones separadas por lo que son completamente independientes.

La carga del registro de conteo con el valor actual, debe ser exactamente en la secuencia programada por la palabra de control de modo (RL1 y RL0). Esta carga es independiente como la carga de la palabra de control de modo pero cuando va a ser cargado un registro de conteo seleccionado, este debe ser cargado con el número de 'Bytes' programados por la palabra de control de modo (RL0 y RL1). Todos los contadores son descendentes. Por esto el valor cargado se va a ir decrementando. Tendremos la mayor cuenta (2^{16} binario o 10^4 BCD) si cargamos ceros en el registro de conteo. En modo 0 la nueva cuenta no se reiniciara hasta que la carga no sea completada.

Aceptara uno o dos 'Bytes' dependiendo de la programación de las palabras de los modos de control.

ALTERNATIVAS PROGRAMABLES DE FORMATEO

	A1	A0
Palabra de control de modo		
Contador 0	1	1
Palabra de control de modo		
Contador 1	1	1
Palabra de control de modo		
Contador 2	1	1
'Byte' del contador de registro, No. 1		
'Byte' menos significativo	0	1
'Byte' del contador de registro, No. 1		
'Byte' mas significativo	0	1
'Byte' del contador de registro, No. 2		
'Byte' menos significativo	1	0
'Byte' del contador de registro, No. 2		
'Byte' mas significativo	1	0
'Byte' del contador de registro, No. 0		
'Byte' menos significativo	0	0
'Byte' del contador de registro, No. 0		
'Byte' mas significativo	0	0

LECTURA:

En muchas aplicaciones de conteo, es necesario leer el valor de la cuenta 'en el aire' y hacer una decision basada en ella. Este dispositivo tiene la capacidad de leer el contenido de cualquier contador sin alterar la cuenta. Existen dos metodos que el programador puede utilizar para leer el contenido de los contadores.

El primero envuelve simplemente operaciones de entrada/salida del contador seleccionado con A0 y A1. El unico requisito es inhabilitar la entrada de reloj. La primera entrada/salida contendra el 'Byte' menos significativo y la segunda el 'Byte' mas significativo.

Debido a la logica interna del 8253 es absolutamente necesario de completar el proceso completo de lectura. Si estan programados 2 'Bytes' a ser leidos, entonces ambos deben ser leidos antes que cualquier comando de escritura ('WR/') pueda ser enviado al mismo contador.

TABLA DE LECTURA

A1	A0	'RD/'	
0	0	0	LECTURA DEL CONTADOR 0
0	1	0	LECTURA DEL CONTADOR 1
1	0	0	LECTURA DEL CONTADOR 2
1	1	0	ILEGAL

La cuenta puede leerse 'en el aire' mandandose a un almacenador temporal 'latch' y este sera leido con una simple ejecucion de lectura.

REGISTRO DE MODO PARA EL LATCH DE CONTEO

A0 y A1 deben ser 11.

D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	0	0	X	X	X	X

SC1, SC2 - Contador específico a ser almacenado temporalmente.
D5, D4 - 00 designa la operación del almacenamiento temporal.
X - Irrelevante.

Se requiere de completar toda la operación de lectura.
Este comando no afecta al conteo presente.

8279
====

INTERFAZ PROGRAMABLE TECLADO 'DISPLAY'.
=====

*MANEJO SIMULTANEO DE 'DISPLAY' Y TECLADO. *MODO DE
DETECCION POR RASTREO. *MODO DE CONTROL DE CARGA DE DATOS.
*DOBLE 'DISPLAY' NUMERICO DE 8 O UNO SIMPLE DE 16.
*DESPLIEGUE SENCILLO DE 16 CARACTERES. *ENTRADA DE 16
'BYTES' POR LA IZQUIERDA O POR LA DERECHA. *MODO PROGRAMABLE
DESDE LA C.P.U.. *TIEMPO DE RASTREO PROGRAMABLE.
*GENERACION DE INTERRUPCIONES AL DETECTAR UNA TECLA OPRIMIDA.

GENERALIDADES.

El 8279 de Intel es un dispositivo de interfaz de E/S de 'Display' y teclado programable de uso general. En lo que respecta al teclado, este puede manejar una matriz de 64 teclas por medio de rastreo. Tambien puede conectarse a un arreglo de sensores. Las seniales de cada tecla pueden ser sujetas por medio de 2 teclas de control o simplemente con el contacto de las mismas.

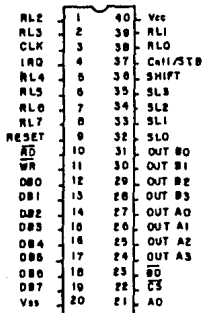
Los caracteres de entrada del teclado son manejados por un Registro de Corrimiento de 8 'Bits' con filosofia FIFO (primero en entrar-primero en salir). Si son teclados mas de 8 caracteres se enciende una bandera interna de error.

Con respecto al 'Display', este provee una interfaz de 'Display' por medio de rastreo hacia cualquier dispositivo de despliegue (como por ejemplo 'LED'S'). 'Display's' de segmentos numericos o alfanumericos, pueden ser utilizados como simples indicadores.

El 8279 tiene una memoria RAM de despliegue de 16x8 la cual puede ser agrupada por 2 de 16x4. Esta memoria puede ser cargada o referenciada por la C.P.U., Se pueden manejar dos opciones, la primera entrando por la derecha como se usan en las calculadoras y la segunda entrando por la izquierda como si fuera una maquina de escribir. La escritura y lectura de dicha memoria de despliegue, puede hacerse autoincrementando la direccion de la memoria RAM.

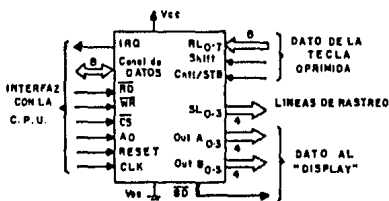
INTERFAZ DE DISPLAY Y TECLADO PROGRAMABLE

8279



CONFIGURACION DE TERMINALES

NOMBRE DE LAS TERMINALES		
DB0-7	E/S	CANAL DE DATOS
CLK	E	RELOJ
RESET	E	Señal de Reiniciación
CS	E	Selector del Dispositivo
RD	E	LECTURA
WR	E	ESCRITURA
AO	E	DIRECCION
IRQ	S	Solicitud de Interrupción
SLO-3	S	Líneas de Rastreo
RLO-3	E	Líneas de Retorno
SHIFT	E	Desplazamiento
Cnt/STB	E	Control/Straba
Out A0-3	S	SALIDAS DE DATOS del Display
Out B0-3	S	SALIDAS DE DATOS del Display
BD	S	BLANQUEO del DISPLAY



DESCRIPCION DE TERMINALES.

El 8279 es un Circuito Integrado formado por 40 terminales. A continuacion se dara una breve descripcion de las terminales.

DB0-DB7

Canal bidireccional de datos. La comunicacion de datos entre la C.P.U. y el 8279 es por medio de este canal.

'CLK' (RELOJ),

El reloj del sistema utilizado para generar los tiempos internos.

SEÑAL DE REINICIALIZACION ('RESET')

Un uno en esta terminal reinicializa al 8279. Despues de haber sido reinicializado se coloca en el siguiente modo:

+Modo de entrada por la izquierda con 16 caracteres de 8 'Bits'. +Teclado de rastreo codificado por medio de las 2 teclas de control. +Junto con esto el contador de reloj es fija en 31.

SELECTOR DEL DISPOSITIVO ('CS/')

Un cero en esta entrada habilita al dispositivo para transmitir o recibir datos hacia o de la C.P.U.,

'AO'

Un uno logico en esta linea indica que las seniales que entran o salen son interpretadas como una senial de estado o comando. Un cero indica que este es un dato.

LECTURA-ESCRITURA ('RD/' - 'WR/')

E/S de lectura y escritura. Estas seniales habilitan al 'Buffer' de datos para mandar o recibir datos del canal externo.

SOLICITUD DE INTERRUPCION ('IRQ'),

Esta salida es uno cuando existen datos en la memoria RAM del dispositivo.

LINEAS DE RASTREO ('SLO - SL3').

Son utilizadas para buscar la tecla oprimida y los dígitos de 'Display' Estas líneas pueden ser codificadas (1 a 16) o decodificadas (1 a 4).

LINEAS DE RETORNO ('RLO - RL7')

Estas se conectan a las líneas de rastreo a través de las teclas. Tienen conectadas internamente 'Pull-ups' para mantenerlas deshabilitadas, hasta que una tecla sea oprimida. Sirven también como una entrada de 8 'Bits' en el modo de entrada de control de carga de datos.

DESPLAZAMIENTO ('SHIFT').

Terminal que tiene como finalidad manejar 2 señales en la misma tecla dependiendo de si está activada o no.

'CNTL/STB'

Utilizando el teclado, esta sirve como una entrada de control y es almacenada como estado. Esta línea también es la línea de control de carga de datos la cual introduce el dato en el FIFO.

SALIDAS A0-A3, R0-R3

Estos dos puertos son las salidas de las seniales de refresco al 'Display'. Los datos de estas salidas estan sincronizados con las lineas de de rastreo (SLO-SL3) para 'Display's' multiplexados. Los 4 'Bits' de los 2 puertos pueden ser borrados independientemente. Estos 2 puertos pueden ser considerados como un puerto de 8 'Bits'.

BORRADO DE 'DISPLAY' ('RD/')

Esta salida se utiliza para borrar el 'Display' durante el switcheo de digitos o por un comando de borrado.

Vcc, Vss

Terminales de alimentacion y tierra.

PRINCIPIOS DE OPERACION.

CONTROL DE ENTRADA/SALIDA Y 'BUFFER' DE DATOS.

La seccion de control de entrada/salida utiliza los seniales 'CS/', A0, 'RD/' y 'WR/' para el control del flujo

de datos o informacion hacia o desde los diversos 'Buffers' y registros. Toda la informacion desde o hacia el dispositivo es habilitada por medio de 'CS/'. El caracter de la informacion dado o requerido por la C.P.U. es reconocido por A0. Un 1 logico significa que la informacion es un comando o un estado. Un 0 significa que es un dato. 'RD/' y 'WR/' determinan la direccion del manejo de datos a traves de los 'Buffers' de datos. Estos 'Buffers' son bidireccionales, esto es, conectan al canal interno con el canal externo. Cuando el dispositivo no es habilitado ('CS/' = 1), este se encuentra en tercer estado. La entrada ocurre mientras tengamos la senal de 'WR/' y 'CS/' y la salida con la senal de 'RD/' y 'CS/'.

REGISTROS DE CONTROL Y TIEMPO.

Estos registros almacenan los modos de teclado y 'Display' o alguna condicion de operacion programada por la C.P.U. Los modos son programados presentando el comando propio en las lineas de dato con A0 = 1 y luego mandando una senal de 'WR/'.

DESCRIPCION FUNCIONAL.

El 8279 consta de 2 partes: la parte del 'Display' y la parte del teclado. La parte del teclado puede interconectarse con un teclado normal de maquina de escribir

o con un arreglo de interruptores (switches). La seccion de 'Display' acciona 'Display's' alfanumericos o bancos de luces indicadoras, de esta manera la C.P.U. es relevada de rastrear el teclado o refrescar el 'Display'. El 8279 es disenado para conectarse directamente al canal del microprocesador. La C.P.U. puede programar todos los modos de operacion del 8279. Estos modos son:

1.-Modos de entrada:

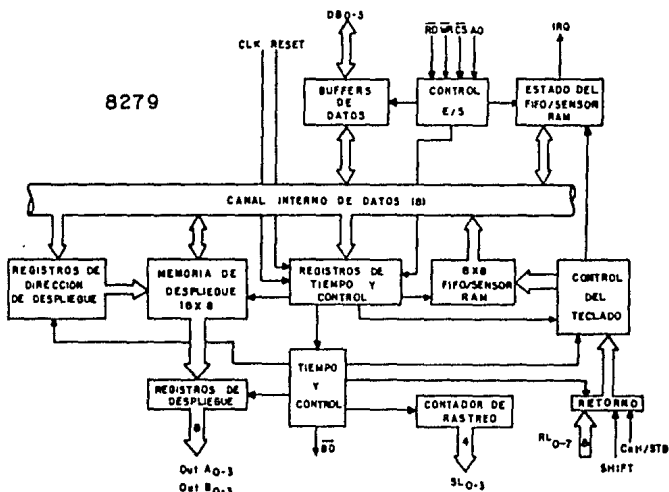
a.-Teclado con barrido - Con codificacion de lineas de barrido de 8×8 o decodificadas de 4 por 8 lineas de rastreo. Una tecla oprimida genera una codificacion de 6 'Bits' por cada tecla. Los seniales de poscicion, 'Shift' y estado de control son almacenadas en el FIFO (primero en entrar-primero en salir).

b.-Matriz sensora de barrido - Con lineas de barrido codificadas en forma matricial de 'Switches' de 8×8 o decodificados en forma matricial de 'Switches' de 4×8 . El estado de la tecla (abierta o cerrado) es almacenado en la RAM direccionada por la C.P.U.,.

c.-Entrada de control de carga de datos - Los datos en las lineas de regreso durante el control de carga de datos son transferidos al FIFO (primero en entrar-primero en salir).

2.-Modos de salida:

'Display's' multiplexados de 8 o 16 caracteres, que pueden ser trabajados como un doble de 8 'Bits' o un sencillos de 16 'Bits'. Contiene dos formatos, para entrar por la izquierda o derecha.



ORGANIZACION INTERNA

El comando es entonces decodificado y la funcion apropiada es fijada. El control de tiempo contiene la cadena de conteo de tiempo basica. El primer contador es un divisor entre 'N' que puede ser programado para proporcionar una frecuencia interna de 100KHZ, el cual a un tiempo de barrido del teclado de 5.1 ms y 10.3 de tiempo de rebote. Los demas contadores dividen hacia abajo la frecuencia interna basica de manejo para proveer el rastreo propio de teclas, rastreo de columnas, rastreo de la matriz del teclado y los tiempos de barrido del 'Display'.

CONTADOR DE RASTREO.

Existe 2 modos. En el modo codificado el contador provee una cuenta binaria que debe ser decodificada externamente, para dar las líneas de rastreo del teclado y el 'Display'. En modo decodificado el contador de rastreo decodifica los 2 'Bits' menos significativos y provee un rastreo decodificado de 1 de 4. Esto quiere decir que los primeros 4 caracteres de la memoria son desplegados.

En el modo codificado las líneas de rastreo son salidas en uno mientras en el modo decodificado son salidas en cero.

LINEAS DE RETORNO Y DETECCION DE TECLADO Y CONTROL.

Las 8 líneas de retorno tienen la capacidad de retener la información gracias a los 'Latches' que poseen. En el modo de teclado estas líneas son rastreadas con el fin de encontrar en que renglón se oprimió una tecla. Si se detecta un switch cerrado este espera cerca de 10ms para checar si continua cerrado. Si es así la dirección del switch de la matriz y el estatus del desplazamiento (shift) y control son mandados al FIFO. En el modo de rastreo de matriz de sensores el contenido de las líneas de retorno es transferido directamente al renglón correspondiente del FIFO en cada barrido de tecla. En modo de control de carga de datos el contenido de las líneas de retorno es mandado al FIFO en la transición positiva en la línea de CNTL/STB.

FIFO/SENSOR RAM Y ESTADO.

Este bloque es una memoria de 8x8 con doble funcion. En modo de teclado o de control de carga de datos es un Registro de corrimiento (FIFO), Este registro de corrimiento guarda el numero de caracteres que entran al mismo, y cuando esta lleno o vacio. Demasiadas lecturas o escrituras pueden ser reconocidas como un error. El estado puede ser leido con 'RD/' y 'CS/' en cero y A0 en 1. Cuando se utiliza como memoria con sensores, esta es una memoria RAM sensible. Cada renglon de la memoria es cargado con el estado del correspondiente renglon de sensores de la matriz. En este modo IRQ (requerimiento de interrupcion) es uno si se detecta un cambio en el sensor.

REGISTRO DIRECCIONADO DE 'DISPLAY' Y MEMORIA DE DESPLIEGUE.

Los registros direccionados del 'Display' mantienen la direccion de la palabra comunmente escrita o leida por la C.P.U. y los 2 datos de 4 'Bits' seran desplegados. Las direcciones de lectura y escritura estan controlados por la C.P.U.. Pueden colocarse en modo de autoincremento despues de cada lectura y escritura. La memoria RAM de despliegue puede ser leida directamente por la C.P.U. despues que son fijados el modo y la direccion. Las direcciones de los datos de 4 'Bits' son automaticamente actualizadas por el 8279 al entrar un dato enviado por la C.P.U.. Los datos de 4 'Bits' pueden entrar independientes o en una palabra dependiendo del modo fijado por la C.P.U.. Los datos introducidos al

'Display' pueden ser introducidos por la izquierda por la derecha.

OPERACION POR 'SOFTWARE'.

COMANDOS DEL 8279:

Estos comandos son enviados con el Selector de integrado ('CS/') y 'WR/' en cero y A0 en uno.

FIJACION DEL MODO DEL TECLADO Y 'DISPLAY'.

CODIGO	0	0	0	D	D	K	K	K
	B+S			R-S				

Donde D D es el modo de despliegue y K K K es el modo de teclado.

DD

- | | | |
|---|---|---|
| 0 | 0 | Despliegue de 8 caracteres con entrada por la izquierda. |
| 0 | 1 | Despliegue de 16 caracteres (de 8 'Bits') con entrada por la izquierda. |
| 1 | 0 | Despliegue de 8 caracteres con entrada por la derecha. |
| 1 | 1 | Despliegue de 16 caracteres (de 8 'Bits') a desplegar por la derecha. |

K K K

- 0 0 0 Codificación del rastreo de teclado - Dos teclas a presionar.
- 0 0 1 Codificación del rastreo de teclado - Dos teclas a presionar.
- 0 1 0 Codificación del rastreo de teclado - N teclas a presionar.
- 0 1 1 Decodificación del rastreo de teclado - N teclas a presionar.
- 1 0 0 Codificación de rastreo para teclado matricial.
- 1 0 1 Decodificación de rastreo para teclado matricial.
- 1 1 0 Habilidad de entrada, codificación para rastreo de 'Display'.
- 1 1 1 Habilidad de entrada, decodificación para rastreo de 'Display'.

PROGRAMACION DE RELOJ.

CODIGO 0 0 1 P P P P P

Todas las señales de tiempo y multiplexadas para el 8279 son generadas por un preescalar interno, este divide la frecuencia de entrada de reloj (la pata 3) por un entero

programable. Los 'Bits' P P P P P determinan el valor de este entero cuyo rango es de 2 a 31.

LECTURA DEL FIFO/SENSOR DE RAM.

CODIGO 0 1 0 AI X A A A

X-No se toma cuenta.

La C.P.U. envia este comando para leer la memoria RAM/FIFO. El modo de rastreo de teclado, la bandera de autoincremento (AI) y los 'Bits' de direccion de RAM (AAA) son irrelevantes. El 8279 automaticamente maneja el canal de datos para cada lectura subsecuente (AD=0), en la misma secuencia con la cual el dato fue introducido en el FIFO. Todas las lecturas subsecuentes seran tomadas del FIFO hasta que otro comando sea enviado. En el modo de teclado matricial los 'Bits' de direccion de RAM (AAA) seleccionaran una de las 8 columnas del teclado matricial. Si la bandera de AI esta en uno cada lectura sucesiva sera de la siguiente fila del sensor de RAM.

LECTURA DE LA MEMORIA DE DESPLIEGUE

CODIGO 0 1 1 AI A A A A

La C.P.U. envia este comando para leer de la memoria de despliegue. Los 'Bits' de direccion AAAA seleccionan una de las 16 filas de esta memoria. Si la bandera de A1=1 esta direccion de la fila sera incrementada despues de la siguiente lectura o escritura. Debido a que el mismo contador es utilizado para lecturas y escrituras este comando coloca la siguiente direccion de escritura o lectura y el modo de autoincremento para ambas operaciones.

MEMORIA DE ESCRITURA DE DESPLIEGUE

CODIGO 1 0 0 A1 A A A A

Despues de mandar el comando de escritura y A0=1 todas las operaciones de lectura subsecuentes con A0=0 seran hacia la RAM de despliegue. Las direcciones y las funciones de autoincremento son identicas para las lecturas hacia la RAM. Sin embargo este comando no afecta las lecturas de datos subsecuentes.

INHIBICION/BLANQUEO DE LA MEMORIA DE ESCRITURA DEL 'DISPLAY'.

CODIGO 1 0 1 X IW IW BL BL

Los 'Bits' IW pueden ser utilizados para mascarillar

los datos de 4 'Bits' A y B en aplicaciones que requieren puertos separados de 4 'Bits'. Al encender la bandera de IW para uno de estos puertos el puerto indicado tendra acceso a la RAM del 'Display' ya que la C.P.U. no afectara a ese puerto. De esta manera si cada dato de 4 'Bits' es una entrada a un decodificador BCD la C.P.U. puede escribir un digito en el RAM de la memoria de 'Display', sin afectar al otro digito que se encuentra desplegado. Es importante notar que el 'Bit' B0 corresponde al 'Bit' D0 del canal de la C.P.U. y el 'Bit' A3 corresponde al 'Bit' D7.

Si el usuario desea blanquear el 'Display' la bandera de BL se encuentra disponible para cada dato de 4 'Bits'. El ultimo comando de blanqueo ('CLEAR') determina el codigo a ser usado como un blanco. Este codigo despues de un Reset se asume como ceros. Notese que las banderas de BL deben estar encendidas para blanquear un formateo con un solo puerto de 8 'Bits'.

BLANQUEO ('CLEAR')

CODIGO 1 1 0 CD CD CD CF CA

Los 'Bits' CD estan disponibles en este comando para blanquear todas las filas de la memoria RAM del 'Display' para seleccionar un codigo de blanqueo de acuerdo a lo siguiente:

CD CD CD

^ 0 X TODO CERO (X = IRRELEVANTE)
1 0 AB = HEX 20 (0010 0000)
----- HABILITADOR DE BLANQUEO DEL 'DISPLAY'
CUANDO ES = 1 (0 CUANDO CA = 1),

Durante el tiempo en que la memoria RAM del 'Display' es blanqueada (aproximadamente 160 microsegundos), no puede ser escrita. El 'Bit' mas significativo de la palabra de estado del FIFO se enciende durante este tiempo. Cuando la memoria RAM de display esta ya disponible, automaticamente se apaga. Si el 'Bit' CF es captado (CF=1) el estado del FIFO es blanqueado y una linea de salida de interrupcion es inicializada. Asi mismo el sensor de la memoria RAM se posiciona en la fila 0.

CA el 'Bit' de 'todos en blanco' tiene el efecto combinado de CB y CF; este usa el codigo de blanqueo de CD de la memoria RAM y blanquea el estado del FIFO ,posteriormente resicroniza la cadena de tiempos interno.

FINAL DE INTERRUPCION/MODO DE ERROR ENCENDIDO.

CODIGO 1 1 1 E X X X X

X = IRRELEVANTE.

Para los modos de teclado de matriz este comando coloca en cero la linea de IRQ y habilita la escritura dentro de

la RAM (la linea de IRQ debera tener un valor positivo para que pueda detectarse el cambio).

PALABRA DE ESTADO.

La palabra de estado contiene el estado del FIFO, errores y seniales de 'Display' no disponibles. Esta palabra es leida por la C.P.U. cuando $A0 = 1$ y los seniales de 'CS/' y 'RD/' estan en cero.

LECTURA DE DATOS.

Los datos son leidos cuando $A0$, 'CS/' y 'RD/' estan en cero. La fuente de los datos es especificada por los comandos de lectura del FIFO o lectura del 'Display'. La transicion negativa de 'RD/' ocasionara que la direccion de la RAM que acaba de ser leida sea incrementada si la bandera de autoincremento esta prendida. Las lecturas al FIFO siempre la incrementa independientemente de $A1$ si es que no ocurre un error.

ESCRITURA DE DATOS.

Los datos siempre son escritos en la memoria del 'Display' cuando $A0$, 'CS/' y 'WR/' estan en cero. La direccion es especificada por comandos de lectura de 'Display' o escritura de 'Display'. El autoincremento en la

transición positiva de la señal de 'WR/' ocurre si A1 está habilitada después del último comando recibido.

ESTADO DEL FIFO.

El estado en el FIFO es usado en el modo de teclado para la carga de datos indicando el número de caracteres en el mismo y cuando ocurre un error. Existen dos posibles errores: cuando esto se excede o cuando está vacío.

Esta palabra de estado tiene también un 'Bit' que indica si la memoria no está disponible al estar ejecutándose un blanqueo. En modo 'Matriz con sensores' un 'Bit' es fijado en la palabra de control para indicar que al menos existe el cierre de algún sensor.

En el modo especial de error, el 'Bit' S/E muestra la bandera de error como una indicación de cuando existe un cierre simultáneo de múltiples sensores.

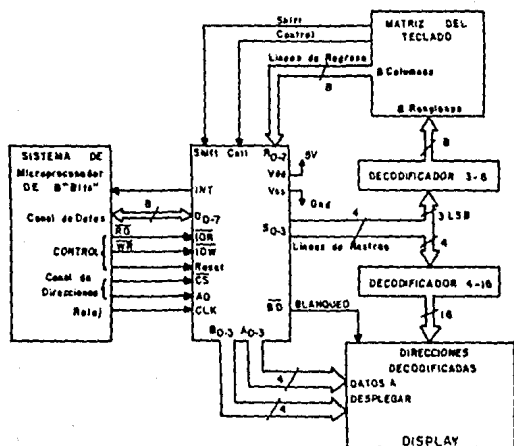
PALABRA DE ESTADO DE FIFO.

DU S/E O U F N N N

DONDE:

DU Indica 'Display' no disponible. S/E Sensor de

cierre/bandera de error por cierres multiples, O Error por exceso de datos, U Error por falta de datos (vacío), F FIFO lleno, N Numero de caracteres en el FIFO,



CONTROLADOR DE DISPLAY Y TECLADO

APENDICE B : INTERFAZ.

INTERFAZ!

Existen 2 tipos diferentes de transmision!

1.- Transmision Sincrona y Asincrona.

2.- Transmision con senial de control y sin senial de control.

La transmision a utilizarse es la Transmision Serie Asincrona. La cual su caracteristica es que los datos no son enviados en un flujo continuo. Se emplea para la comunicacion entre dispositivos que carecen de un area de almacenamiento temporal de datos "Buffer" y el computador. Los datos son enviados, por ejemplo, si se oprime una tecla o no. Para poder llevar a cabo la transmision exitosamente, se requieren de ciertos caracteres de control que no forman parte del dato transmitido, estos caracteres de control son para que el dispositivo receptor pueda interpretar los datos correctamente, sin perdida de informacion, y se les conoce como protocolos de transmision.

NOTA: Los datos son enviados en serie cuando se mandan o reciben caracter por caracter y cada caracter "Bit" por "Bit".

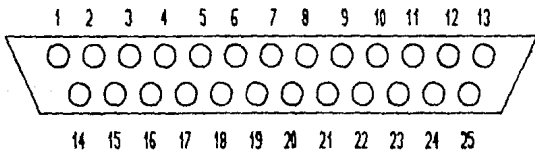
Un canal ("Bus") es el medio por el cual se lleva a

cabo la interconexion entre computador y dispositivos, por tanto puede considerarse como la interfaz. Esta interfaz es un conjunto de circuitos sobre el cual datos, direcciones, seniales de control y de alimentacion de voltaje son diseminados. Es frecuente que sean bidireccionales, de tal manera que tienen multiples fuentes y destinos, por esta razon, es de suponerse que entre mas sofisticado es un sistema, mas complejo es el diseno del canal. Existen multiples configuraciones de canal, que han sido disenados al rededor de alguna familia de procesadores y sus componentes. Dentro de un sistema de computo podemos hallar dos clases de canal; los internos, que son los que comunican directamente a la C.P.U. (Unidad Central de Proceso) con puertos de E/S, memoria principal, etc. y los externos que son los que comunican al procesador con la memoria secundaria, terminales, impresoras, graficadores, etc. Dentro de los canales externos obedeciendo a estandares de comunicacion se encuentra la EIA ('Electronics Industries Association's') RS-232-C, el cual define la interconexion entre perifericos y computador, o 'Modem' y computador. Los estandares RS-232-C definen funciones y caracteristicas como:

- Longitud del cable (limitada a 50 pies).
- Asignacion de conectores.
- Compatibilidad de caracteristicas electricas tales como corriente, voltaje e impedancia.
- Su velocidad maxima de transferencia es de 20 'Kbits'/segundos.

El flujo entre dispositivos es en serie asincrona. No

importa el número de 'Bits' del código que se este empleando y tampoco el protocolo de transmisión. Es la interfaz más utilizada. Entre sus señales encontramos las destinadas a datos, control y de pulsos de reloj.



ASIGNACION DE CONECCIONES DE LA INTERFAZ EN LOS ESTANDARES
RS-232-C

CONECTOR	DESIGNACION	DESCRIPCION
1	Tierra de proteccion. ('Protective Ground').	Conexion electrica realizada en la estructura del equipo.
2	Datos transmitidos. ('Transmitted Data').	Señal que transporta los datos generados en la terminal y que serán transmitidos por equipo terminal.

CONECTOR	DESIGNACION	DESCRIPCION
3	Datos recibidos ('Received Data').	Senial que transportan los datos generados por el 'Modem' en respuesta de unos datos transmitidos por equipo terminal
4	Solicitud de envio. ('Request to Send').	Una condicion de encendido indica que la terminal esta lista para transmitir los datos.
5	Disposicion de envio. ('Clear to Send').	Una condicion de encendido indica que el 'Modem' esta listo para transmitir, es una respuesta a una solicitud de envio.
6	'Modem' dispuesto a enviar. ('Data Set Ready').	Una condicion de encendido indica que el 'Modem' esta listo fisicamente y puede transmitir o recibir datos.
7	Senial de tierra. ('Signal Ground').	Establece la referencia de los potenciales en todos los circuitos.
8	Detector de senial recibida. ('Received Line Signal Detector').	Proporciona un indicador en donde la senial de un equipo remoto esta siendo recibida.
9	Prueba de 'Modem'. ('Reserved for Data Set Testing').	Proporciona un nivel de voltaje de +12 volts.

CONECTOR	DESIGNACION	DESCRIPCION
10	Prueba de 'Modem', ('Reserved for Data Set Testing').	Proporciona un nivel de voltaje de -12 volts.
11	Sin asignacion. ('Unassigned').	
12	Detector secundario de senal recibida. ('Secondary Line Signal Detect').	Proporciona un indicador en que las senales de un equipo remoto estan siendo recibidas.
13	Disposicion de envio secundario. ('Secondary Clear to Send').	Una condicion de encendido indica que el 'Modem' esta listo para transmitir.
14	Datos transmitidos secundarios. ('Secondary Transmitted Data').	Senal que transporta los datos generados en la terminal y que seran transmitidos por el 'Modem'
15	Sincronizacion de la senal transmitida. ('Transmission Signal Element Timing').	Proporciona a la terminal informacion de sincronizacion para la deteccion de la no se utiliza si existe designacion en el conector 24.
16	Datos recibidos secun- darios. ('Secondary Received Data').	Senal que transporta los datos generados por el 'Modem' en respuesta de unos datos transmitidos por equipo terminal

CONECTOR	DESIGNACION	DESCRIPCION
17	Sincronizacion de la senial transmitida. (<i>'Receiver Signal Element Timing'</i>).	Proporciona a la terminal informacion de sincronizacion para la deteccion de la informacion; no se utiliza si existe designacion en el conector 24.
18	Sin designacion. (<i>'Unassigned'</i>).	
19	Solicitud de envio secundario. (<i>'Secondary Request to Send'</i>).	Una condicion de encendido indica que la terminal esta lista para transmitir datos.
20	Terminal lista. (<i>'Data Terminal Ready'</i>).	Esta senial es usada para controlar la conmutacion de la terminal al canal de comunicacion. Cuando esta encendido se ejecuta una preparacion de la terminal para transmision.
21	Detector de calidad de la senial. (<i>'Signal Quality Detector'</i>).	Una condicion de encendido indica que el nivel de la senial recibida es de buena calidad.
22	Indicador de llamado. (<i>'Ring Indicator'</i>).	Indica que una senial esta solicitando entrada.

CONECTOR	DESIGNACION	DESCRIPCION
23	Selector de velocidad de serializacion. ('Data Signal Rate Selector').	Las seniales permiten seleccionar los rangos de velocidad a los que se desee trabajar.
24	Sincronizacion de la senial transmitida. ('Transmit Signal Element Timing').	Proporciona al 'Modem' de una senial de sincronizacion para la transmision de datos.
25	Sin designacion. ('Unassigned').	

Las conecciones unicas a utilizarse en este 'Kit Educativo' son:

Coneccion 2 - Datos transmitidos.

Coneccion 3 - Datos recibidos.

Coneccion 7 - Senial de tierra.

APENDICE C : CODIGO DE INSTRUCCIONES.



GRUPOS DE INSTRUCCIONES DEL MICROPROCESADOR Z-80.
 =====

GRUPO	DE	CARGA	DE	B	'BITS'	.-

LD	A,L		- El contenido del registro L es			
			cargado en el acumulador.			
LD	B,68H		- El dato 68 hexadecimal es			
			cargado en el registro B.			
LD	D,(HL)		- El contenido de la localidad de			
			manera que apunta el registro			
			par H-L es cargado en el			
			registro D.			
LD	H,(IX+d)		- El contenido de la localidad de			
			memoria que apunta el registro			
			indice IX mas el desplazamiento			
			de B 'Bits' es cargado en el			
			registro H.			
LD	(IY+d),C		- El dato contenido en el			
			registro C es cargado en la			
			localidad de memoria que apunta			
			IY mas el desplazamiento de B			
			'Bits' (d).			
LD	(IX+d),16H		- El dato 16 hexadecimal es			
			cargado en la direccion que			

apunta el registro indice IX
mas el desplazamiento de B
'Bits' (d).

- LD A(BC) - El acumulador es cargado de la
localidad que apunta el registro
par B-C.
- LD A,2000H - El acumulador es cargado de la
localidad de memoria 2000 hex.
- LD I,A - El registro de interrupciones
I es cargado con el valor del
acumulador.

GRUPO DE CARGA DE 16 'BITS' .-

- LD DE,6500H - El registro D es cargado con el
dato 65 hex. y el registro E es
cargado con el dato 00 hex.
- LD IY,1FFAH - El registro indice es cargado
con la direccion 1FFA hex.
- LD BC,(3459H) - El registro C es cargado con el
contenido de la localidad 3459
hex., y el registro B con el
contenido de la localidad 345A

hex.

LD (9000H),IX - La parte baja del registro indice es cargada en la localidad de memoria 9000 hex. y la parte alta es cargada en la localidad 9001 hex.

PUSH BC - El registro B es cargado en el 'Stack' en la direccion que apunta 'Stack Pointer' - 1 y el registro C es cargado en la direccion del 'Stack Pointer' - 2.

POP IX - El contenido de la localidad de memoria que apunta el 'Stack Pointer' es cargado en la parte baja del registro indice Y y el contenido de memoria que apunta el 'Stack Pointer' + 1 es cargado en la parte alta del registro indice Y.

GRUPO DE INTERCAMBIO .-

EX DE,HL - El contenido del registro par D-E es intercambiado por el contenido del registro par H-L.

EX AF,A'F' - El contenido del acumulador A y del registro de banderas F es intercambiado con el acumulador A' y el registro de banderas F'.

EXX - Los datos contenidos en los 3 registros pares principales (B-C, D-E, H-L) son intercambiados con los datos de los tres registros pares auxiliares (B'-C', D'-E', H'-L').

EX (SP),IY - La parte baja del registro indice Y es intercambiado con el contenido del registro apuntador del 'Stack' + 1 y la parte baja del registro Y es intercambiado con el contenido del registro apuntador del 'Stack'.

GRUPO DE TRANSFERENCIA DE BLOQUES .-

LDIR - Transfiere datos que apunta el registro par H-L a localidades de memoria que apunta el registro par D-E hasta que el

registro por B-C sea 0000. Los registros pares H-L y D-E son incrementados y B-C es decrementado cada vez que un dato ha sido transferido.

LDDR

- Transfiere datos igual que la anterior (LDIR), con la diferencia de que H-L, D-E y B-C son decrementados cada vez que un dato es transferido de la direccion que indica H-L a la direccion que marca D-E.

GRUPO	DE	BUSQUEDA	DE	CARACTERES	.-

CPIR

- El contenido de la localidad de memoria direccionada por H-L es comparada contra el acumulador, si es verdadera la comparacion, racion, la ejecucion de la instruccion es terminada. Si las comparaciones son falsas, el registro por B-C se va decrementando de tal forma que si llegara a ser 0000, la ejecucion de la instruccion es terminada. El registro por H-L

se incrementa cada vez que se realiza una comparacion. Al resultar verdadera la comparacion, una bandera de condicion es encendida.

LPDR

- Igual que CPIK, con la diferencia de que el registro par. H-L es decrementado cada vez que se realiza una comparacion contra el acumulador.

GRUPO DE OPERACIONES ARITMETICAS DE 8 'BITS' .-

ADD A,C - El dato contenido en el registro C es sumado sin acarreo con el contenido del acumulador. El resultado queda almacenado en el acumulador.

ADD A,6AH - El dato 6A hex. es sumado sin acarreo con el dato contenido en el acumulador quedando el resultado en el acumulador.

ADD A,(HL) - El dato contenido en la localidad de memoria que apunta

el registro par H-L es sumado sin acarreo al contenido del acumulador. El resultado queda en el acumulador.

- ADD A,(IC+d) - El dato contenido en la localidad de memoria que apunta el registro indice X mas el desplazamiento (d) es sumado sin acarreo al contenido del acumulador.
- ADC A,H - El dato contenido en el registro H es sumado con acarreo al contenido del acumulador. El resultado queda en el acumulador.
- SUB D - El dato contenido en el registro D es restado sin acarreo del dato del acumulador (A-D). El dato es almacenado en el acumulador.
- SBC A,(IY+d) - El dato contenido en la localidad de memoria que indica el registro IY mas el desplazamiento (d) es restado con acarreo al acumulador. El resultado de la resta queda en el acumulador.

GRUPO DE OPERACIONES LOGICAS DE 8 'BITS' .-

- AND C - Se realiza la operacion logica AND entre el acumulador y el registro C. El resultado queda en el acumulador.
- OR (HL) - Se efectua la operacion logica OR entre el contenido de la localidad de memoria que indica H-L y el acumulador. El resultado queda en el acumulador.
- XOR (IX+d) - Se realiza la operacion logica OR exclusiva entre el contenido de la localidad de memoria que indica el registro indice IX mas el desplazamiento (d) y el dato del acumulador. En el acumulador queda el resultado.
- CP BDH - Compara el dato contenido en el acumulador con el dato BD hex. mediante la resta (A-BD). Las banderas de condicion indican el resultado de la comparacion.
- INC E - El dato contenido en el registro E es incrementado en

1.

- INC (IY+d) - El dato contenido en la localidad de memoria que indica el registro IY mas el desplazamiento (d) es incrementado en 1.
- DEC (IX+d) - El dato contenido en la direccion de memoria que indica el registro IX mas el desplazamiento (d) es decrementado en 1.
- DEC A - El dato contenido en el acumulador es decrementado en 1.
- DAA - Ajusta el resultado de una suma o de una resta para darlo en forma decimal. Al sumar o restar se deben alimentar digitos decimales (0 al 9), para que al ejecutarse esta instruccion de un resultado correctamente ajustado en forma decimal.
- CPL - El contenido del acumulador es complementado es decir, se obtiene el primer complemento del acumulador.

NEG - El contenido del acumulador es negado, es decir, se obtiene el segundo complemento del dato cargado en el acumulador.

CCF - La bandera de acarreo (CY) es invertida o complementada.

SCF - La bandera de acarreo (CY) es encendida.

GRUPO DE CONTROL DE C.P.U. ,-

NOF - La C.P.U. no realiza ninguna operacion durante el ciclo de maquina.

HALT - Suspended la operacion de la C.P.U. hasta que ocurra una interrupcion o un 'Reset'.

DI - Deshabilita instrucciones que son mascarillables .

EI - Habilita intrerupciones que son mascarillables.

IM 0 - Modo de interrupcion 0.

IM 1 - Modo de interrupcion 1.

IM 2 - Modo de interrupcion 2.

GRUPO ARITMETICO DE 16 'BITS' ,-

ADD HL,DE - Suma el valor de los registros pares H-L y D-E. El resultado es almacenado en el registro par H-L. La suma se realiza sin tomar cuenta el acarreo.

ADC HL,BC - Suma el valor de los registros pares H-L y B-C con acarreo. El resultado queda en el registro par H-L.

SBC HL,DE - Resta el registro par D-E al registro par H-L con acarreo. El resultado queda en el registro par H-L.

ADD IX,BC - Suma sin acarreo el registro indice y el registro par B-C. El resultado queda en el registro indice.

INC HL - Incrementa en uno el registro par H-L.

- INC IY - Incrementa en uno el registro indice IY.
- DEC DE - Decrementa en uno el registro par D-E.
- DEC IX - Decrementa en uno el registro indice IX.

GRUPO DE ROTAMIENTO .-

RLCA - El contenido del acumulador es rotado una posición a la izquierda. La bandera del acarreo se pierde, ya que su valor es alterado por el 'Bit' 7 del acumulador.

RLA - El contenido del acumulador es rotado una posición a la izquierda. La bandera del acarreo no se pierde, ya que su valor es cargado en el 'Bit' 0 del acumulador.

RRCA - El contenido del acumulador es rotado una posición a la derecha. La bandera de acarreo

se pierde, debido a que el 'Bit' 0 del acumulador es cargado en dicha bandera.

RRA

- El contenido del acumulador es rotado una posición a la derecha. La bandera de acarreo se carga en el 'Bit' 7 del acumulador.

RLC H

- El dato contenido en el registro H es rotado una posición hacia la izquierda. El 'Bit' 7 del registro H es cargado en la bandera de acarreo. El valor de la bandera de acarreo es alterado, y no se puede recuperar su valor anterior.

RLC (IX+d)

- El contenido de la localidad de memoria que indica el registro índice X más el desplazamiento (d) es rotado una posición hacia la izquierda. Se pierde el valor de la bandera de acarreo, la que se carga el 'Bit' 7 de la localidad de memoria direccionada.

RL (HL)

- El dato contenido en la dirección de memoria que indica el registro par H-L es rotado

una posición hacia la izquierda. La bandera de acarreo se almacena en el 'Bit' 0 de la localidad de memoria direccionada.

RRC (IY+d)

- El dato contenido en la dirección de memoria que indica el registro índice Y más el desplazamiento (d) es rotado hacia la derecha una posición. La bandera de acarreo es alterada y perdida.

RR (HL)

- El dato contenido en la dirección que indica H-L es rotado hacia la derecha una posición. La bandera de acarreo es cargada en el 'Bit' 7 del dato direccionado y no se pierde.

GRUPO

DE

CORRIMIENTO

.-

SLA L

- Corrimiento hacia la izquierda en el dato contenido en el registro L. El 'Bit' 0 es apagado, una vez que fueron recorridos los 8 'Bits' del

registro L. El 'Bit' 7 es cargado en la bandera de acarreo.

SRA (HL)

- Corrimiento hacia la derecha del dato que indica el registro par H-L. Los 8 'Bits' del dato son recorridos hacia la derecha una posición. El 'Bit' 7 queda con su valor anterior y el 'Bit' 0 es cargado en la bandera de acarreo.

RLD

- Los 4 'Bits' menos significativos de la localidad de memoria que indica H-L son copiados en los 4 'Bits' más significativos de la misma localidad, los 4 'Bits' más significativos (antes de ser modificados) de la misma localidad son copiados en los 4 'Bits' menos significativos del acumulador, y los 4 'Bits' menos significativos (antes de ser modificados) del acumulador son copiados en los 4 'Bits' menos significativos de la localidad que indica H-L.

GRUPO DE ENCENDIDO Y APAGADO DE 'BITS' Y DE PRUEBA DE

'BITS' .-

- BIT 2,B - La bandera de cero contiene el complemento del estado del 'Bit' 2 del registro B, una vez terminada la ejecucion de esta instruccion.
- BIT 5,(IX+d) - La bandera de cero contiene el complemento del estado del 'Bit' 5 de la localidad de memoria que indica el registro indica X mas el desplazamiento (d).
- SET 3,A - El 'Bit' 3 del dato contenido en el acumulador es encendido.
- SET 0,(HL) - El 'Bit' 0 del dato contenido en la direccion de memoria que indica H-L es encendido.
- RES 7,(IY+d) - El 'Bit' 7 del dato contenido en la direccion de memoria que indica el registro indice Y mas el desplazamiento (d) es apagado.

GRUPO DE TRANSFERENCIA DE CONTROL -

- JP 3000H - El control es transferido incondicionalmente a la direccion de memoria 3000 hex.
- JP Z,189AH - Si la bandera de cero esta encendida, el control es transferido a la direccion 189A hex., si no se continua con la siguiente instruccion debajo del JP Z,XXXX.
- JR \$+6 - El control es transferido incondicionalmente 6 localidades de memoria, despues del ultimo 'Byte' de la instruccion.
- JR C,\$-9 - El control es transferido 9 localidades de memoria hacia arriba de la instruccion despues del ultimo 'Byte' de la instruccion, si se cumple que la bandera de acarreo este encendida.
- JP (HL) - El valor del registro par H-L es transferido al registro contador de programa y asi se realiza la transferencia de

control en base al contenido de H-L.

JP (IY)

- El valor del registro indice Y es cargado en en el contador de programa, y asi se transfiere el control a otra parte del programa.

GRUPO DE LLAMADAS A SUBRUTINAS .-

CALL 2135H

- Llamada incondicional a la subrutina que se encuentra en la direccion 2135 hex. en adelante.

CALL NC,0E16DH

- Llamada a la subrutina que se encuentra en la direccion 0E16D hex. si la bandera de acarreo esta apagada.

GRUPO DE REGRESO DE SUBRUTINAS .-

RET

- Regreso incondicional para continuar con la instruccion que esta despues de la de CALL

incondicional o condicional.

RET Z

- Regreso condicionado por la bandera de cero. Si la bandera de cero esta encendida se regresa sino se continua en la subrutina.

RET I

- Regreso de una interrupcion. Indica que se ha terminado con la ejecucion de una rutina de servicio de interrupcion de la Z-80 C.P.U..

RST 00H

- Instruccion de interrupcion por 'Software'. Al ejecutarla se pierde el valor del contador de programa y se coloca la direccion 0000 hex.

GRUPD DE ENTRADA Y SALIDA ,

IN A,(01H)

- El 'Byte' del dato contenido en el dispositivo de E/S direccionado con 01 hex. es cargado en el acumulador.

IN H,(C)

- El 'Byte' contenido en el registro C se toma como

direccion de un dispositivo de E/S; se toma el dato del dispositivo y se carga en el registro H.

INIR

- El contenido del registro C es tomado como dispositivo de E/S. El registro B actua como contador y el registro par H-L apunta una direccion de memoria. Al ejecutar esta instruccion, se toma el dato del dispositivo de E/S direccionado por el registro C y se almacena en la direccion que indica el registro par H-L, se decrementa el registro B, se incrementa en uno H-L. Si B es 00H se termina de ejecutar la instruccion, sino se continua tomando datos del puerto de E/S.

OUT (66H),A

- Envia el dato cargado en el acumulador al dispositivo E/S direccionado con 66 hex.

OUT (C),L

- Envia el dato cargado en el registro L al dispositivo E/S direccionado por el registro C.

OUTI

- El contenido de la direccion que indica H-L es enviado al

dispositivo de E/S direccionado por el registro C. El registro B es utilizado como contador de 'Bytes' y es decrementado en uno. El registro H-L es incrementado en uno.

DTDR

- El contenido de la direccion que apunta H-L es enviado al dispositivo de E/S que direcciona al registro C, el registro par H-L es decrementado en uno y el registro B tambien. Si el registro B se hace cero (00H), la ejecucion es concluida, si no se continua enviando datos al dispositivo.

OTIR

- Es igual que DTDR con la diferencia que el registro par H-L es incrementado cada vez que se envia un dato al dispositivo E/S.

MODOS DE DIRECCIONAMIENTO DEL Z-80

Inmediato .- El segundo 'Byte' de la instruccion

contiene el dato que va a ser cargado en el registro que se indica en el código de operación que está contenido en el primer 'Byte'.

Ejemplos :

LD A,5FH - 3E 5F - Carga el acumulador con el dato 5F hex.
LD H,0AH - 26 0A - Carga el registro H con el dato 0A hex.
LD (HL),19H - 36 19 - Carga el dato 19 hex. en la localidad de memoria que apunta el registro par H-L.

Inmediato Extendido .- El segundo y tercer 'Byte' de la instrucción contiene los datos que van a ser cargados en el registro par que se indica en el código de operación que está contenido en el primer 'Byte'.

Ejemplos :

LD HL,67BFH - 21 BF 67 - Carga el registro H con el dato 67 hex. y carga el registro L con el dato BF hex.
LD BC,9AD4H - 01 D4 9A - Carga el registro B con el dato 9A hex. y carga el registro C con el dato D4 hex.

Si se trata de los registros índices X y Y, el tercero y cuarto 'Byte' de la instrucción contienen los datos que van a ser cargados en el registro índice que se indican en el primero y segundo 'Byte' del código de operación.

Ejemplos :

LD IX,45A2H - DD 21 A2 45 - Carga el registro indice X con la direccion 45A2 hex.

LD IY,8B93H - FD 21 93 8B - Carga el registro indice Y con la direccion 8B93 hex.

A pagina Cero.- El 'Byte' de codigo de operacion contiene 3 'Bits' que son colocados en el contador de programa ('Bits' 5, 4 y 3). Los demas 'Bits' del contador de programa son apagados.

Ejemplos :

RST 10H - D7 - El contador de programa se coloca en 0010H.

RST 38H - FF - El contador de programa se coloca en 0038H.

Direccionamiento relativo.- Usa el segundo byte de la instruccion para producir un desplazamiento hacia arriba o hacia abajo, dependiendo en el signo del valor del desplazamiento. Si el signo es positivo ('Bit' 7 apagado) se toma la direccion de la siguiente instruccion, se le suma el desplazamiento y se ejecuta la instruccion que se localiza en la direccion resultante. Si el signo es negativo ('Bit' 7 encendido) se toma la direccion de la siguiente instruccion, se saca el segundo complemento del valor de desplazamiento, y se le resta el contador de programa. La instruccion localizada en la direccion resultante es ejecutada.

Ejemplos :

- JR \$+B - 18 08 - El control es transferido nueve localidades despues del segundo 'Byte' de la instruccion.
- JR C,\$-4 -3B FC - El control es transferido tres localidades antes del segundo byte de la instruccion.

Extendido.- El segundo y tercer byte de la instruccion contienen la parte baja y parte alta respectivamente de la direccion a donde se va a transferir el control.

Ejemplos :

- JP 198&H - C3 88 19 - El control es transferido a la direccion 1988 hex.
- JP Z,OFF&BH - CA AB FF - El control es transferido a la direccion FFAB hex. si la bandera de cero esta encendida.
- CALL 98&AH - CD 6A 9B - Llamada a la subrutina que se encuentra localizada a partir de la direccion 986A hex.

Indexado.- El 'Byte' que esta despues del 'Byte' o de los dos 'Bytes' del codigo de operacion, contiene un desplazamiento de 8 'Bits' que es sumado o restado a alguno de los registros indices, (El registro indice no es alterado en su valor al realizar la suma o resta del desplazamiento) para apuntar a una direccion en memoria y asi realizar transferencias de datos operaciones, etc.

Ejemplos :

- ADD A,(IX+5) - DD 86 05 - Suma el acumulador con el contenido de la localidad de memoria que apunta el registro indice X mas 5.
- LD (IY+9) - FD 74 09 - El valor contenido en el registro H es cargado en la direccion que indica el registro indice Y mas 9.

Registro.- El 'Byte' del codigo de operacion indica de que registro fuente va a tomarse un dato, para cargarse en cual registro destino.

Ejemplos :

- LD B,A - 47 - Carga el contenido del acumulador en el registro B.
- LD A,C - 79 - Carga el dato del registro C en el acumulador.

Implicito.- Se refiere a operaciones donde el codigo de operacion implica uno o mas registros de la CPU como contenedores de operandos.

Ejemplos :

- ADD A,L - 85 - Carga en el acumulador el resultado de la suma entre el registro L y el acumulador.
- XOR A,(HL) - AE - Carga en el acumulador el resultado de la operacion OR exclusivo entre

el contenido de la memoria direccionado por H-L y el acumulador.

Registro indirecto.- En este tipo de direccionamiento se especifica un registro para ser usado como apuntador de memoria, de esta forma cargar el dato direccionado en un registro, o bien cargar de dos localidades sucesivas de memoria a dos registros, ya tambien se puede para este tipo de direccionamiento hacer la operacion inversa, es decir pasar el dato de un registro a una localidad de memoria direccionada por un registro par.

Ejemplos :

LD A,(BC) - CA - El dato contenido en la direccion que indica el registro par B-C es cargado en el acumulador.
LD (DE),A - 12 - El contenido del acumulador es almacenado en la localidad de memoria que indica el registro par D-E.

'Bits'.- El codigo de operacion indica mediante tres 'Bits', uno de ocho 'Bits' o ser encendido o apagado o bien probado en un registro o en una memoria.

Ejemplos :

SET 4,A - CB E7 - Enciende el 'Bit' 4 del dato contenido en el acumulador.
RES 5,(HL) - CB AE - Apaga el 'Bit' 5 del dato direccionado por el registro par H-L.

'BIT' 0,(IX+1AH)-DD CB 1A 46- Prueba si esta encendido o apagado el 'Rit' 0 del dato direccionado por el registro indice X mas el desplazamiento 1A hex.

Muchas instrucciones incluyen mas de un operando (por ej. instrucciones aritmeticas o instrucciones de transferencia de datos). En estos casos dos tipos de direccionamientos son utilizados. En el caso de transferencia de datos, por ejemplo, se usa direccionamiento inmediato para especificar la fuente de informacion y direccionamiento de registro indirecto o direccionamiento indexado para especificar el destino de la informacion.

APENDICE D : SET DE INSTRUCCIONES.

INSTRUCCIONES DEL MICROPROCESADOR Z-80 DE ZILOG

INSTRUCCION	CODIGO	INSTRUCCION	CODIGO
ADC A, (HL)	8E	AND D	A2
ADC A, (IX+d)	DD	AND E	A3
ADC A, (IY+d)	8E 05	AND H	A4
ADC A, A	8F	AND L	A5
ADC A, B	8B	AND N	E6 20
ADC A, C	89	BIT 0, (HL)	46 CB
ADC A, D	8A	BIT 0, (IX+d)	DD 05 46
ADC A, E	8C	BIT 0, (IY+d)	FD CB 46
ADC A, H	8D	BIT 0, A	40 41
ADC A, L	8C	BIT 0, C	42 43
ADC A, N	CE	BIT 0, D	44 45
ADC HL, BC	4A	BIT 0, E	46 47
ADC HL, DE	ED	BIT 0, H	48 49
ADC HL, HL	5A	BIT 0, L	4A 4B
ADC HL, SP	ED 7A	RIT 0, L	4C 4D
ADD A, (HL)		BIT 1, (HL)	4E 4F
ADD A, (IX+d)	86 05	BIT 1, (IX+d)	DD 05 4E
ADD A, (IY+d)	FD 86 05	BIT 1, (IY+d)	FD CB 4E
ADD A, A	87	BIT 1, A	4F 4B
ADD A, B	80	BIT 1, B	4D 4A
ADD A, C	81	BIT 1, D	48 4B
ADD A, D	82	BIT 1, E	4A 4A
ADD A, E	83	BIT 1, H	4C 4C
ADD A, H	84	BIT 1, L	4D 4D
ADD A, L	85	BIT 2, (HL)	56 56
ADD A, N	C6 20	BIT 2, (IX+d)	DD 05 56
ADD HL, BC	09	BIT 2, (IY+d)	FD CB 56
ADD HL, DE	19	BIT 2, A	50 51
ADD HL, HL	29	BIT 2, C	52 52
ADD HL, SP	DD	BIT 2, D	53 53
ADD IX, BC	DD	BIT 2, E	54 54
ADD IX, DE	19 19	BIT 2, H	55 55
ADD IX, IX	29 29	BIT 2, L	5E 5E
ADD IX, SP	DD DD	BIT 3, (HL)	DD 05 5E
ADD IY, BC	DD DD	BIT 3, (IX+d)	FD CB 5E
ADD IY, DE	FD 19	BIT 3, (IY+d)	FD CB 5E
ADD IY, IX	FD 29	BIT 3, A	58 58
ADD IY, SP	FD 39	BIT 3, B	59 59
AND (HL)		BIT 3, D	5A 5A
AND (IX+d)	DD A6 05	BIT 3, E	5B 5B
AND (IY+d)	FD A6 05		
AND A	DD A7		
AND B	A7 A7		
AND C	A0 A1		

INSTRUCCION	CODIGO	INSTRUCCION	CODIGO
BIT 3,H	CB 5C	CALL PE,NN	EC 84 05
BIT 3,L	CB 5D	CALL PO,NN	E4 84 05
BIT 4,(HL)	CB 66	CALL Z,NN	CC 84 05
BIT 4,(IX+d)	DD CB 05 66	CCF	3F BE
BIT 4,(IY+d)	FD CB 05 66	CF (HL)	DD BE
BIT 4,A	CB 67	CP (IX+d)	FD BE 05
BIT 4,B	CB 68	CP (IY+d)	BF BE 05
BIT 4,C	CB 69	CP A	BB BF
BIT 4,D	CB 6A	CP B	B9 BB
BIT 4,E	CB 6B	CP C	BA B9
BIT 4,H	CB 6C	CP D	BB BA
BIT 4,L	CB 6D	CP E	BC BB
BIT 5,(HL)	CB 6E	CP H	BD BC
BIT 5,(IX+d)	DD CB 05 6E	CP L	BE BD
BIT 5,(IY+d)	FD CB 05 6E	CP N	BF BE
BIT 5,A	CB 6F	CP DR	20 A9
BIT 5,B	CB 68	CP R	B9 ED
BIT 5,C	CB 69	CP I	ED EB
BIT 5,D	CB 6A	CP IR	EB E9
BIT 5,E	CB 6B	CPL	2F B1
BIT 5,H	CB 6C	DAA	27 2F
BIT 5,L	CB 6D	DEC (HL)	35 35
BIT 6,(HL)	CB 76	DEC (IX+d)	DD 35 05
BIT 6,(IX+d)	DD CB 05 76	DEC (IY+d)	FD 35 05
BIT 6,(IY+d)	FD CB 05 76	DEC A	DD 05
BIT 6,A	CB 77	DEC B	DD 0B
BIT 6,B	CB 78	DEC BC	DD 0D
BIT 6,C	CB 79	DEC C	DD 15
BIT 6,D	CB 7A	DEC D	DD 1B
BIT 6,E	CB 7B	DEC DE	DD 1D
BIT 6,H	CB 7C	DEC E	DD 25
BIT 6,L	CB 7D	DEC H	DD 2B
BIT 7,(HL)	CB 7E	DEC HL	DD 2B
BIT 7,(IX+d)	DD CB 05 7E	DEC IX	DD 2B
BIT 7,(IY+d)	FD CB 05 7E	DEC IY	DD 2B
BIT 7,A	CB 7F	DEC L	DD 2B
BIT 7,B	CB 78	DEC SP	DD 2B
BIT 7,C	CB 79	DI	DD 2B
BIT 7,D	CB 7A	DJNZ DIS	DD 2B
BIT 7,E	CB 7B	EX (SP),HL	DD 2B
BIT 7,H	CB 7C	EX (SP),IX	DD 2B
BIT 7,L	CB 7D	EX (SP),IY	DD 2B
CALL C,NN	BC 84 05	EX AF,AF'	DD E3
CALL H,NN	FC 84 05	EX DE,HL	DD E3
CALL NC,NN	D4 84 05	EXX	DD E3
CALL NN	CD 84 05	HALT	DD E3
CALL NZ,NN	C4 84 05	IM 0	DD E3
CALL P,NN	F4 84 05		DD E3

INSTRUCCION	CODIGO	INSTRUCCION	CODIGO
IN 1	ED 56	LD (DE), A	12
IN 2	ED 5E	LD (HL), A	77
IN A, (C)	ED 78	LD (HL), B	70
IN A, (N)	DR 20	LD (HL), C	71
IN B, (C)	DR 40	LD (HL), D	72
IN C, (C)	ED 48	LD (HL), E	73
IN D, (C)	ED 50	LD (HL), H	74
IN E, (C)	ED 58	LD (HL), L	75
IN H, (C)	ED 68	LD (HL), N	76
IN L, (C)	ED 68	LD (IX+d), A	77
INC (HL)	DD 34	LD (IX+d), B	77
INC (IX+d)	DD 34	LD (IX+d), C	77
INC (Y+d)	DD 34	LD (IX+d), D	77
INC A	3C	LD (IX+d), E	77
INC B	04	LD (IX+d), H	77
INC BC	03	LD (IX+d), L	77
INC C	0C	LD (IX+d), N	77
INC D	14	LD (IX+d), A, B, C, D, E, H, L, N	77
INC DE	13	LD (IX+d), A, B, C, D, E, H, L, N	77
INC E	1C	LD (IX+d), A, B, C, D, E, H, L, N	77
INC H	24	LD (IX+d), A, B, C, D, E, H, L, N	77
INC HL	DD 23	LD (IX+d), A, B, C, D, E, H, L, N	77
INC IX	DD 23	LD (IX+d), A, B, C, D, E, H, L, N	77
INC IY	DD 23	LD (IX+d), A, B, C, D, E, H, L, N	77
INC L	2C	LD (IX+d), A, B, C, D, E, H, L, N	77
INC SP	33	LD (IX+d), A, B, C, D, E, H, L, N	77
IND	AA	LD (NN), A	32
INDR	BA	LD (NN), BC	ED 43
INI	A2	LD (NN), DE	ED 53
INIR	B2	LD (NN), HL	ED 22
JP (HL)	ED 89	LD (NN), IX	DD 22
JP (IX)	ED 89	LD (NN), SP	DD 22
JP (Y)	ED 89	LD (NN), Y	DD 22
JP C, NN	DA	LD A, (BC)	ED 73
JP A, NN	FA	LD A, (DE)	0A
JP NC, NN	DA	LD A, (HL)	1A
JP NN	DA	LD A, (IX+d)	7E
JP NZ, NN	DA	LD A, (Y+d)	7E
JP P, NN	DA	LD A, (NN)	7E
JP PE, NN	DA	LD A, A	7F
JP PO, NN	DA	LD A, B	79
JP Z, NN	DA	LD A, C	7A
JP C, DIS	DA	LD A, D	7B
JR	38	LD A, E	7C
JR DIS	3E	LD A, H	7D
JR NC, DIS	3E	LD A, I	ED 57
JR NZ, DIS	3E	LD A, L	7D
JR Z, DIS	3E	LD A, N	3E
LD (BC), A	02	LD B, (HL)	46

INSTRUCCION	CODIGO	INSTRUCCION	CODIGO
LD B, (IX+d)	DD 46 05	LD H, (IX+d)	DD 66 05
LD B, (IY+d)	FD 46 05	LD H, (IY+d)	FD 66 05
LD B, A	47	LD H, A	67
LD B, B	40	LD H, B	60
LD B, C	41	LD H, C	61
LD B, D	42	LD H, D	62
LD B, E	43	LD H, E	63
LD B, H, NN	44	LD H, H	64
LD B, L	45	LD H, L	65
LD B, N	20 4B 84 05	LD H, N	20 84 05
LD B, C, (NN)	ED 84 05	LD HL, (NN)	21 84 05
LD BC, NN	01 84 05	LD HL, NN	ED 47
LD C, (HL)	4E	LD I, A	DD 2A 84 05
LD C, (IX+d)	DD 4E 05	LD IX, (NN)	DD 21 84 05
LD C, (IY+d)	FD 4E 05	LD IX, NN	FD 2A 84 05
LD C, A	4F	LD IY, (NN)	FD 21 84 05
LD C, R	48	LD IY, NN	6E
LD C, C	49	LD L, (HL)	DD 6E 05
LD C, D	4A	LD L, (IX+d)	DD 6E 05
LD C, E	4B	LD L, (IY+d)	FD 4F
LD C, H	4C	LD L, A	68
LD C, L	4D	LD L, B	69
LD C, N	20 0E	LD L, C	6A
LD D, (HL)	56 05	LD L, D	6B
LD D, (IX+d)	DD 56 05	LD L, E	6C
LD D, (IY+d)	FD 56 05	LD L, H	6D
LD D, A	57	LD L, L	20 7B 84 05
LD D, B	50	LD L, N	2E
LD D, C	51	LD SP, (NN)	ED 79
LD D, D	52	LD SP, HL	F9
LD D, E	53	LD SP, IX	DD F9
LD D, H	54	LD SP, IY	FD 84 05
LD D, L	55	LD SP, NN	ED 8B
LD D, N	20 5B 84 05	LDD	ED 8B
LD DE, (NN)	ED 84 05	LDDR	ED 80
LD DE, NN	11 84 05	LDI	ED 80
LD E, (HL)	5E	LDIR	ED 84
LD E, (IX+d)	DD 5E 05	NEB	00
LD E, (IY+d)	FD 5E 05	NOP	86
LD E, A	5F	OR (HL)	DD 86 05
LD E, B	58	OR (IX+d)	FD 86 05
LD E, C	59	OR (IY+d)	FD 87
LD E, D	5A	OR A	80
LD E, E	5B	OR B	81
LD E, H	5C	OR C	82
LD E, L	5D	OR D	83
LD E, N	20 1E	OR E	84
LD H, (HL)	66	OR H	

INSTRUCCION	CODIGO	INSTRUCCION	CODIGO
OR L	B5	RES 2, (IX+d)	FD CB 05 96
OR N	F4	RES 2, A	CB 97
OTDR	ED BB	RES 2, B	CB 90
OTIR	ED B3	RES 2, C	CB 91
OUT (C), A	ED 79	RES 2, D	CB 92
OUT (C), B	ED 41	RES 2, E	CB 93
OUT (C), C	ED 49	RES 2, H	CB 94
OUT (C), D	ED 51	RES 2, L	CB 95
OUT (C), E	ED 59	RES 2, (HL)	CB 9E
OUT (C), H	ED 61	RES 2, ((IX+d)	DD CB 05 9E
OUT (C), L	ED 69	RES 2, ((Y+d)	FD CB 9E
OUT (N), A	D3 20	RES 2, A	CB 98
OUTD	ED AB	RES 2, B	CB 99
OUTI	ED A3	RES 2, C	CB 9A
POP AF	F1	RES 2, D	CB 9B
POP BC	C1	RES 2, E	CB 9C
POP DE	D1	RES 2, H	CB 9D
POP HL	E1	RES 2, L	CB A6
POP IX	DD E1	RES 4, (HL)	DD CB 05 A6
POP IY	E1	RES 4, ((IX+d)	FD CB 05 A6
PUSH AF	F3	RES 4, ((Y+d)	CB A0
PUSH BC	E3	RES 4, A	CB A1
PUSH DE	E3	RES 4, B	CB A2
PUSH HL	DD E5	RES 4, C	CB A3
PUSH IX	FD E5	RES 4, E	CB A4
PUSH IY	CB E6	RES 4, H	CB A5
RES 0, (HL)	DD CB 05 86	RES 4, L	CB AE
RES 0, ((IX+d)	FD CB 05 86	RES 5, (HL)	DD CB 05 AE
RES 0, ((Y+d)	CB B7	RES 5, ((IX+d)	FD CB 05 AE
RES 0, A	CB 80	RES 5, ((Y+d)	CB AF
RES 0, B	CB 81	RES 5, A	CB A8
RES 0, C	CB 82	RES 5, B	CB A9
RES 0, D	CB 83	RES 5, C	CB AA
RES 0, E	CB 84	RES 5, D	CB AB
RES 0, H	CB 85	RES 5, E	CB AC
RES 0, L	CB 8E	RES 5, H	CB AD
RES 1, (HL)	DD CB 05 8E	RES 5, L	CB B6
RES 1, ((IX+d)	FD CB 05 8E	RES 6, (HL)	DD CB 05 B6
RES 1, ((Y+d)	CB 8F	RES 6, ((IX+d)	FD CB 05 B6
RES 1, A	CB 88	RES 6, ((Y+d)	CB B7
RES 1, B	CB 89	RES 6, A	CB B8
RES 1, C	CB 8A	RES 6, B	CB B9
RES 1, D	CB 8B	RES 6, C	CB BA
RES 1, E	CB 8C	RES 6, D	CB BB
RES 1, H	CB 8D	RES 6, E	CB BC
RES 1, L	CB 96	RES 6, H	CB BD
RES 2, (HL)	DD CB 05 96	RES 6, L	CB BE
RES 2, ((IX+d)	DD CB 05 96		

INSTRUCCION	CODIGO	INSTRUCCION	CODIGO
RES 7, (HL)	CB BE	RR B	CB 18
RES 7, (IX+d)	DD CB 05	RR C	CB 19
RES 7, (IY+d)	FD CB 05	RR D	CB 1A
RES 7, A	CB B7	RR E	CB 1B
RES 7, B	CB B8	RR H	CB 1C
RES 7, C	CB B9	RR L	CB 1D
RES 7, D	CB BA	RR A	IF
RES 7, E	CB BC	RC (HL)	CR 0E
RES 7, H	CB BD	RC (IX+d)	DD CB 05
RES 7, L	CB BE	RC (IY+d)	FD CB 05
RET C	CB C9	RRC A	CB 0F
RET M	CB DB	RRC B	CB 09
RET NC	CB DO	RRC C	CB 0A
RET NZ	CB CO	RRC D	CB 0B
RET P	CB FO	RRC E	CB 0C
RET PE	CB EB	RRC H	CB 0D
RET PD	CB EO	RRC L	OF
RET Z	CB CB	RRC A	ED 67
RET I	CB 4D	RRC A	ED 67
RET N	CB 45	RRC A	ED 67
RL (HL)	CB 16	RST 0	CB 07
RL (IX+d)	DD CB 05	RST 10H	CB 07
RL (IY+d)	FD CB 05	RST 1BH	CB 07
RL A	CB 17	RST 20H	CB 07
RL B	CB 10	RST 2BH	CB 07
RL C	CB 11	RST 30H	CB 07
RL D	CB 12	RST 3BH	CB 07
RL E	CB 13	RST BH	CB 07
RL H	CB 14	SBC A, (HL)	CB 9E
RL L	CB 15	SBC A, (IX+d)	DD 9E 05
RLA	CB 17	SBC A, (IY+d)	FD 9E 05
RLC (HL)	CB 06	SBC A, B	CB 9F
RLC (IX+d)	DD CB 05	SBC A, C	CB 99
RLC (IY+d)	FD CB 05	SBC A, D	CB 9A
RLC A	CB 07	SBC A, E	CB 9B
RLC B	CB 00	SBC A, H	CB 9C
RLC C	CB 01	SBC A, L	CB 9D
RLC D	CB 02	SBC A, N	DE 20
RLC E	CB 03	SBC HL, DE	ED 42
RLC H	CB 04	SBC HL, HL	ED 52
RLC L	CB 05	SBC HL, SP	ED 62
RLCA	CB 07	SBC HL, SP	ED 72
RLD	CB 07	SBC HL, SP	ED 72
RR (HL)	ED 6F	SCF	CB 37
RR (IX+d)	DD CB 05	SET 0, (HL)	CB C6
RR (IY+d)	FD CB 05	SET 0, (IX+d)	CB C6
RR A	CB 1F	SET 0, (IY+d)	FD C6 C6
		SET 0, A	CB C7
		SET 0, B	CB C8

INSTRUCCION	CODIGO	INSTRUCCION	CODIGO
SET 0,C	CB C1	SET 5,A	CB EF
SET 0,D	CB C2	SET 5,R	CB E8
SET 0,E	CB C3	SET 5,C	CB E9
SET 0,H	CB C4	SET 5,D	CB EA
SET 0,L	CB C5	SET 5,H	CB EB
SET 1,(HL)	CB CE	SET 5,E	CB EC
SET 1,(IX+d)	DD CB 05	SET 5,L	CB ED
SET 1,(IY+d)	FD CB 05	SET 6,(HL)	CB EF
SET 1,A	CB CF	SET 6,(IX+d)	DD CB 05
SET 1,B	CB C8	SET 6,(IY+d)	FD CB 05
SET 1,C	CB C9	SET 6,A	CB F6
SET 1,D	CB CA	SET 6,H	CB F7
SET 1,E	CB CB	SET 6,C	CB F8
SET 1,H	CB CC	SET 6,D	CB F9
SET 1,L	CB CD	SET 6,E	CB FA
SET 2,(HL)	CB D6	SET 6,H	CB FB
SET 2,(IX+d)	DD CB 05	SET 6,L	CB FC
SET 2,(IY+d)	FD CB 05	SET 7,(HL)	CB FD
SET 2,A	CB D7	SET 7,(IX+d)	DD CB 05
SET 2,B	CB D8	SET 7,(IY+d)	FD CB 05
SET 2,C	CB D9	SET 7,A	CB FE
SET 2,E	CB DA	SET 7,C	CB FF
SET 2,H	CB DB	SET 7,D	CB 70
SET 2,L	CB DC	SET 7,E	CB 71
SET 3,(HL)	CB DE	SET 7,H	CB 72
SET 3,(IX+d)	DD CB 05	SET 7,L	CB 73
SET 3,(IY+d)	FD CB 05	SLA (HL)	CB 74
SET 3,A	CB DF	SLA (IX+d)	CB 75
SET 3,B	CB D8	SLA (IY+d)	CB 76
SET 3,C	CB D9	SLA A	DD CB 05
SET 3,D	CB DA	SLA B	FD CB 05
SET 3,E	CB DB	SLA C	CB 20
SET 3,H	CB DC	SLA D	CB 21
SET 3,L	CB DD	SLA E	CB 22
SET 4,(HL)	CB E6	SLA H	CB 23
SET 4,(IX+d)	DD CB 05	SLA L	CB 24
SET 4,(IY+d)	FD CB 05	SRA (HL)	CB 25
SET 4,A	CB E7	SRA (IX+d)	DD CB 05
SET 4,R	CB E8	SRA (IY+d)	FD CB 05
SET 4,C	CB E9	SRA A	CB 26
SET 4,D	CB EA	SRA B	CB 27
SET 4,E	CB EB	SRA C	CB 28
SET 4,H	CB EC	SRA D	CB 29
SET 4,L	CB ED	SRA E	CB 2A
SET 5,(HL)	CB EE	SRA H	CB 2B
SET 5,(IX+d)	DD CB 05	SRA L	CB 2C
SET 5,(IY+d)	FD CB 05	SRL (HL)	CB 2D

INSTRUCCION	COGIGO	INSTRUCCION	CODIGO
SRL (IX+d)	DD CB 05 3E	SUB E	93
SRL (IY+d)	FD CB 05 3E	SUB H	94
SRL A	CB 3F	SUB L	95
SRL B	CB 38	SUB N	D6 20
SRL C	CB 39	XOR (HL)	AE
SRL D	CB 3A	XOR (IX+d)	DD AE 05
SRL E	CB 3B	XOR (IY+d)	FD AE 05
SRL H	CB 3C	XOR A	AF
SRL L	CB 3D	XOR B	AB
SUB (HL)	DD 96 05	XOR C	A9
SUB (IX+d)	FD 96 05	XOR D	AA
SUB (IY+d)		XOR E	AB
SUB A	97	XOR H	AC
SUB B	90	XOR L	AD
SUB C	91	XOR N	EE 20
SUB D	92		

N :- Operando inmediato de 8 'Bits',
 NN :- Operando inmediato de 16 'Bits'.

BANDERAS

Carry
 Subtract
 Parity/Overflow
 No utilizado
 Aux. Carry
 No utilizado
 Zero
 Sign

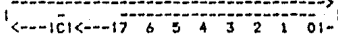
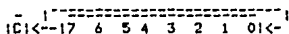
'BITS'

0
 1
 2
 3
 4
 5
 6
 7

FUNCIONAMIENTO DE LAS INSTRUCCIONES DE ROTACION

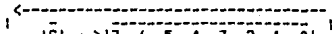
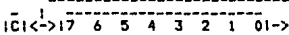
RLCA y RLC

RLA y RLA

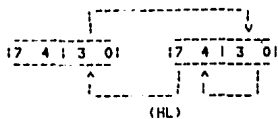


RRCA y RRC

RRA y RRA



RLD

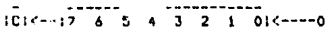


RD

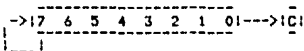


INSTRUCCIONES DE CORRIMIENTO

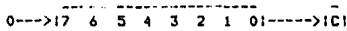
SLA

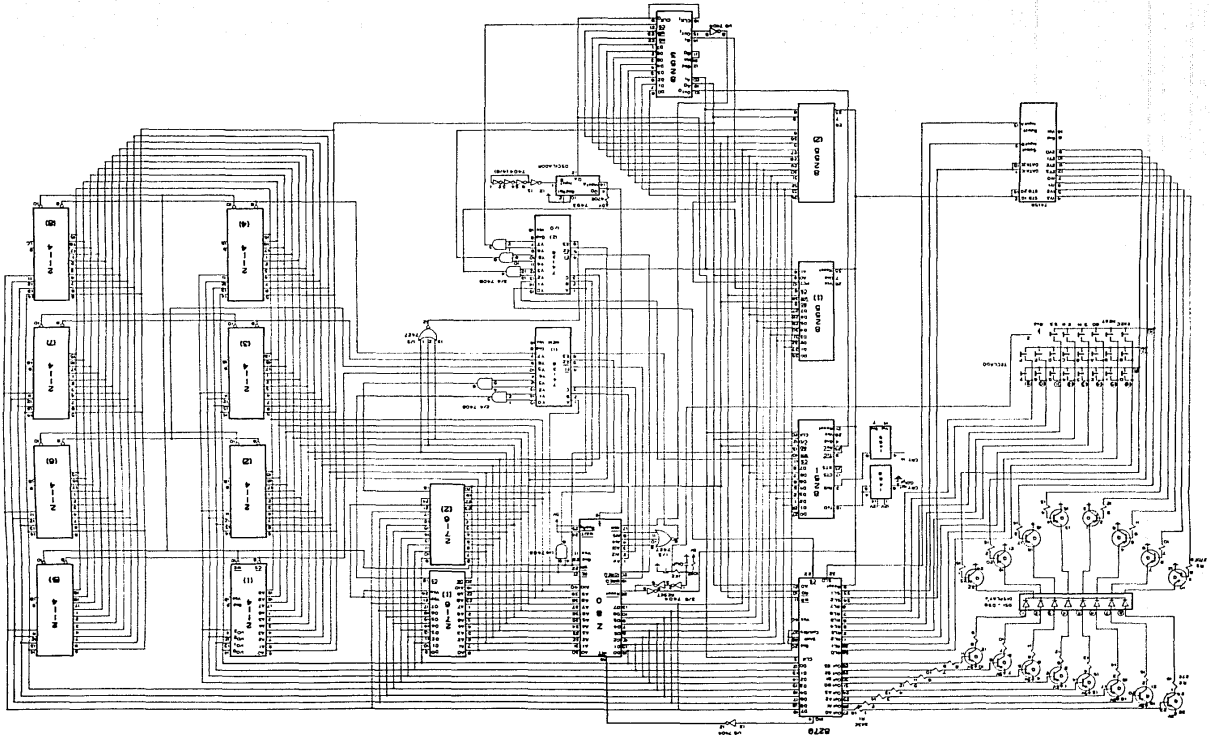


SRA



SRL





B I B L I O G R A F I A.

B I B L I O G R A F I A

'COMPONENT DATA CATALOG 1980' INTEL CORPORATION.
MICROPROCESADOR Z-80 Programacion e Interfaz.
JOSEPH C. NICHOLS. ELIZABETH A. NICHOLS. PETER R.
RONY.

EDITORIAL: PUBLICACIONES MARCOMBO.

MICROPROCESADORES Y MICROCOMPUTADORES,
POR VARIOS AUTORES.
EDITORIAL: MARCOMBO.

CONTRUYA UNA MICROCOMPUTADORA BASADO EN EL Z-80.
STEVE CIARCIA.
EDITORIAL: MC GRAW HILL.

MANUAL TECNICO DE CPU Z-80.
'THE TTL DATA BOOK'.
SEGUNDA EDICION.
EDITORIAL: 'TEXAS INSTRUMENTS'.

MANUAL DE INSTRUCCIONES PARA USUARIO,
RADIO SHACK.
EDITOR ASSEMBLER.

'TECHNICAL MANUAL Z80-CPU, Z80A-CPU'.
MANUAL Z80 DE LA COMPANIA ZILOG.

ESTUDIO DEL MICROPROCESADOR Z-80.
APUNTES REALIZADOS POR EL LABORATORIO DE INVESTIGACION,
DESARROLLO Y MANTENIMIENTO DE SISTEMAS DE LA UNIVERSIDAD LA
SALLE.

MICROPROCESADORES Z-80 E INTERFAZ.
M. EN C. OCTAVIO F GARCIA NARCIA.
APUNTES DEL I.P.N.

SDK-85 'SYSTEM DESIGN KIT USER'S MANUAL'.
INTEL 1978.