



15
Zej

UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO

Facultad de Ingeniería
División de Ingeniería Mecánica y Eléctrica

DISEÑO Y CONSTRUCCION DE UN SISTEMA PCM

TESIS PROFESIONAL

QUE PARA OBTENER EL TITULO DE
INGENIERO MECANICO ELECTRICISTA

P R E S E N T A :

JESUS ALVAREZ CASTILLO



Director de Seminario de Tesis: Ing. Mario Ibarra Pereyra

México, D. F.

1987



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INDICE

	PAG.
1.- INTRODUCCION	2
2.- DISEÑO DEL SISTEMA DE MULTIPLEXAJE	6
3.- CALCULOS	47
4.- CONSTRUCCION Y PRUEBAS	57
5.- CONCLUSIONES	72
6.- APENDICE	75
7.- BIBLIOGRAFIA	98

INTRODUCCION.

Un sistema de multicanalización, conocido en el ramo como "Múltiplex", es aquel que nos permite cursar varios mensajes si multáneamente entre dos puntos cualesquiera del universo.

La anterior definición no es la que ha estandarizado el Comité Consultivo Internacional Telegráfico y Telefónico, sin embargo, es la que se deduce de lo aprendido por el autor de este trabajo en las clases de teoría y a lo largo del desarrollo de este proyecto.

Otro aspecto asimilado es el relativo a que existen varios tipos de multicanalización, según se podrá ver por el siguiente r raciocinio:

En comunicaciones se manejan 3 parámetros que son: espacio, tiempo y frecuencia; por lo tanto, si usamos el mismo espacio y, al mismo tiempo transmitimos varios mensajes, estos tienen que ocupar diferentes bandas de frecuencia.

Así mismo, si los mensajes se transmiten a la misma frecuencia y al mismo tiempo, entonces tendrán que viajar por diferentes rutas.

Finalmente, si los mensajes tienen las mismas frecuencias y viajan por la misma ruta, ellos deben desplazarse en diferentes intervalos de tiempo.

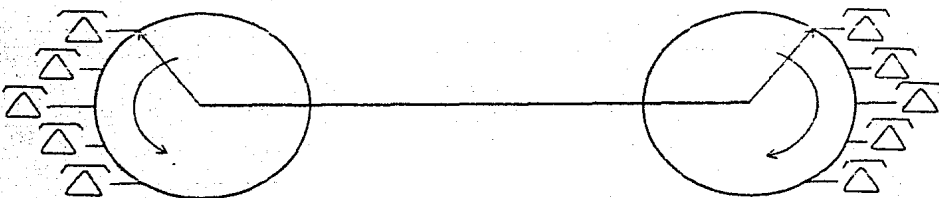
Por todo lo anterior, se establecen fundamentalmente 3 tipos de sistema múltiplex:

- 1) Por división de espacio.
- 2) Por división de frecuencia.
- 3) Por división de tiempo.

El caso típico de múltiplex por división de espacio, es el sistema telefónico urbano que controla n conversaciones simultáneas, cada una por un par de alambres.

El múltiplex por división de frecuencia, es el que emplean las estaciones radiodifusoras, que transmiten simultáneamente, por la misma vía, que es el aire y a diferentes frecuencias.

El múltiplex por división de tiempo es el más nuevo de los 3 sistemas y consiste en asignar ranuras de tiempo (en orden de microsegundos) a n personas, para que puedan utilizar una misma línea telefónica, esto se puede esquematizar en la siguiente figura:



La analogía mecánica, no es más que para dar una idea del principio fundamental que se utiliza, ya que ningún interruptor giratorio mecánico, podría girar a suficiente velocidad angular para que el ser humano no notara que se le corta la línea.

Los sistemas múltiplex surgen de la necesidad de atender a más usuarios telefónicos, sin tener que instalar más líneas, ya que el tendido de un sistema de cables telefónicos presenta serios inconvenientes técnicos, laborales y económicos, pues literalmente podría afirmarse que se está enterrando el dinero en el suelo. Otra de las razones es que la frecuencia máxima de la señal de voz, no llega arriba de 4 kHz y el ancho de banda útil de un hilo telefónico puede ser de varios megahertz, si se le fabrica e instala adecuadamente.

En un principio, (1930-1950), se usaron sistemas múltiplex por división de frecuencia, con circuitos totalmente analógicos, pero con el desarrollo del transistor se le dió un incremento enorme al uso de sistemas digitales y no hay que olvidarse de mencionar que el manejo de señales binarias, le da al sistema una gran inmunidad al ruido, cosa que los múltiplex analógicos no pueden lograr.

En este seminario se ha llevado a cabo el diseño y la implementación de un pequeño sistema de multiplexaje por división de tiempo para 4 señales de voz. Según el planteamiento especificado por el director del seminario no se trata de desarrollar un prototipo comercial, con todos los requerimientos y facilidades de los sistemas en uso, si no que se estimuló que se debería desarrollar un circuito con propósitos académicos en el que se pudieran apreciar las técnicas de muestreo, multiplexaje, conversión A/D, y D/A, sin recurrir a señales de muy alta velocidad, difíciles de manejar y apreciar con el equipo de laboratorio de comunicaciones.

Se estableció además que la tesis no debe incluir análisis matemático de las señales producidas, ni de la influencia del ruido en el funcionamiento del equipo. Por último, se especificó, que la línea de enlace entre ambos equipos debía ser prácticamente inexistente; en resumen, el trabajo se condensa totalmente en - el desarrollo de circuitos para muestreo, multiplexaje, y conversión A/D y D/A.

DISEÑO DEL SISTEMA DE MULTIPLEXAJE.

1.- Planteamiento del Problema.

a) La premisa fundamental en el desarrollo del aparato, es que éste debe ser empleado con fines académicos; por lo que sus funciones se realizarán en forma sumamente simplificada, comparadas con las técnicas y procesos sofisticados que usan los equipos comerciales.

b) El aparato debe reunir en un sólo par de hilos, 4 señales analógicas digitalizadas y debe efectuar la separación y decodificación de ellas en el extremo receptor.

c) No debe haber más de 2 hilos, (vivo y tierra), conectando al transmisor y el receptor.

d) La calidad de la señal recuperada en el extremo receptor podrá ser menor que la obtenida en un sistema comercial.

e) Las demás características del sistema quedan a criterio del diseñador.

2.- Alternativas de Solución.

En este caso, debido a que los sistemas PCM han sido objeto de un alto grado de estandarización, las posibles soluciones estarán basadas en las siguientes opciones:

a) Las señales de los 4 canales se muestrean, se multiplexan y se digitalizan; esta alternativa fue escogida por ser la más barata.

b) Las señales provenientes de los 4 canales se muestrean, se digitalizan y se multiplexan, esto tiene como consecuencia que se pueden procesar señales a mayor velocidad, ya que para cada canal se tendría un convertidor A/D, aunque saldría bastante más caro. Por las razones anteriores, como ya se mencionó, -- nos decidimos por la primera opción.

3.- Diagrama General.

En las figuras 1 y 2 se presenta la estructura clásica de un sistema de multiplexaje PCM.

Inicialmente las 4 señales se someten a filtrado para cumplir con el teorema de muestreo ($F_{muestra} = 2 F_{max\ voz}$). En seguida, las 4 señales son muestreadas secuencialmente con el uso de compuertas analógicas y las salidas de tales compuertas se suman, -- con lo que se realiza el proceso de multiplexaje en tiempo. En el mismo bloque se generan 2 bits por cada muestra, que de aquí en adelante llamaremos "bits de asignación"; estos bits sirven para identificar a qué señal corresponde cada muestra.

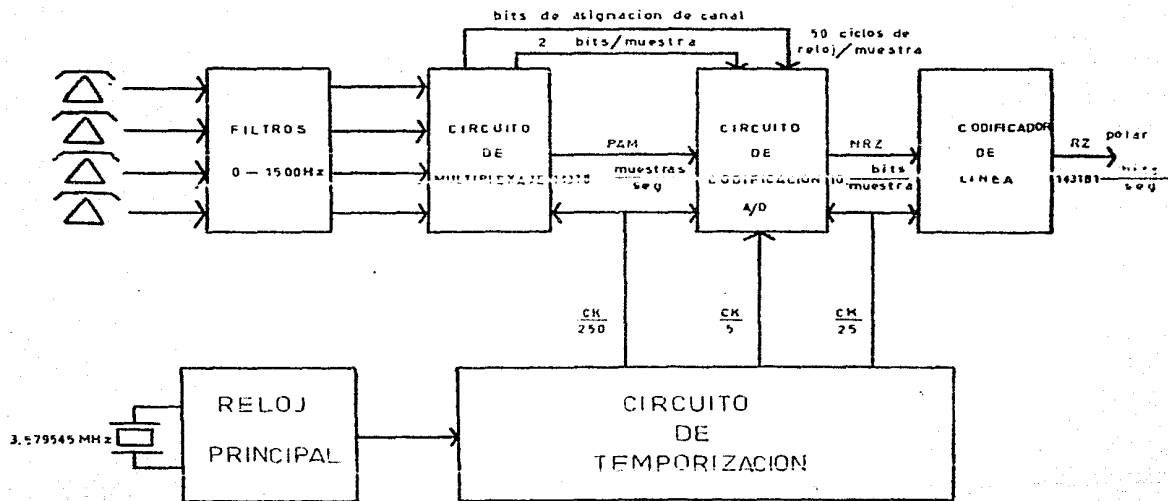


FIGURA 1. DIAGRAMA DEL TRANSMISOR

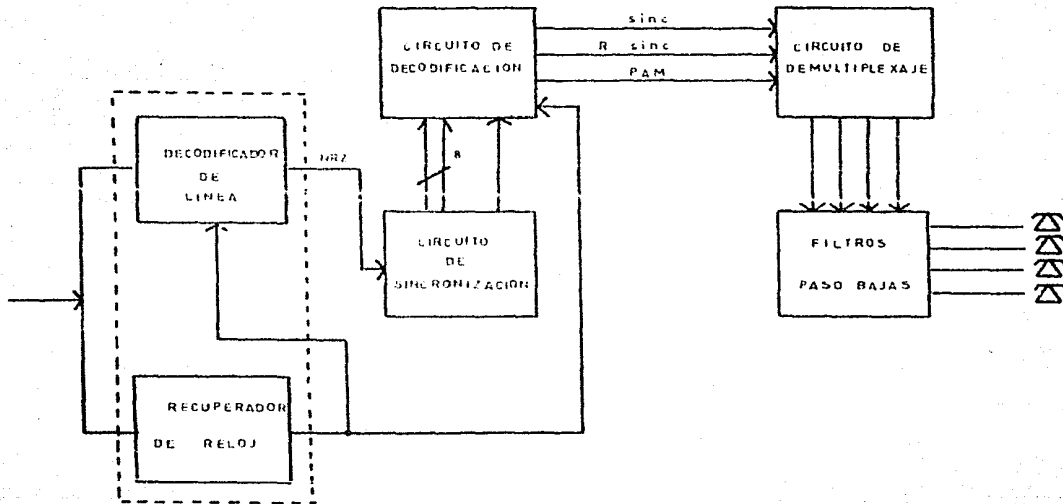


FIGURA 2 . DIAGRAMA DEL RECEPTOR

El siguiente paso es la conversión A/D, en la que cada muestra es convertida a un número binario, equivalente aproximadamente a su altura. Se dice que la conversión es aproximada, porque la altura de una muestra, no siempre tiene un número entero de --- volts y el codificador no codifica los decimales; por lo que en la mayoría de los casos, la conversión no es exacta.

Si el codificador usado entrega los bits en serie, el siguiente paso es adicionarle los dos bits de asignación; pero si el codificador entrega los bits en paralelo, hay que usar un convertidor paralelo serie y ahí mismo agregarle los 2 bits de asignación.

El último paso del proceso de transmisión, es adecuar la señal de salida del codificador a la línea telefónica, para lo que se usa una conversión de NRZ (que es usualmente el formato de salida de un TTL) a algún otro formato que:

a) Permita a la señal viajar por la línea sin gran deformación.

b) Permita al receptor recuperar el reloj con facilidad.

Para cada una de las etapas antes descritas se requiere una señal de reloj, de modo que el equipo debe disponer de un generador de pulsos preciso y estable y de los correspondientes divisores de frecuencia, según se necesite.

En el receptor, el primer paso del proceso es la recuperación del reloj y la reconversión de la señal a formato NRZ. El reloj recuperado nos permite implementar un circuito de sincroni

zación que detecta la presencia de los bits de asignación y genera, en consecuencia, una señal para inicializar el funcionamiento del convertidor D/A.

Una vez que las muestras han sido recuperadas a partir de los bits, se distribuyen a los filtros paso bajas que las reconvierten a señales analógicas, llegando de esta forma a su destino.

4.- Dimensionamiento del Sistema PCM.

c) Transmision

Después de algunos razonamientos, se llega a la conclusión que los circuitos más limitantes, son los convertidores A/D y -- D/A. Examinando los manuales y el mercado local, encontramos el par ADC0800 y DAC0800 desarrollados para trabajar en forma conjunta. El dato que más nos interesa es su velocidad, que es de 800 khz máximo, codificando cada muestra con 8 bits; además el ADC suministra un pulso de fin de conversión, requiriendo un pulso de inicio de conversión. El tiempo de conversión es de 40 ciclos de reloj, por lo que dejando 10 ciclos de reloj entre muestras, puede convertir hasta 16000 muestras en un segundo. Esto, para 4 canales de voz, es insuficiente desde el punto de vista comercial, ya que sólo permite 4000 muestras/seg-canal, lo que limita a menos de 2000 hz la frecuencia máxima de la señal de voz, sin embargo, debido a que los parámetros de diseño no especifican frecuencia máxima, se opta por usar el ADC0800. Hay otro motivo que nos permite tal selección; pruebas realizadas en el laboratorio de comunicaciones, nos permiten afirmar que recorriendo el ancho de banda de la voz a 1500 hz, la inteligibilidad es buena, aunque hay bastante distorsión debido al recorte de -- frecuencias tan severo.

Otra opción es usar 2 convertidores A/D para aumentar la cantidad de muestras/seg-canal, pero esa solución encarece y complica el aparato, por lo que se desecha por el momento.

El reloj que debe controlar todo el sistema tiene que ser de gran estabilidad y bajo costo, para lo que se escoge un oscilador de cristal, que es de muy buena estabilidad. Para reducir el costo, se escoge un cristal de 3.579545 Mhz, que sirve para receptores de T.V. a color, cuyo costo es aproximadamente el 1% del costo de un cristal fabricado especialmente.

A partir de la frecuencia de 3.57 Mhz, se debe lograr un valor cercano a 800 khz. Es fácil ver que el divisor más adecuado y conveniente es 5, por lo que el A/D operará con un reloj de ---- 715909 hz (Ck/5).

Regresando al codificador A/D, este es controlado por un reloj que llamamos Ck/5 y requiere que se alimente de un pulso de inicio de conversión, o sea cada 50 pulsos de Ck/5; esto nos obliga a dividir nuevamente la frecuencia de 3.57 mhz, para obtener -- Ck/250= 14318 hz, y estas son todas las frecuencias que debe suministrar el reloj cuyo circuito muestra la figura 3.

El mencionado pulso de inicio de conversión, tomado directamente del Ck/250, es demasiado ancho, por lo que antes de alimentarlo al A/D, se le hace pasar por un monoestable para reducir su anchura; que según el Manual Linear deberá estar entre 1 y 3 1/2 ciclos del reloj que controla al A/D.

La salida del convertidor A/D consta de 2 bits en paralelo y tiene el inconveniente de que no aparece "instantáneamente" después de los 40 ciclos de reloj establecidos, si no que durante todo el lapso de conversión los datos van cambiando en las diferentes salidas, y sólo se tiene la información correcta después de los 40 ciclos de reloj. Para evitar que la información falsa pueda -

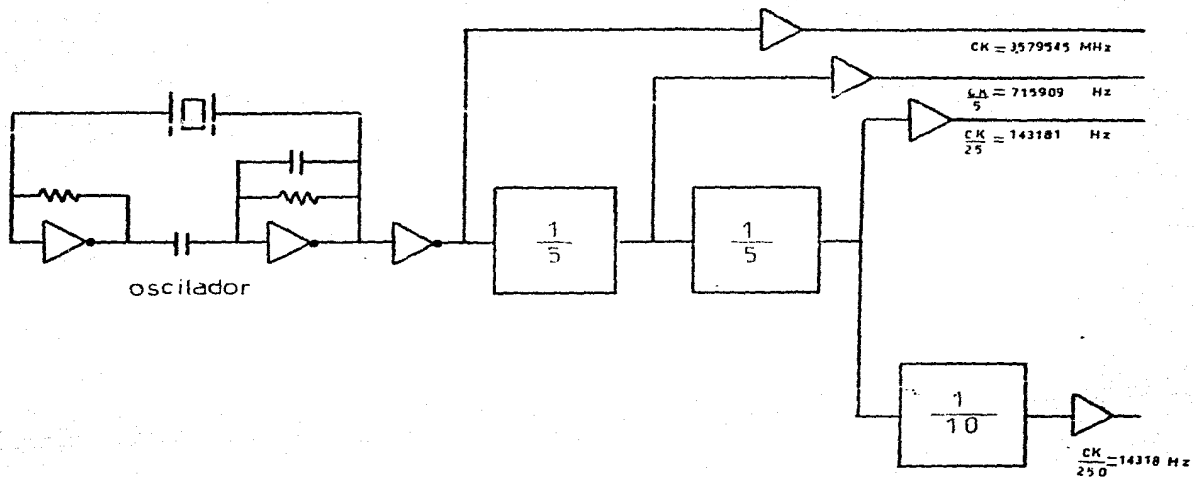


FIGURA 3. CIRCUITO DE TEMPORIZACION

transmitirse, se impide su salida, colocando Flip-Flops D en cada una de las 8 salidas del convertidor A/D, estos Flip-Flops, sólo se cargarán con el pulso de fin de conversión, suministrado por el A/D, de este modo, esa información digital permanecerá a la salida de los Flip-Flops, disponible para su envío, hasta el momento en que llegue un nuevo pulso de fin de conversión, señal de que hay nueva información binaria a la entrada de los Flip-Flops. El pulso de fin de conversión suministrado por el A/D, es inadecuado para activar a los Flip-Flops, por lo que necesitamos retrasarlo en el tiempo y recortar su duración; lo primero se lo hará utilizando un monoestable que se disparará con el flanco ascendente del pulso, de esta manera obtenemos un pulso descendente, cuyo flanco posterior (descendente), se utiliza para disparar a un segundo monoestable, que fija la duración del pulso de control, para los Flip-Flops D.

La información binaria almacenada en los 8 Flip-Flops D, tiene que ser muestra en serie, y esto se realiza con la ayuda de un multiplexor 74150, que recibe, además de los bits de código correspondiente a una muestra, los dos bits de asignación de canal, que serán usados para sincronizar el receptor.

Este multiplexor es controlado por un contador de 0 a 9, que le va indicando cuál de los bits de entrada deberá entregar a la salida. El contador utilizado es el 7490, que será controlado por el reloj $Ck/25$ y puesto en ceros por el mismo pulso de inicio de conversión, suministrado al A/D. Un detalle adicional es que el multiplexor invierte los datos, por lo tanto se coloca en su salida un inversor (figura 4).

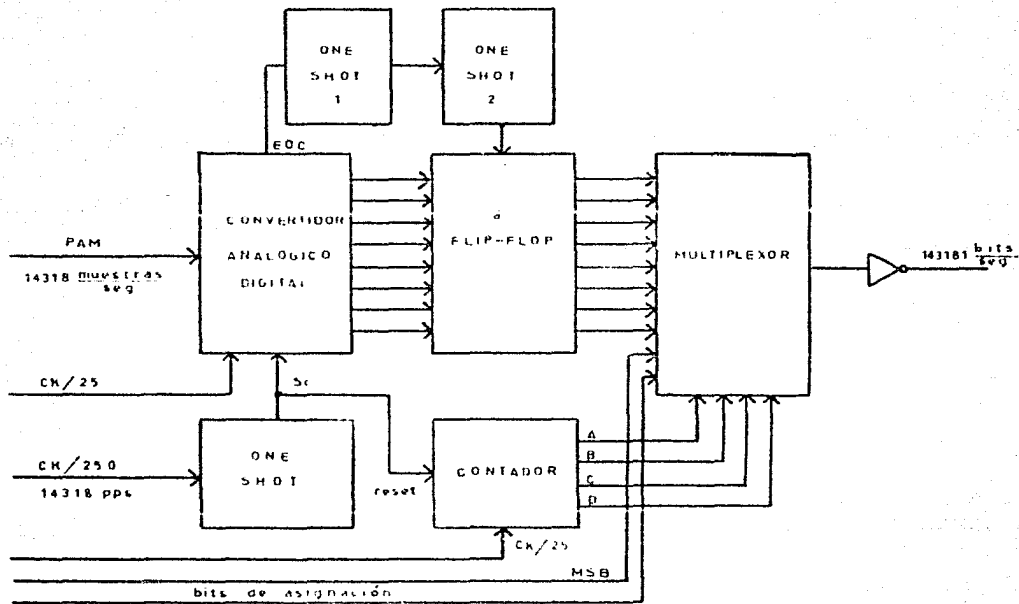
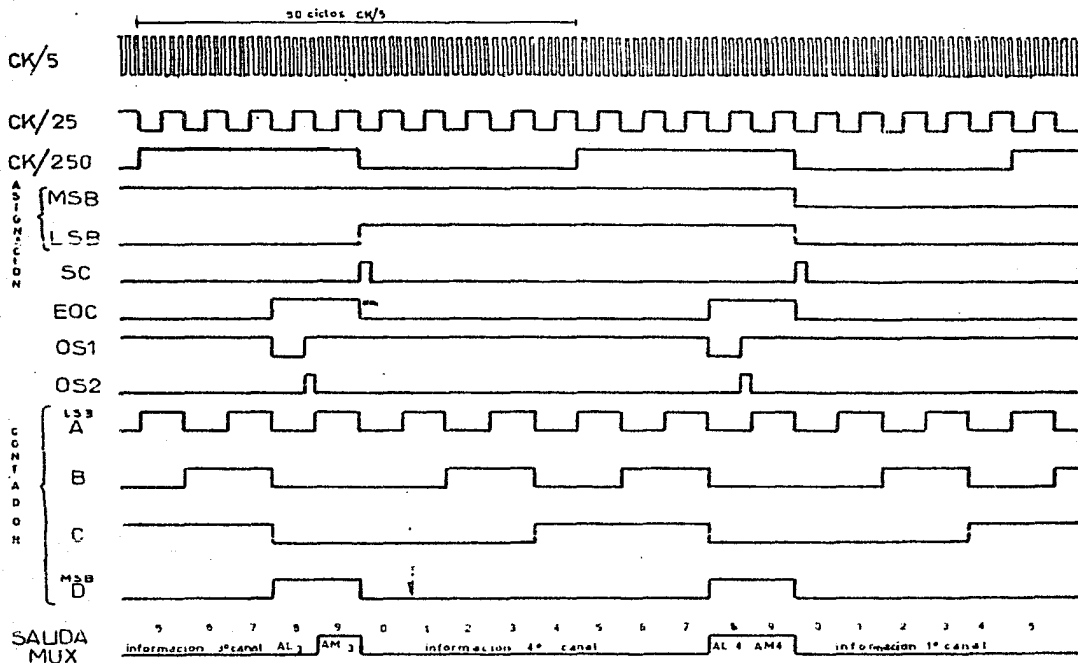


FIGURA 4 . CIRCUITO DE CODIFICACION



Cronograma del Circuito de Codificación

Como cada muestra tarda 50 pulsos de $Ck/5$, el número de muestras en total es de $715909/50 = 14318$ muestras/seg, eso implica que cada canal será muestreado $14318/4 = 3579$ veces cada segundo, con lo que la frecuencia de corte de los filtros será de 1500 Hz, para cumplir con el teorema de muestreo. El diseño de los filtros se realizará al final.

El codificador A/D debe recibir muestras de tona plano; sin embargo, los switches analógicos al momento de ser activados, dejan pasar la señal tal como viene, por lo que la calidad de tales switches se tendrán muestras de "tono conformado", de modo que el codificador va a recibir un voltaje variable durante el uso de cada muestra, produciendo errores en la conversión A/D. (Fig.5). Para evitar lo anterior, se va a mantener durante un tiempo muy pequeño y el valor final de la muestra se retendrá hasta el final del período de la muestra.

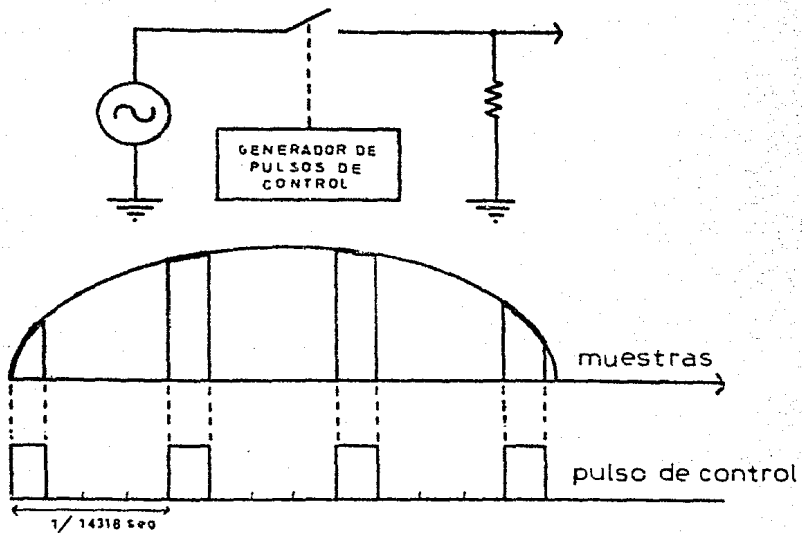


FIGURA 5. MUESTREADOR

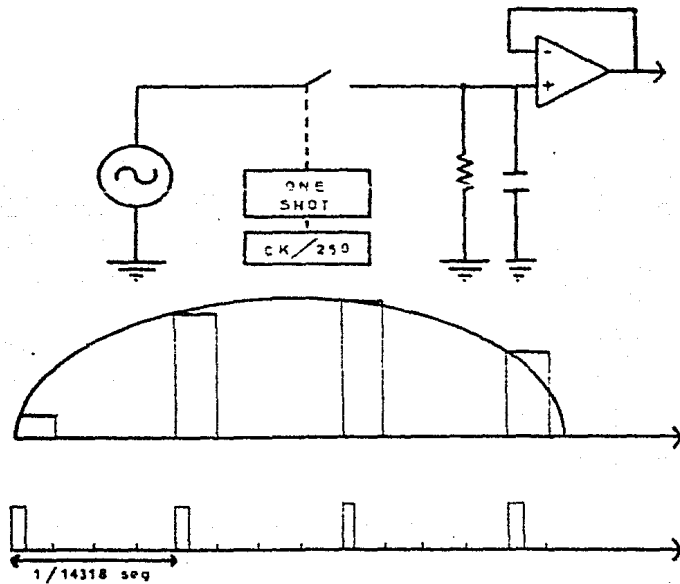


FIGURA 6a. MUESTREADOR Y RETENEDOR

De esta forma, considerando que el tiempo asignado a una muestra es de $1/14318$ seg, se considera adecuado que los switche analógicos operen durante la cuarta parte de ese tiempo y las otras tres cuartas partes se retenga el valor de la muestra.

Por lo tanto, los pulsos de control de los switche se deberán adelgazar con el uso de monoestables y a la salida de los switche analógicos, conectar el circuito de retención para conservar el valor de la muestra (figura 6a).

Por todo lo anterior, para controlar secuencialmente a los switche, se requiere un contador de 0 a 3, activado por el reloj $Clk/250$. Las salidas del contador son combinadas a través de inversores y compuertas and, para operar secuencialmente los 4 switche analógicos. Así mismo, las dos salidas menos significativas del contador se usarán como bits de configuración de canal, ya que permitirán la secuencia 00, 01, 10, y 11. (figura 7).

La señal de salida del circuito de configuración viene en formato NRZ, que no es el más apropiado para transmitir ni para recuperar el reloj en el receptor; por lo que hay que incluir un circuito que convierta el código NRZ a otro más adecuado para los propósitos mencionados.

Revisando la extensa lista de códigos de línea, encontramos que existe el RZ-polar, cuya configuración es como se aprecia en la figura 6b.

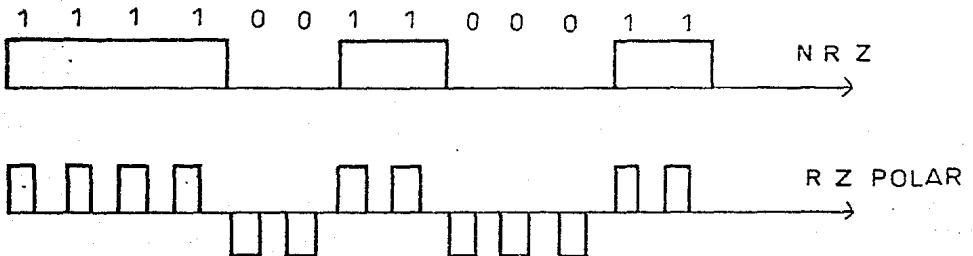


FIGURA 6b.

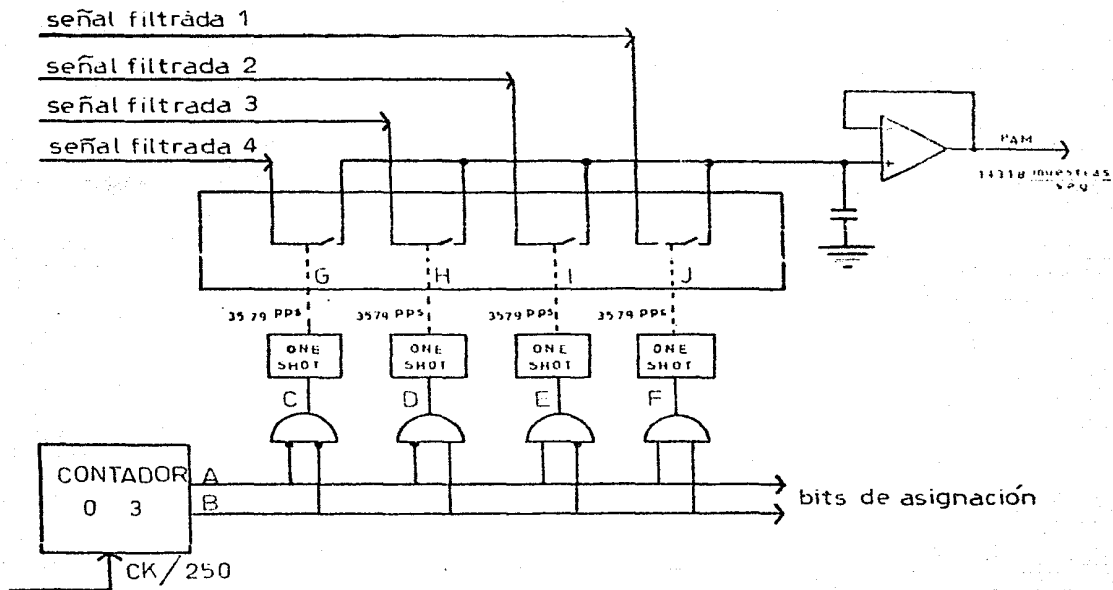
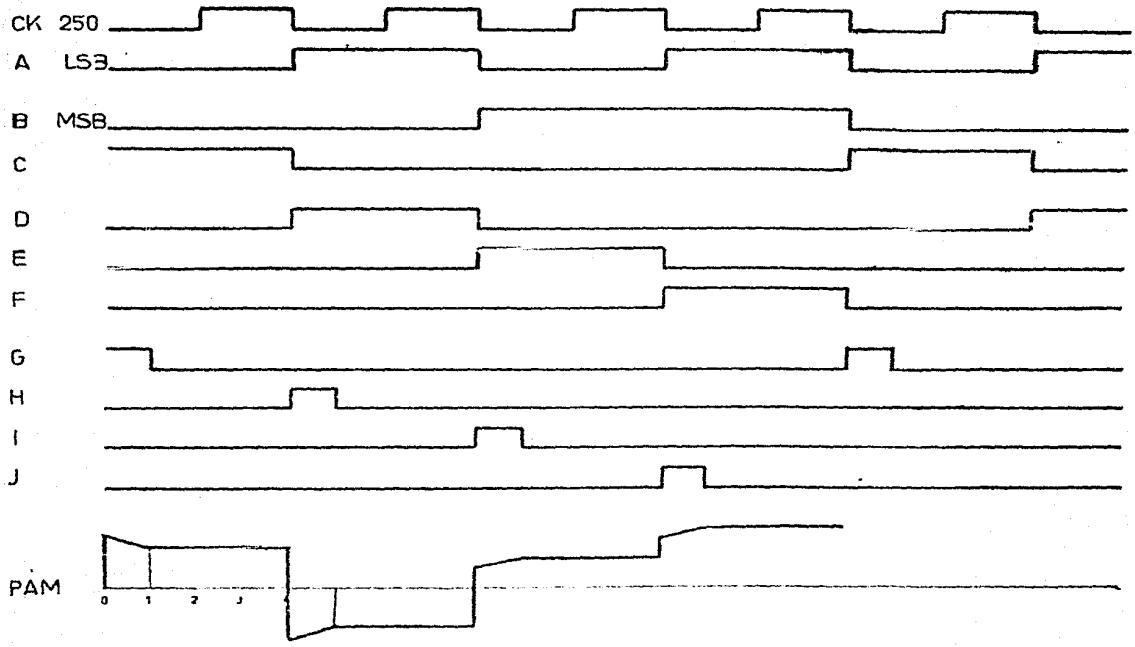
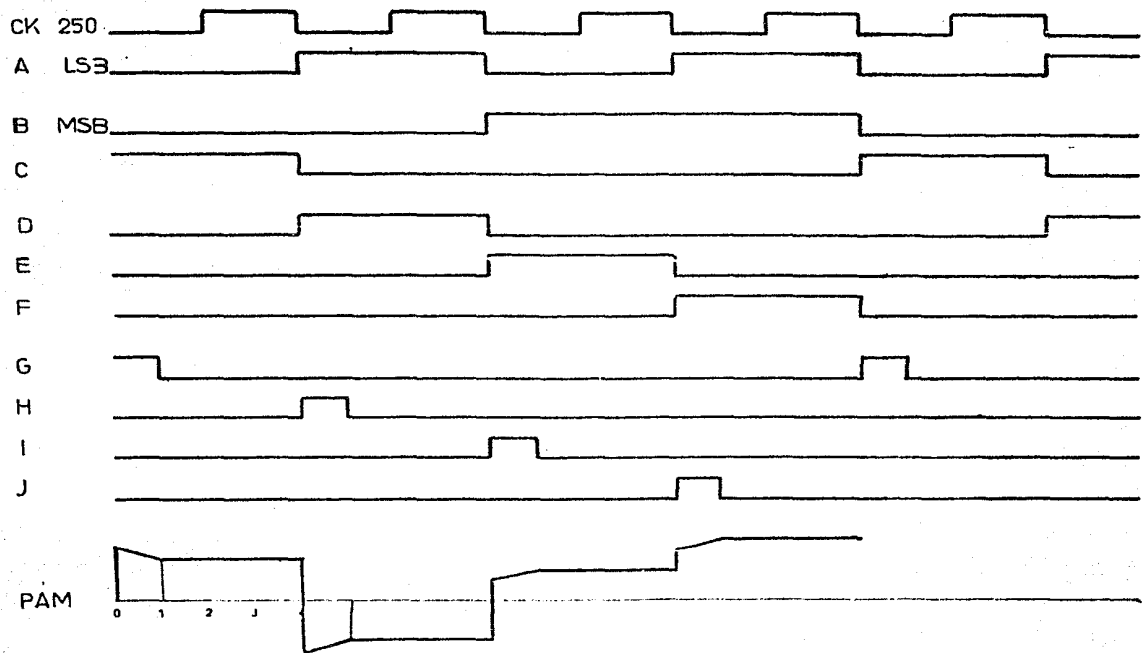


FIGURA 7. CIRCUITO DE MUESTREO Y MULTIPLEXAJE



Cronograma del Circuito de Muestreo y Multiplexaje



Cronograma del Circuito de Muestreo y Multiplexaje

Este formato tiene la ventaja de que rectificándolo en el receptor, se recupera completamente el reloj sin cambio alguno de fase.

El circuito codificador de línea, tiene que recortar el ancho de los pulsos a la mitad e invertir los polos para que tengan polaridad negativa, esto se hace utilizando una compuerta NAND y una AND con una entrada invertida, de tal forma que Ck/25 y la señal NRZ entrarán a dichas compuertas introduciéndose NRZ por la entrada invertida de la compuerta AND, de manera que si Ck/25 y NRZ tienen nivel alto, en el punto A de la figura 8, tendremos nivel alto (+5 volts), por lo tanto el diodo conducirá, por esto en el punto B tendremos nivel bajo (-5 volts), pero el diodo no pasará de 0 volts, por lo tanto cuando la base de Q2 está polarizada a +5 volts, el diodo no pasará a conducir, entonces en los colectores de los transistores tendremos 0 -- volts. Si Ck/25 está en nivel bajo (-5 volts), y NRZ en nivel alto -- (+5 volts), el punto A tendrá nivel alto (+5 volts) y el punto B --- estará en nivel bajo (-5 volts) de tal forma que tanto el punto A como B estarán en corte, por lo tanto en los colectores tendremos 0 volts. Si Ck/25 está en nivel alto (+5 volts) y NRZ en nivel bajo (-5 volts), el punto A estará en corte, aunque en su base y emisor se presente el mismo voltaje; Q2 estará en saturación, por tanto en un diferencial de potencial entre el punto B y la resistencia de emisor, lo que permite que el diodo tener conducto, por lo que en los colectores tendremos -5 volts. Si Ck/25 y NRZ están en nivel alto (+5 volts), A y B estarán a nivel bajo (-5 volts), por lo que B conduce y Q2 está en corte; de aquí que el voltaje en los colectores será +5 volts.

b) Receptor

En un caso real, si se transmite la señal RZ-polar, llegará al receptor un tanto deformada por la línea de transmisión; en ese caso, se rectifica y se alimenta a un circuito resonante paralelo a fin de hacerla senoidal (figura 9), anseguida se hace cuadrada, ya sea usando un amplificador saturado ó un disparador Schmitt.

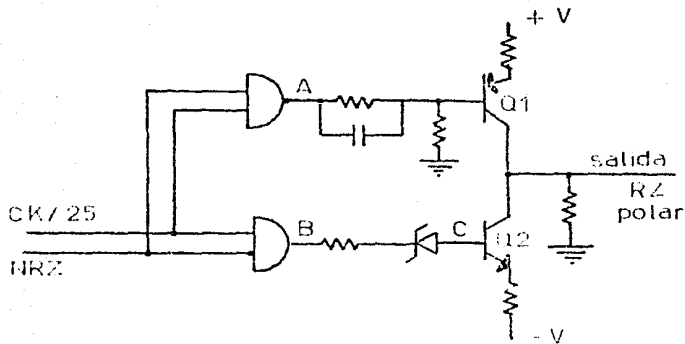
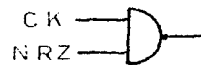


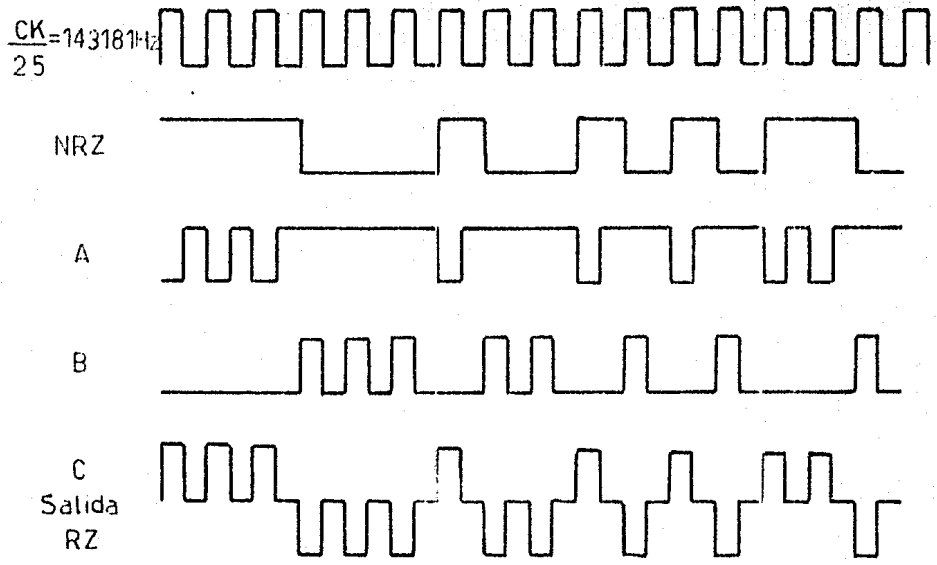
FIGURA 6. CODIFICADOR DE LINEA

salida	Q 1	Q 2	A	B	CK	NRZ
+	sat	corte	0	0	1	0
0	corte	corte	0	0	0	0
-	corte	sat	1	1	1	0

CK	NRZ	A
1	1	0
0	0	0
0	1	0
1	0	1

CK	NRZ	A
1	1	0
0	0	1
0	1	1
1	0	1





Cronograma del Codificador de línea

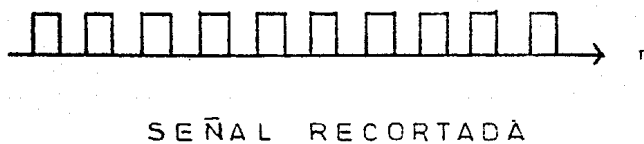
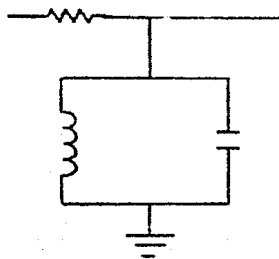
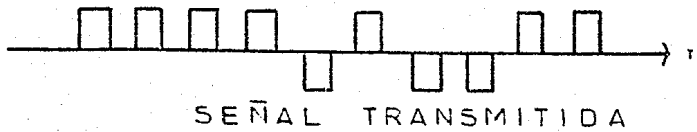


FIGURA 9

Como el diseño que se está elaborando no usará una línea de ----
transmisión, bastará con hacer pasar la señal RZ-polar por un --
rectificador de onda completa para recuperar el reloj.

Simultáneamente con la operación antes descrita, se realiza la -
conversión RZ-NRZ, de modo que con esto obtendremos ya en posesión
del reloj $Ck/25$ y de la señal NRZ que contiene la información y
los bits de asignación de canal.

La recuperación del reloj se hace en dos etapas, la primera con-
siste en separar por medio de un diodo los pulsos positivos de
la señal RZ-polar y alimentarlos a un amplificador, donde se com-
paran con un umbral de corriente directa, esto con el fin de eli-
minar un poco de ruido y deformaciones ocasionadas por los cir-
cuitos. La segunda etapa consiste en tomar con otro diodo los --
pulsos negativos y alimentarlos a un amplificador inversor analó-
gico. Las salidas del comparador y el inversor analógico, se su-
man en una compuerta or y la salida de ésta se considera el re-
loj recuperado. Para reconstruir la señal NRZ original, alimenta-
mos la entrada D de un Flip-Flop con los pulsos positivos obteni-
dos del comparador y alimentamos la entrada Ck del Flip-Flop, --
con $Ck/25$ recuperado, a través de un monoestable, con lo que en
la salida Q obtendremos la señal NRZ original (figura 13).

El siguiente paso es identificar los bits de asignación de canal
y a partir de ellos, producir una señal de sincronía que indique
al D/A cuándo debe realizar la conversión. Este proceso se lleva
a cabo haciendo pasar la señal por un registro de corriente de
entrada serie-salida paralelo, con capacidad para almacenar 120 --
bits; de esta forma en cualquier instante habrá 3 tramas de la
señal binaria y sus bits de asignación de canal presentes en las
salidas del registro. Con lo anterior, en un momento dado, los
canales de datos estarán acomodados de la siguiente forma:

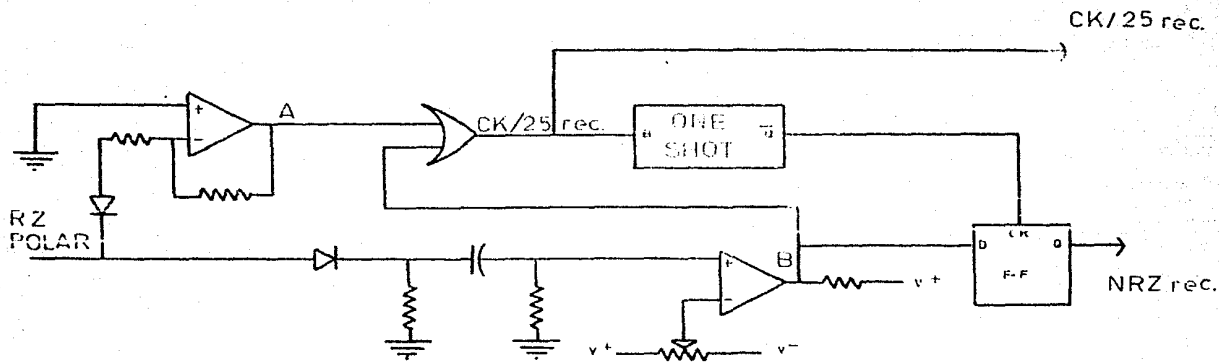


FIGURA 10. DECODIFICADOR DE LINEA Y RECUPERADOR DE RELOJ

RZ POLAR



B



A



SALIDA OR

CK_{rec}



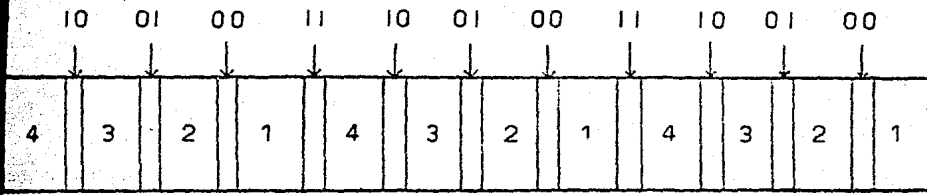
SALIDA
ONE SHOT



NRZ
REC



Cronograma del Decodificador de línea y Recuperador de reloj



donde, en los huecos numerados se alojan 8 bits de información y en las ranuras se encuentran los bits de asignación anotados arriba de ellos.

Para detectar esta secuencia de bits de asignación, se usan 3 comparadores de 8 bits cada uno, conectados a las salidas correspondientes del registro de corrimiento y previamente programados con la secuencia a identificar.

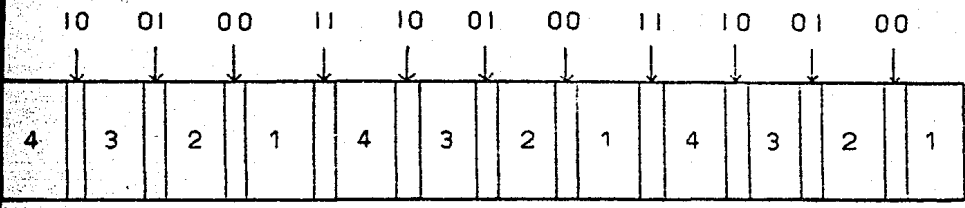
Supongamos ahora la pregunta: ¿cuánto se usará 3 tramas?

La respuesta es que con una sola trama, la probabilidad de que los bits de información se forme alguna de las secuencias 11100100, con el emparejamiento adecuado, es de $1/2^8$; con 2 tramas, la probabilidad de que casualmente se forme la secuencia correcta es de $1/2^{16}$ y para 3 tramas, la probabilidad es de $1/2^{24} = 596 \times 10^{-8}$, entonces como la velocidad de transmisión es de 111001 bits/seg, usando 3 tramas para comenzar, podría probablemente evitar una falla de sincronía entre 1.11001 segundos.

Esto implica que probablemente el usuario del sistema escuchará un "click" cada 1.11001 segundos.

Con más tramas para comenzar, la probabilidad de falla decrece, no se cambia el sistema de inicio de.

Viendo la figura 11 podemos ver que si cuando cualquiera de los tres comparadores del receptor de sincronía identifica la secuencia correcta, envía un pulso a una compuerta and y si los tres comparadores tienen la secuencia correcta envían simultáneamente



donde, en los huecos numerados se colocan 8 bits de información y en las ranuras se encuentran los bits de asignación anotados arriba de ellos.

Para detectar esta secuencia de bits de asignación, se usan 3 comparadores de 8 bits cada uno, conectados a los salidas correspondientes del registro de conteo y previamente programados con la secuencia a identificar.

Si se ahora la pregunta: ¿cuánto se usará 3 tramas? La respuesta es que con una sola trama, la probabilidad de que los bits de información se forme cualquier una secuencia 11100111, con el espaciado adecuado, es de $1/2^8$; con 3 tramas, la probabilidad de que casualmente se forme la secuencia correcta es de $1/2^{24}$ y para 3 tramas, la probabilidad de que sea $1/2^{24}$ es 596×10^{-8} , entonces con la velocidad de transmisión de 10000 bits/sec. usando 3 tramas para comenzar, podría probablemente existir una falla de sincronía cada 2.17×10^8 caracteres.

Esto implica que probable que el usuario del sistema escuchará un "click" cada 2.17×10^8 caracteres.

Con más tramas para comenzar, la probabilidad de falla decrece, pero se complica el sistema de inicio.

Viendo la figura el sistema puede ser que cuando cualquiera de los tres comparadores del receptor de sincronía identifica la secuencia correcta, envía un pulso a una compuerta and y si los tres comparadores tienen la secuencia correcta envían simultáneamente

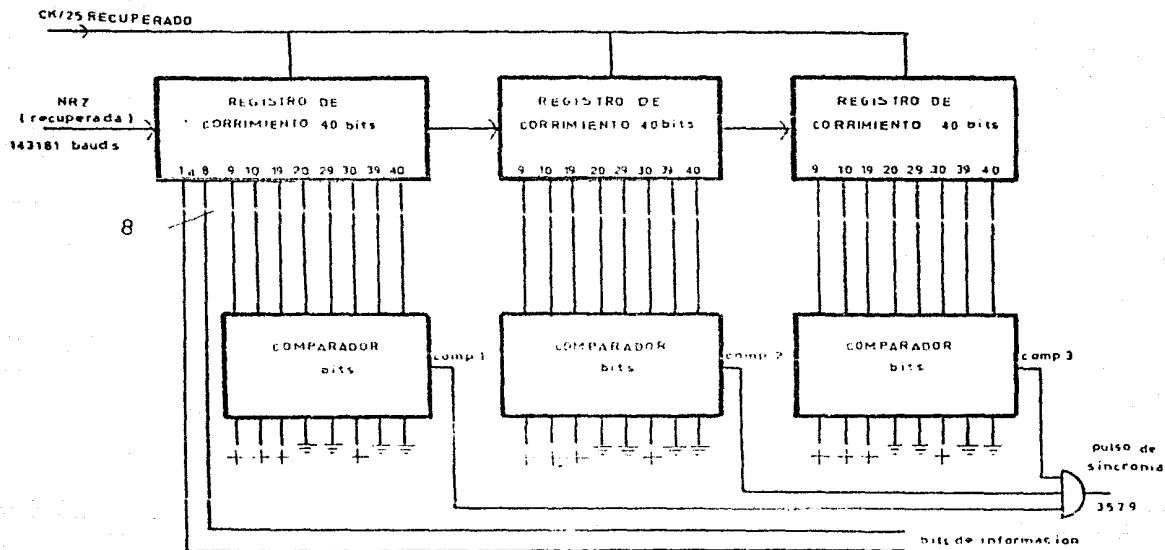
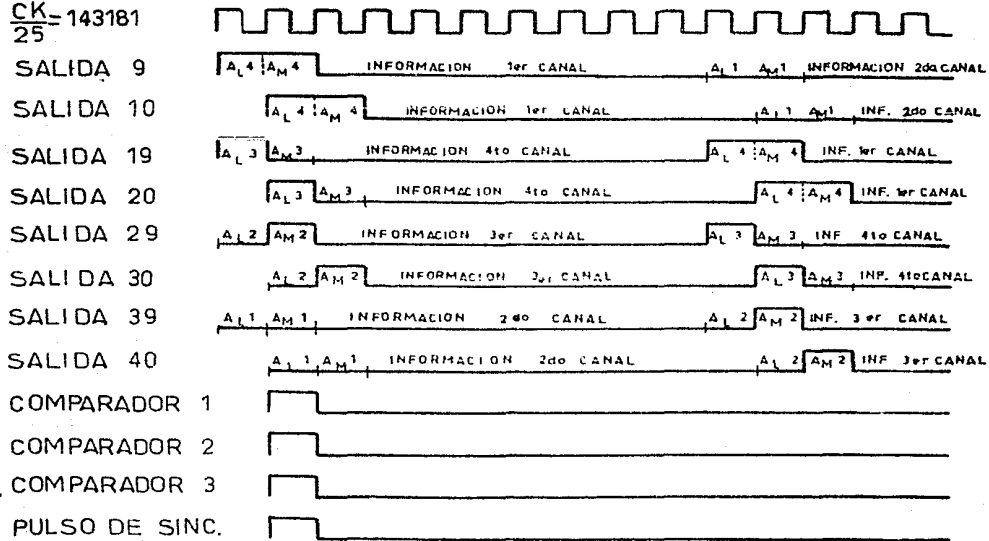


FIGURA 11. CIRCUITO RECUPERADOR DE SINCRONIZACION

CK = 143181
25



Cronograma del Circuito de Sincronización

un pulso a la compuerta mencionada, ésta produce a su vez un --- pulso que pone en ceros a todo el sistema de decodificación. Esta puesta en ceros ocurre una vez cada trama (4 canales de datos), de modo que si el circuito de recuperación de sincronía se equivoca, puede echar a perder un máximo de 4 muestras, una --- de cada canal, o sea que el usuario telefónico perderá informa--- ción de audio durante 1/14318 seg, lo cual es despreciable desde el punto de vista humano.

Por lo dicho anteriormente, el circuito de decodificación traba--- ja libremente durante 3 muestras y, a la cuarta, se le reajusta o resincroniza, aunque no se haya desincronizado.

El convertidor DAC0800 es un dispositivo asincrónico, al que hay que alimentarle los 8 bits simultáneamente, por lo tanto tomare--- mos los 8 primeros salidas paralelo del registro de corrimiento utilizado en el recuperador de sincronía, para alimentarlas a un juego de 8 Flip-Flops D. En el momento en que están presentes --- los 8 bits correspondientes a un canal, a la entrada de los --- Flip-Flop; éstos reciben un pulso de carga, que permite transfe--- rir los mencionados 8 bits al convertidor D/A. Los Flip-Flops tienen la propiedad de que, aunque en sus entradas estén varian--- do las señales, sus salidas permanecerán en un estado constante, mientras no llegue otro pulso de carga.

Por lo tanto el convertidor D/A, entregará un voltaje análogo du--- rante todo el tiempo correspondiente a una muestra; lo que hace innecesario el uso de un retenedor a la salida del D/A, similar al que se usa en la entrada A/D.

Los pulsos de carga para los Flip-Flops provienen de un contador de 0 a 9, controlado por el reloj recuperado (CK/25). Las 4 sa--- lidas de este contador se niegan y se alimentan a una compuerta --- and, para que cuando se tengan 4 ceros, los Flip-Flops reciban el pulso de carga. El contador mencionado en este párrafo es pre

cisamente el que será puesto en ceros, con la salida del recuperador de sincronía, previamente adelgazada con el uso de un monostable (figura 12).

Las muestras recuperadas por el convertidor D/A, deberán ser distribuidas a los 4 canales correspondientes; por lo tanto se dispone de 4 switches analógicos, controlados por un contador de 0 a 3. Las salidas del contador son combinadas a través de inversores y compuertas and, para operar secuencialmente los 4 switches analógicos (figura 13).

Las muestras de cada canal, serán convertidas a señal continua debido al uso de retenedores y filtros paso bajos de 1.5 Mhz, con lo cual el usuario del sistema, situado en el extremo receptor, tendrá acceso a la información emitida en el lado transmisor.

Por otra parte, los filtros tanto de entrada como de salida, serán iguales, 4 en la entrada y 4 en la salida del sistema (figuras 14 y 15).

Los filtros escogidos serán de estructura Chebyshev de cuarto orden. Para determinar los valores de resistencias y capacitancias de los filtros a usar, nos referiremos a la gráfica 16, localizaremos la frecuencia de corte requerida tomando un valor de capacitancia CC, comercial de .02 uF y con ello localizaremos el parámetro K correspondiente que en este caso es 3.4. Pasando a la gráfica 17 con el valor de K = 3.4, con ganancia de 4 y un rizo de 1/2 db, localizaremos los valores de las resistencias, siendo los siguientes:

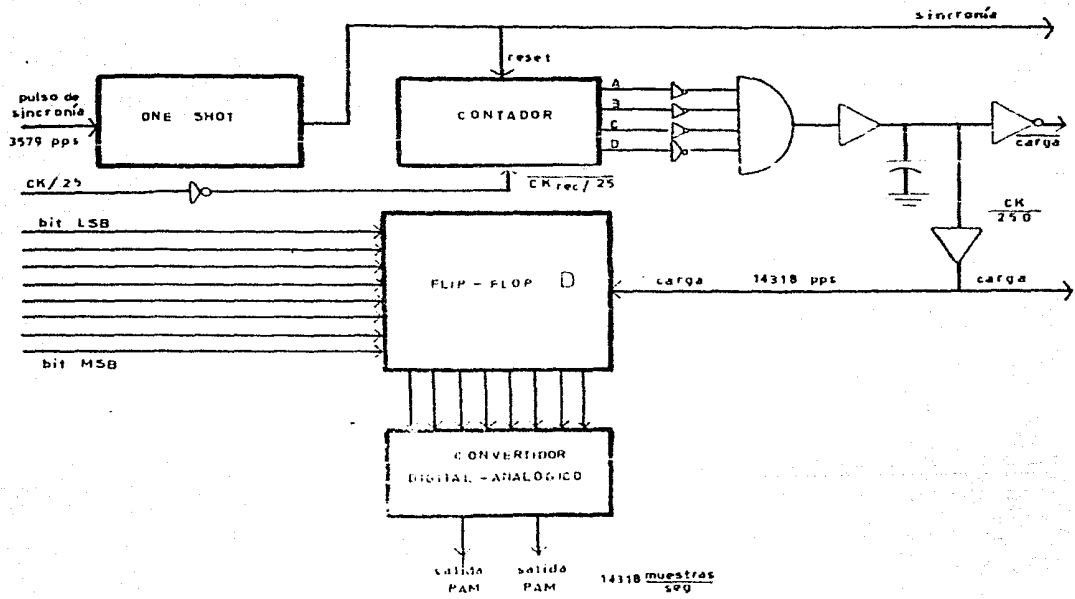
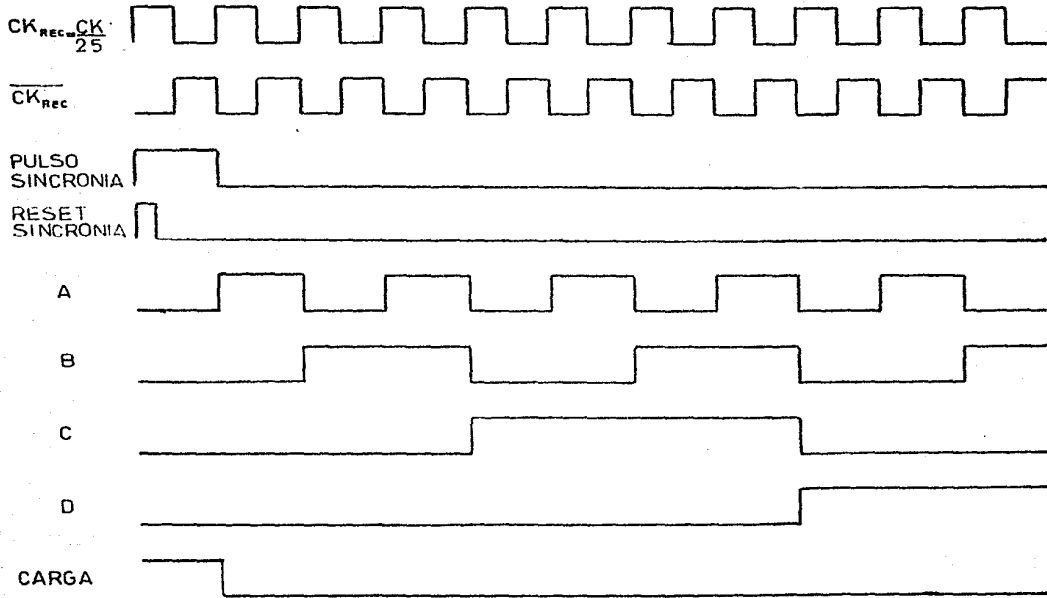


FIGURA 12. CIRCUITO DE DECODIFICACION



Cronograma del Circuito de Decodificación

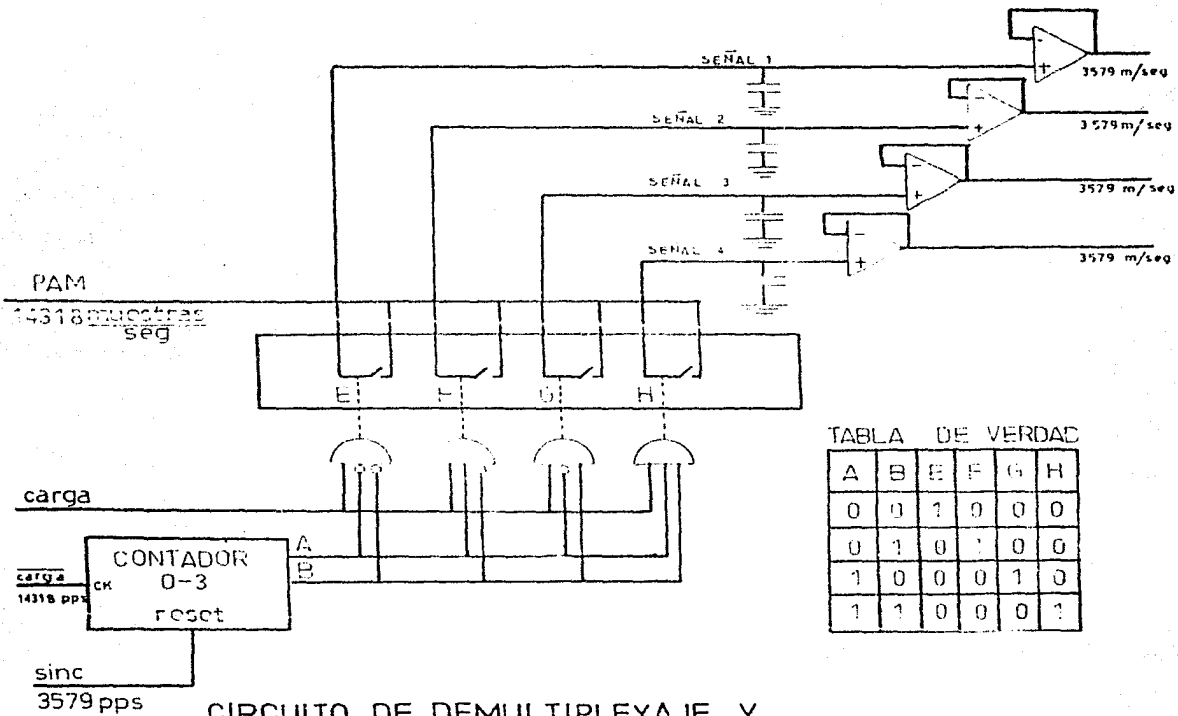
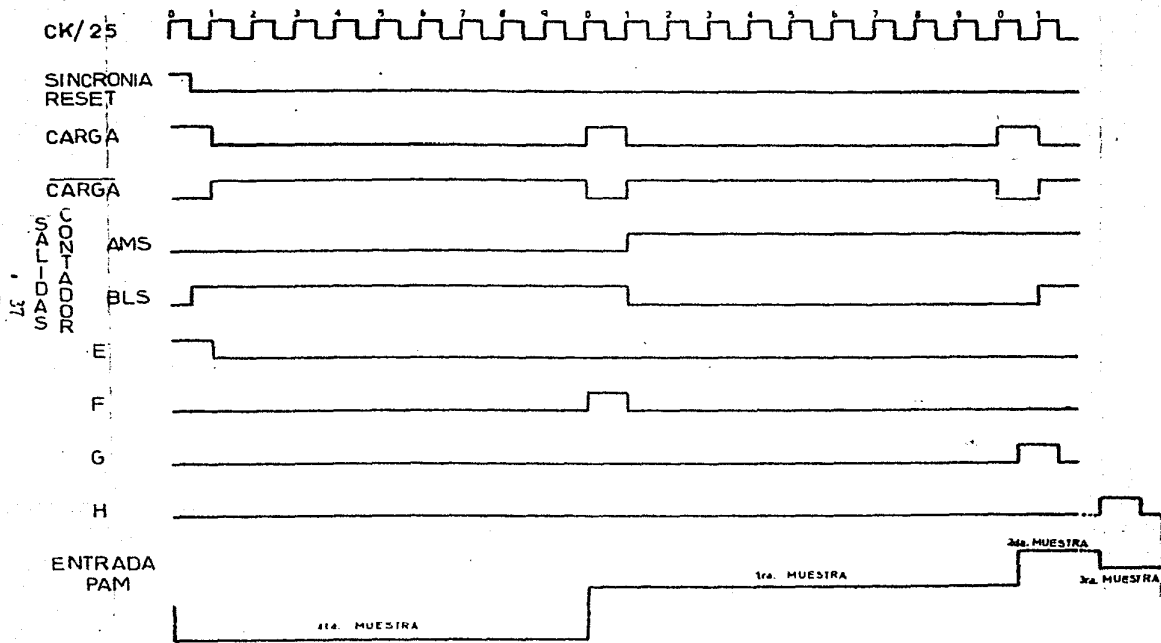


FIGURA 13. CIRCUITO DE DEMULTIPLEXAJE Y RETENCION



Cronograma del Circuito de Demultiplexaje

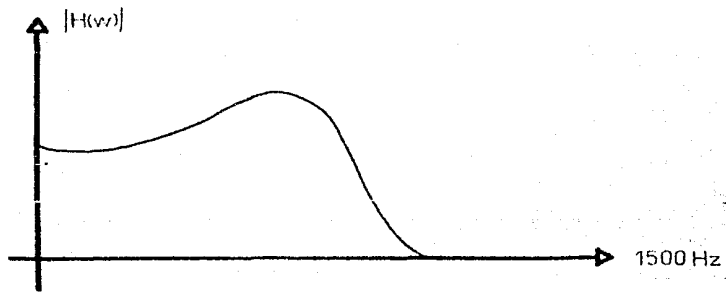
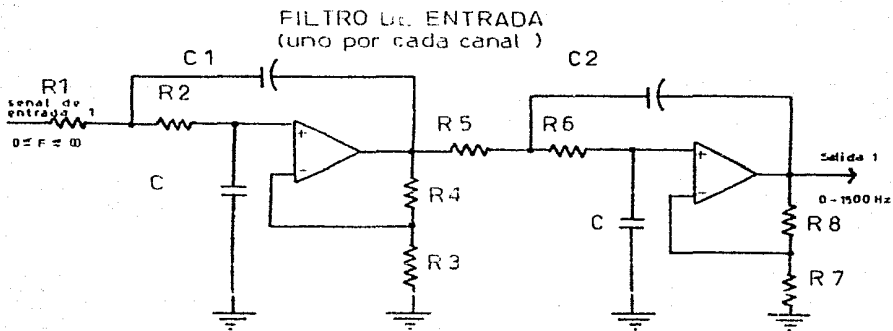
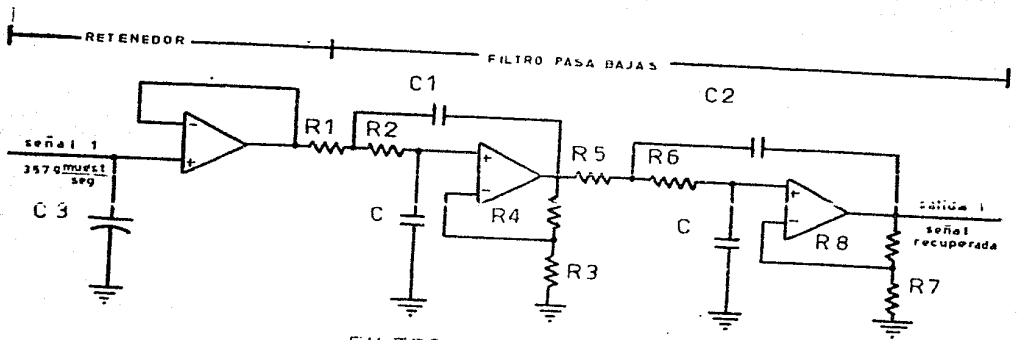


FIGURA 14



FILTRO DE SALIDA
(uno para cada canal)

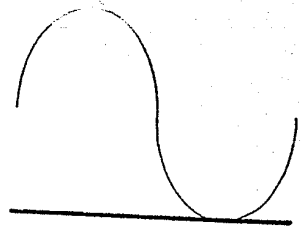
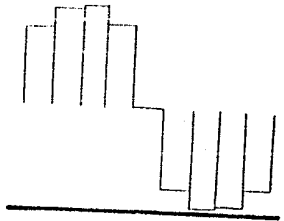
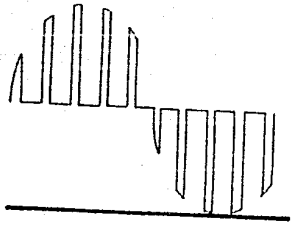
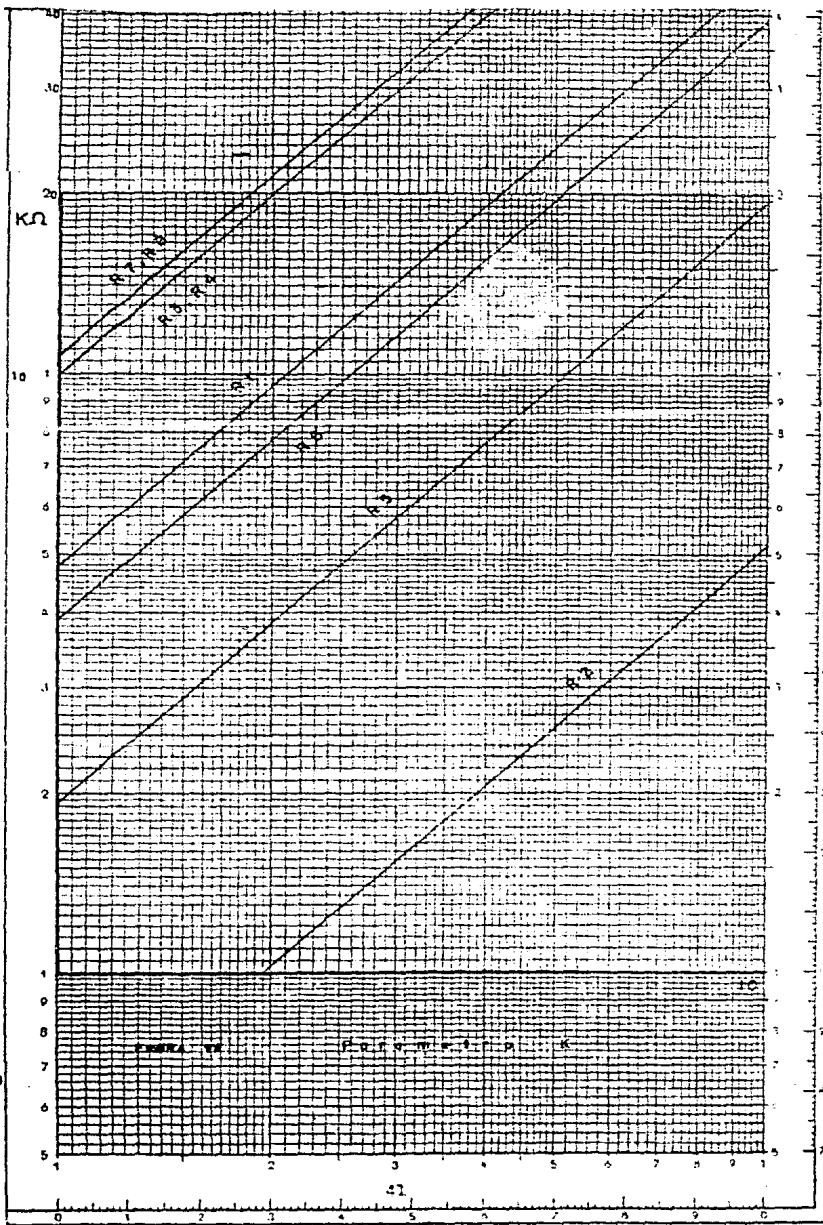


FIGURA 15



DIN A4
 Nr 8123
 log x log
 Modul 160

1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
38
39
40
41
42
43
44
45
46
47
48
49
50
51
52
53
54
55
56
57
58
59
60
61
62
63
64
65
66
67
68
69
70
71
72
73
74
75
76
77
78
79
80
81
82
83
84
85
86
87
88
89
90
91
92
93
94
95
96
97
98
99
100

R1= 15 K

R2= 1.05 K

R3= 33 K

R4= 33 K

R5= 6.2 K

R6= 13 K

R7= 39 K

R8= 39 K

C1= .02 uf

C= .02 uf

C2= .02 uf

Diseño del sistema de alimentación.

Para el diseño de las fuentes de C.D. se requiere conocer el consumo de corriente de cada módulo o bloque del sistema PCM.

Para ello existen 2 criterios:

1.- Hacer la suma de las corrientes consumidas por los distintos C.I. según datos del fabricante.

2.- Alimentar a los circuitos con una fuente de C.D. ajustable y medir la corriente que consume cada módulo.

A continuación se presenta una lista de las corrientes máximas y voltajes de cada C.I. obtenidas del manual del fabricante y posteriormente se anota el resumen de corrientes medidas experimentalmente, así como de los voltajes nominales.

Circuito Integrado.	Corriente Consumida.	Nivel de Voltaje.
7404	33 ma	+5 volts
7407	41 "	"
7408	33 "	"
74LS11	6.6 "	"
74LS21	4.4 "	"
7432	38 "	"
7474	30 "	"
7485	88 "	"
7490	42 "	"
74121	40 "	"
74123	66 "	"
74150	68 "	"
74164	54 "	"
LM319	-5 y 10.5 ma	+5 volts
TL081	2.8 ma	+5 y +12 volts
TL084	11.2 "	+12 volts
TL601	-0.5 y 10 ma	"
MC4024	.10 ua	+5 volts
MC4047	.10 ua	"
MC4069	.10 "	"
MC4073	.10 "	"
MC4081	.10 "	"
ADCC000	15 ma	+5 y -12 volts
DACC000	-5.8 y 0.8 ma	+12 y +10 volts

De acuerdo al consumo por bloques, se tendría lo siguiente:

Circuito de Temporización

Contiene 3 circuitos integrados 7490 y un circuito integrado 7404, lo que da un consumo de corriente total teórico de 159 ma, y un consumo real de 124 ma, a +5 volts.

Circuito de Multiplexaje

Este circuito contiene 4 integrados MC4047, 4 TI501, un TI981, un MC4081, un MC4069, y un MC4001, lo que teóricamente consume 10 ma a -12 volts, 40.8 ma a +12 volts, y 40 ma a +6 volts. Realmente consume 4.5 ma a -12 volts, 30 ma a +12 volts y, 20 ma a +6 volts.

Circuito de Codificación

Dicho circuito contiene un integrado ABC 10, cuatro integrados 7474, un 7407, un 7404, un 7490, dos 74121, y un 74150, lo que da un consumo de corriente de 200 ma a +5 volts, teóricamente. Realmente consume 192 ma a +5 volts, -58 ma a -5 volts, y -12 ma a -12 volts.

Circuito Codificador de Línea.

Esté constituido por un circuito integrado 7404, un 7408, un transistor 2N4126 y un transistor 2N4104, lo que teóricamente consume 66 ma a +5 volts, este circuito es alimentado por fuentes de +5 volts y -5 volts del circuito de codificación por lo que el consumo real va incluido en el consumo del codificador.

Filtros

Tanto en el transmisor como en el receptor están constituidos por 2 circuitos integrados TI984, y en ambos casos teóricamente consumen 22 ma a +12 volts, realmente 10 ma a +12 volts y 1 ma a -12 volts.

Circuito Decodificador de Línea y Recuperador de Reloj.

Está constituido por un circuito integrado 7432, un 7474, un 74121, un TL031, y un LM319, lo que consume 123.2 ma a +5 volts y -5 ma a -5 volts teóricamente. Realmente consume 81 ma a +5 volts y -2 ma a -5 volts.

Circuito de Sincronización

Contiene 15 integrados 74164, y 8 integrados 7485, lo que da un consumo teórico de 1.514 A, a +5 volts. Realmente consume 650 ma.

Circuito de Decodificación

Contiene 4 integrados 7474, un integrado 7407, un integrado 74LS21, un 74123, un 7490, un 7404, y un DAC0800, que consumen 313 ma a +5 volts, 3.8 ma a +12 volts, -5.2 ma a -12 volts teóricamente. Realmente consume 200 ma a +5 volts, 2 ma a +12 volts, -3 ma a -12 volts.

Circuito de Desmultiplexaje

Está constituido por 2 integrados MC4073, un MC4069, un MC4021, 4 TL601, y un TLO84, que consumen 20 ma a +5 volts, -6 ma a -12 volts y, 51 ma a +12 volts. teóricamente. Realmente consumen 19 ma a +5 volts, -3 ma a -12 volts y, 24 ma a +12 volts.

El sistema de alimentación desarrollado es de tipo totalmente convencional, obteniéndose la C.D. por rectificación de onda completa con su puente de diodos alimentado con un transformador reductor.

Para obtener los diferentes voltajes a partir de esta fuente primaria, se acude al uso de reguladores y amplificadores de C.D. Se usaron 3 tipos de circuitos:

- 1.- Regulador fijo en circuito integrado.
- 2.- Regulador ajustable en circuito integrado.
- 3.- Diodo zener y amplificador de regulador zener.

La selección de cada uno de ellos se hizo según las necesidades de corriente, estabilidad de voltaje y costo.

En el primer caso, no se requieren cálculos; simplemente se deben respetar los máximos establecidos por el fabricante.

En el segundo caso, el fabricante especifica que el ajuste se realiza por medio de un potenciómetro, por lo que tampoco se requieren cálculos, si no que basta con ajustar el circuito y luego, reemplazar el potenciómetro con resistencias fijas.

El cálculo de los componentes del tercer caso es muy sencillo y se ilustra con un ejemplo, según el circuito de la figura 18a.

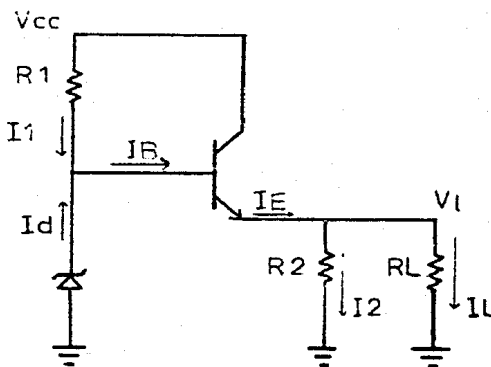


FIGURA 18a.

CALCULOS

En las figuras 18b y 19 vemos los diagramas de las fuentes de alimentación y en ellos se anotan los circuitos que van a ser alimentados. En este caso el valor de V_{cc} es de 47 volts de c.d.

El voltaje nominal V_L será de +6 volts de c.d., con un valor de corriente I_L de 500 ma. nominal.

Se selecciona un diodo zener de 6.3 volts a 1/2 watt, con lo que la corriente a través de él será:

$$I_D = P/V = .5/6.3 = 79 \text{ ma}$$

a través de R_2 pasará I_2 con un valor nominal de:

$$\text{Fijando } R_2 = 1 \text{ K}\Omega \quad I_2 = V_L/R_2 = 6 \text{ volts} / 1 \text{ K}\Omega = .006 \text{ amp}$$

Por otro lado tenemos que:

$$I_E = I_2 + I_D$$

como $I_L = 500 \text{ ma}$ por lo tanto $I_E = .006 \text{ amp}$.

tomando un voltaje de $V_{BE} = .3 \text{ volts}$

$$\beta = 40$$

$$I_B = I_E / \beta + 1 = .0123 \text{ amp.} \quad I_1 = I_B + I_D = .0123 + .079 = 91.3 \text{ ma}$$

$$V_{cc} = R_1 I_1 + V_{BE} + 6$$

$$\text{de donde } R_1 = 10.7 / .0913 = 117.19 \Omega$$

el valor comercial más cercano es de 120Ω
por lo tanto $R_1 = 120 \Omega$

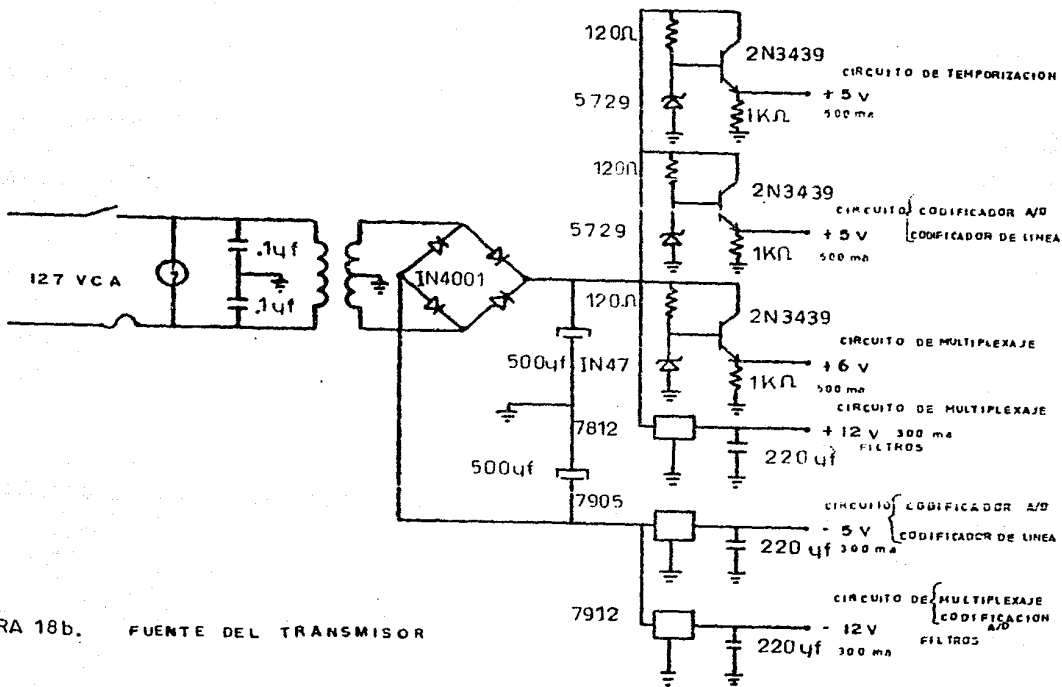


FIGURA 18b. FUENTE DEL TRANSMISOR

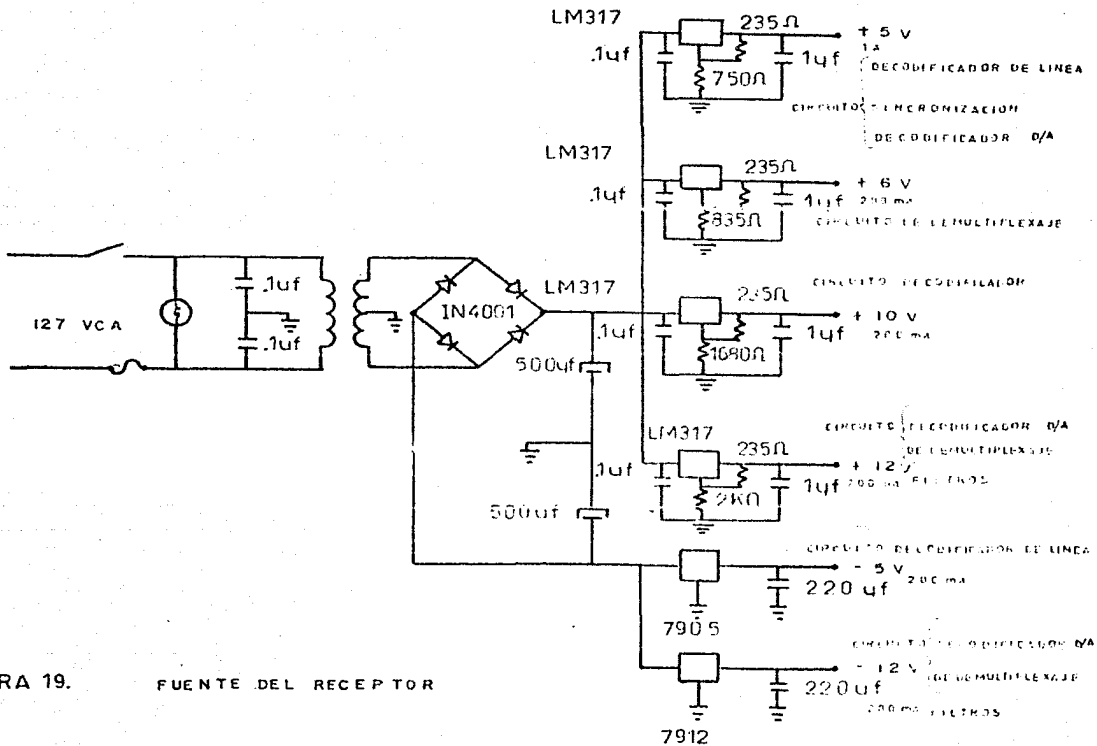


FIGURA 19. FUENTE DEL RECEPTOR

Además de los elementales cálculos realizados para el sistema de alimentación, debemos determinar algunos valores de resistencias y capacitancias para los diferentes monoestables utilizados en el sistema.

A continuación daremos los valores determinados:

- Constante de tiempo de los monoestables para los switches del circuito de multiplexaje.

La fórmula consignada para el ancho del pulso es $f = 2.48 RC$ por lo que considerando que se requiere un ancho de pulso de .044 μ segundos aproximadamente, del manual de operación del MC4047 fijando $R = 180 \Omega$, se obtiene un valor de capacitancia $C = 100 \times 10^{-12} f$.

- Constante de tiempo del monoestable para los pulsos de inicio de conversión.

Del manual de operación del circuito integrado 74121, en la página 81 de esta tesis se tiene que, para un ancho de pulso = 1 μ seg, con $R = 2 K\Omega$, la gráfica nos da $C = .001 \mu f$.

- Constantes de tiempo de los monoestables para los pulsos de carga en el circuito de decodificación.

De la misma gráfica usada en el caso anterior para el circuito integrado 74121 se tiene que para el primer monoestable se necesita un ancho de pulso = 3 μ seg de donde $R = 2 K\Omega$, y por lo tanto $C = .0047 \mu f$. Para el segundo monoestable se necesitará un ancho de pulso = 2 μ seg, fijando $R = 2 K\Omega$, por lo tanto $C = .0022 \mu f$.

- Constante de tiempo del monoestable del decodificador de línea y recuperador de reloj.

Del manual de operación del circuito integrado 74121, necesitando un ancho de pulso = .5 μ seg si fijamos $R = 7.5 \text{ K}\Omega$ se tendrá un $C = 1000 \text{ pf}$.

- Constante de tiempo del monoestable del convertidor D/A.

Del manual de operación del circuito integrado 74123, se tendrá:

$$C = \text{ancho de pulso} / .05 R (1 + 1.7/R)$$

considerando que se necesita un ancho de pulso = .05 μ seg, y tomando $R = 1 \text{ K}\Omega$, se tendrá $C = 1000 \text{ pf}$.

- Constante de tiempo de los circuitos de retención.

La constante de tiempo de los circuitos de retención, se determina experimentalmente considerando un capacitor de un valor tal que permita que se cargue cierto instante de tiempo y además, que descargue hacia el amplificador operacional.

CONSTRUCCION Y PRUEBAS

Este capítulo tiene el objetivo de dar a conocer los resultados de las pruebas realizadas al sistema PCM, así como los detalles sobre su ensamble. Dentro de las pruebas realizadas mencionaremos las siguientes:

- a) β Distorsión de la señal recuperada.
- b) Amplitud máxima de la señal de entrada.
- c) Offset de la señal de entrada.
- d) Respuesta a la frecuencia de los filtros de entrada y salida.
- e) Ruido de canal vacío .
- f) Espectro de frecuencias de la señal transmitida (RE-Polar).
- g) Prueba del sistema.

a) % Distorsión.- Es el parámetro que nos indica la calidad de la señal recuperada con respecto a la frecuencia. En la figura 20 aparece el diagrama de bloques para medir la distorsión de la señal recuperada. El diagrama está constituido en primer término por un generador que proporciona una onda senoidal de amplitud constante al transmisor indicada en el voltmetro y cuya frecuencia varía como se muestra en la tabla de distorsión que se muestra en la página 55, visualizada en el frecuencímetro. El receptor al recuperar la señal, la envía simultáneamente al osciloscopio y al analizador de espectros; al primero para visualizar la distorsión de la señal y al segundo a su observar el espectro de frecuencias y estar en condiciones de medir la distorsión de acuerdo a la fórmula de la página 55. En la figura 21 se muestra la gráfica de distorsión con respecto a la frecuencia.

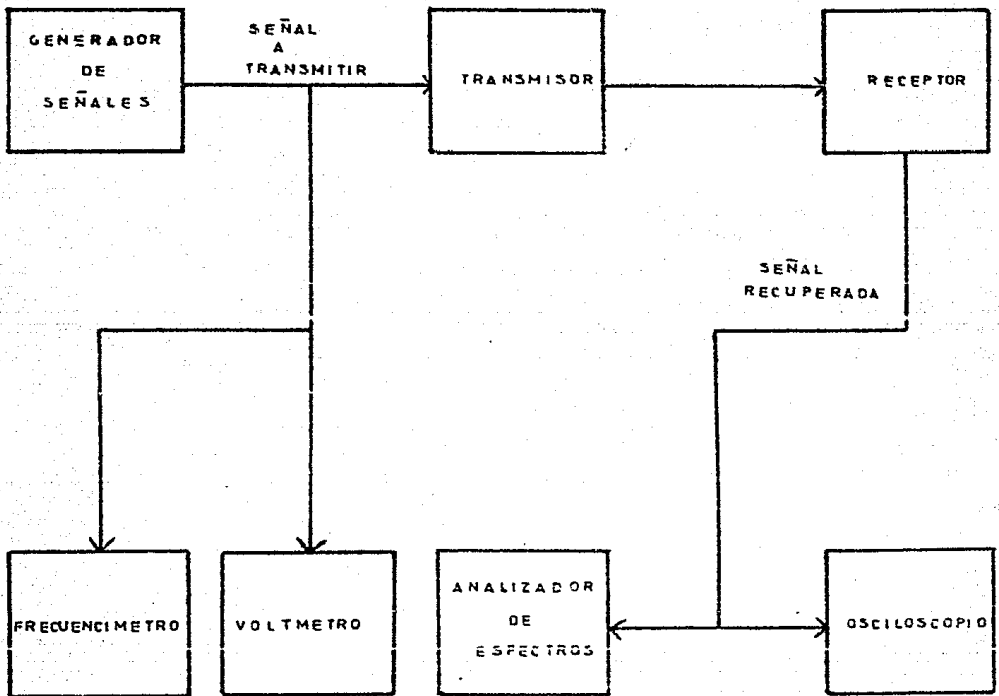


FIGURA 20 DIAGRAMA DE BLOQUES PARA MEDIR LA DISTORSION

En lo que respecta al % de distorsión, podemos calcularlo por la siguiente fórmula:

$$\% \text{ Distorsión} = \frac{\text{Voltaje componentes indeseables} \times 100}{\text{Voltaje de la señal deseable}}$$

Los valores de la gráfica de distorsión se dan en la siguiente tabla:

Frecuencia Hz	Voltaje de la señal Deseable - Volts	Voltaje comp. ind. - Volts	% Dist.
100	5.5	0	0
200	4.5	0	0
300	4.2	0	0
400	4.0	0	0
500	3.8	0	0
600	3.7	0	0
700	3.6	0	0
800	3.4	0	0
900	3.0	.1	3
1000	2.8	.1	3.55
1100	2.8	.1	3.55
1200	2.5	.1	4.00
1300	2.0	.175	8.75
1400	1.8	.2	11.11
1500	1.64	.21	12.80
1600	1.52	.24	15.79
1700	1.45	.27	18.62

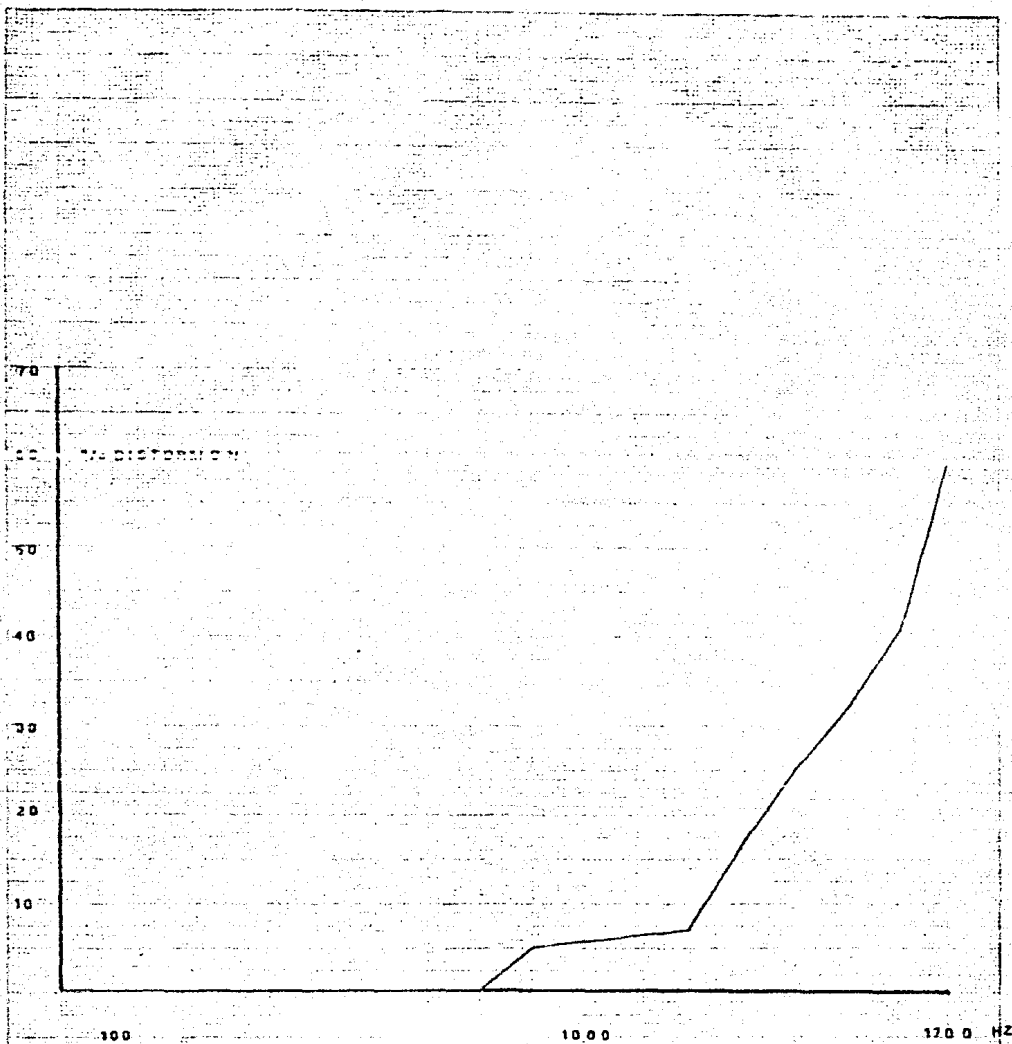


FIGURA 21. GRAFICA DE DISTORSION

b) Amplitud máxima .- Es la amplitud máxima permisible de una señal que se puede transmitir sin deformarse esta al recuperarla, dicha amplitud tiene un valor de 2.2 volts p-p.

c) Offset.- Es el offset que requiere la señal a transmitir para evitar deformaciones de esta al recuperarla. Dicho offset tiene un valor de + 2.2 volts.

d) Respuesta a la frecuencia de los filtros usados.- En la figura 54 se observa el diagrama de bloques para medir la respuesta a la frecuencia de los filtros usados en el sistema. Se envía una onda senoidal al filtro, cuya amplitud se mantiene constante aproximadamente y cuya frecuencia se mide por medio de un frecuencímetro. La citada frecuencia varía según la tabla de la página 59. A la salida del filtro, se mide la amplitud de la señal filtrada utilizando un voltmetro y un osciloscopio. En la figura 53 se ven los gráficos de respuesta en frecuencia de los filtros.

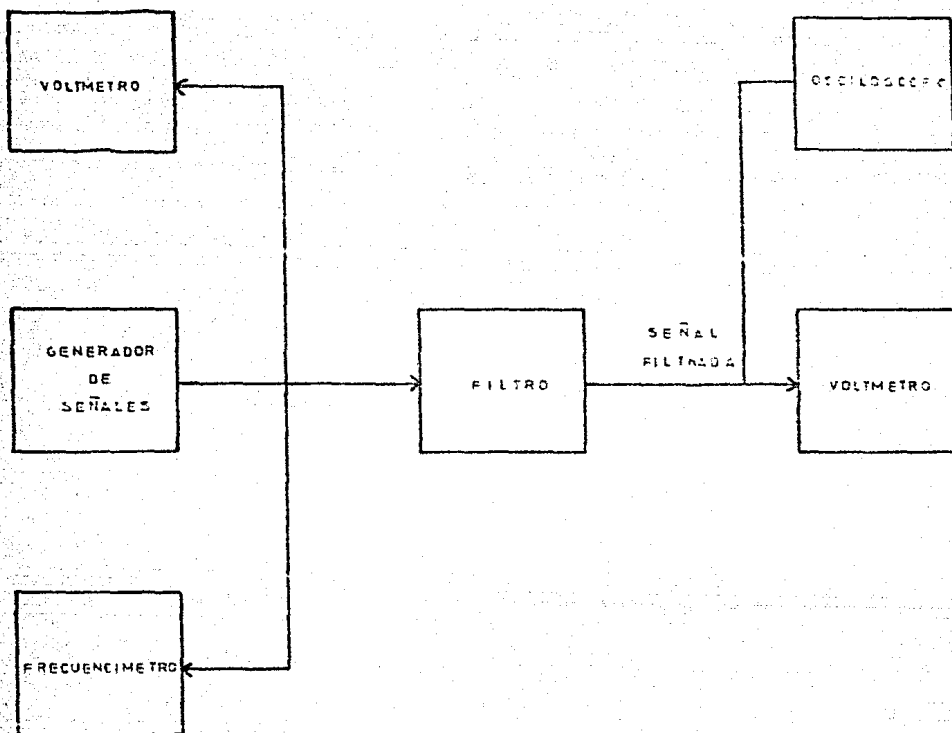
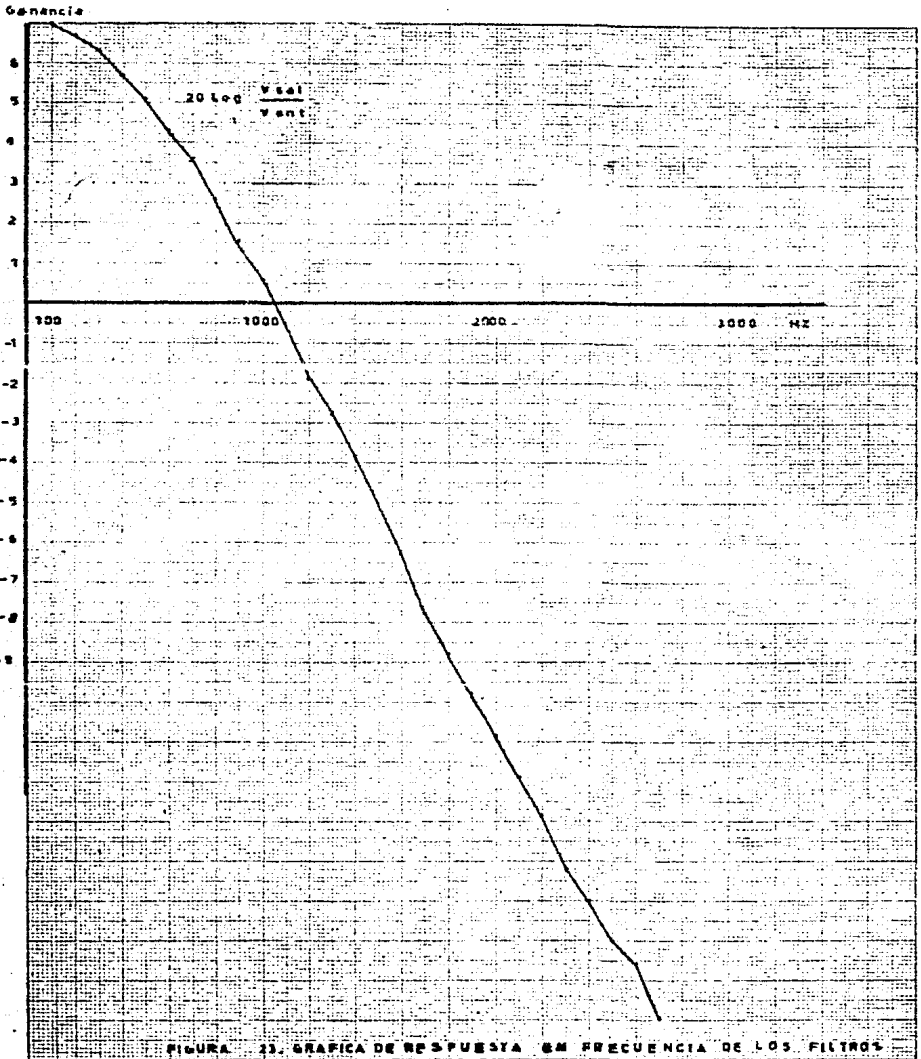


FIGURA 22. DIAGRAMA DE BLOQUES PARA MEDIR LA RESPUESTA EN FRECUENCIA DE LOS FILTROS USADOS

Los valores correspondientes de la gráfica de respuesta en frecuencia se dan en la siguiente tabla:

Frecuencia Hz	Voltaje de señal de Entrada Volts	Voltaje de señal de Salida Volts	Ganancia
100	1.04	2.25	7
200	"	2.25	6.7
300	"	2.16	6.3
400	"	2.02	5.7
500	"	1.88	5.1
600	"	1.71	4.3
700	1.02	1.55	3.6
800	1.01	1.36	2.6
900	"	1.22	1.5
1000	"	1.07	.5
1100	1	.93	-.6
1200	"	.8	-1.2
1300	"	.74	-2.8
1400	"	.65	-3.9
1500	"	.55	-5.0
1600	"	.49	-6.3
1700	"	.42	-7.8
1800	"	.37	-8.7
1900	"	.33	-9.7
2000	"	.29	-10.9
2100	"	.26	-11.8
2200	"	.23	-13
2300	"	.20	-14.2
2400	"	.18	-15
2500	"	.16	-16
2600	"	.15	-16.6
2700	"	.13	-18



e) Ruido de canal vacío.- El ruido que existe en los canales cuando estos no transmiten señal, su valor prácticamente es 0.

f) Espectro de frecuencias de la señal transmitida (RZ-Polar).- En la figura 24 tenemos el diagrama de bloques para observar el espectro de frecuencias de la señal RZ-Polar correspondiente a los bits de asignación de canal. Para lograrlo, se enciende el transmisor sin proporcionarle ninguna señal, es decir mandando a tierra las entradas de señal del transmisor. A la salida de éste se conecta el osciloscopio para visualizar la señal RZ-Polar, y el analizador de espectros para apreciar el espectro de frecuencias. En la figura 25 se muestra el espectro de frecuencias de la señal.

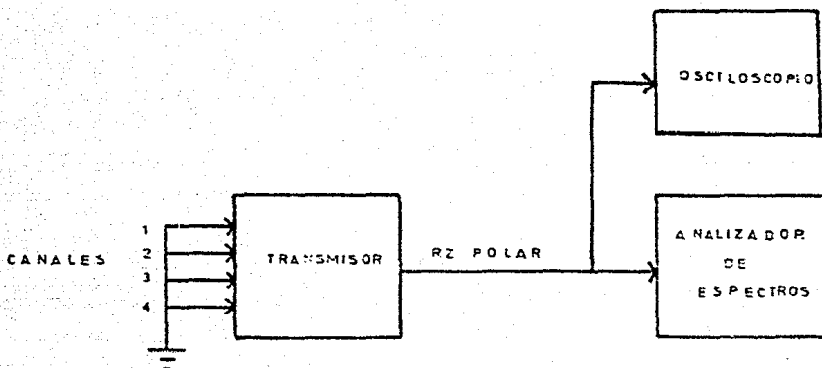


FIGURA 24. DIAGRAMA DE BLOQUES PARA OBSERVAR EL ESPECTRO DE FRECUENCIAS DE LA SEÑAL RZ POLAR

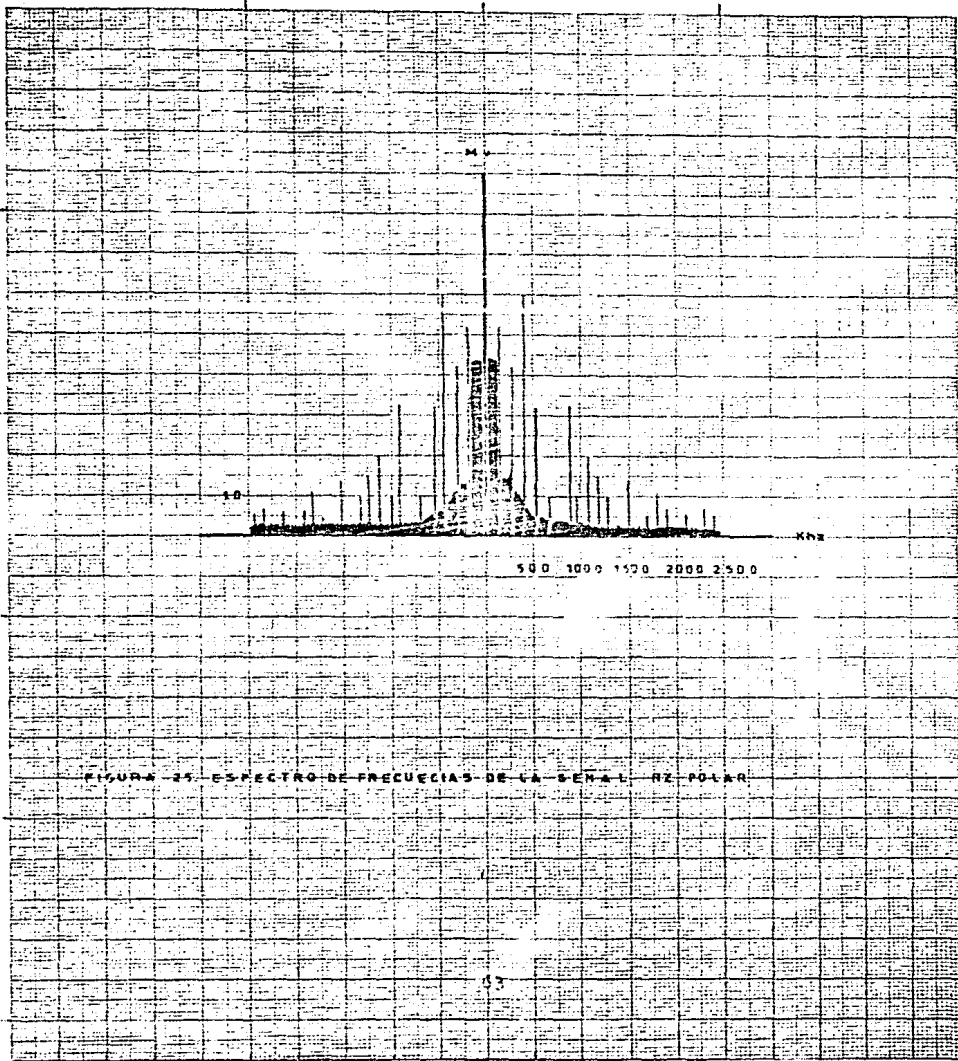


FIGURA 24. ESPECTRO DE FRECUENCIAS DE LA SEÑAL RZ-POLAR

g) Prueba del sistema.- Podemos observar en la figura 26 el diagrama de bloques para hacer la prueba del sistema. Se utilizan 4 generadores de señal, los cuales proporcionarían 4 diferentes tipos de ondas al transmisor. Posteriormente se conecta un osciloscopio de 4 trazos en la entrada de los filtros del receptor para visualizar las señales recuperadas. En la figura 27 se aprecia la comparación de las señales a transmitir con las recuperadas.

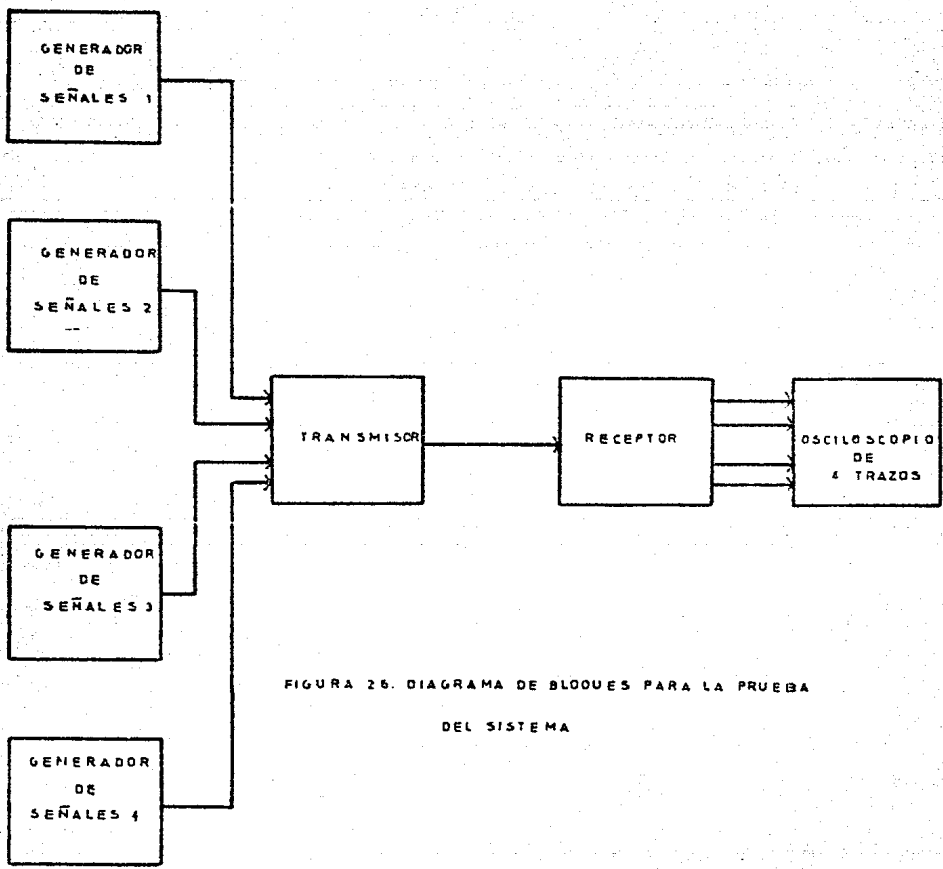


FIGURA 26. DIAGRAMA DE BLOQUES PARA LA PRUEBA DEL SISTEMA

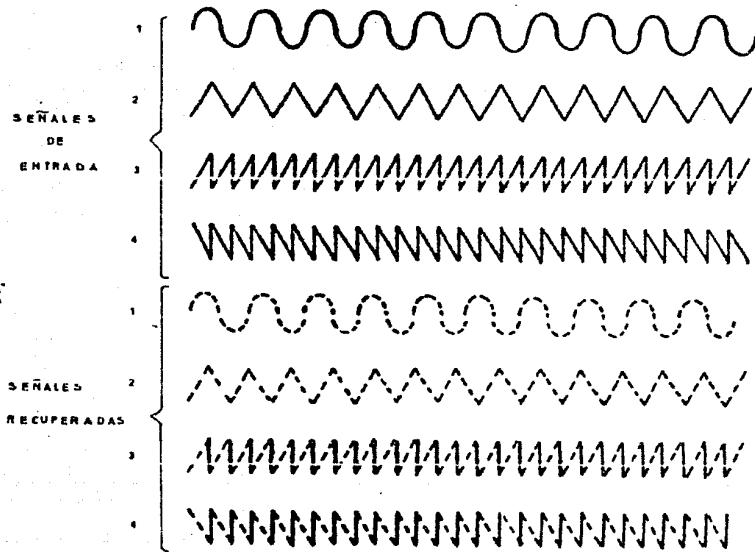


FIGURA 27. OSCILOGRAMA DE SEÑALES DE ENTRADA Y RECUPERADAS

CONSTRUCCION DEL SISTEMA

Generalmente cuando implementamos un circuito electrónico, se analizan varias opciones. En este caso no tenemos esa posibilidad ya que la técnica obvia es el montaje en circuito impreso por tal motivo y sin pensar en otra posibilidad nos decidimos por esta técnica utilizando para ello tarjetas de 10 X 15 cm de una o dos caras según la complejidad del circuito. La interconexión de las diversas tarjetas se realizó mediante conectores hembra tipo "peine" en los que se pueden enchufar las tarjetas provistas de lengüetas de contacto impresas con el mismo cobre de la tarjeta, esto se puede visualizar en la figura 28. Una alternativa que se discutió en un principio ----- consiste en montar todo el transmisor en una sola tarjeta, y el receptor en otra, pero esta opción se desechó porque el tamaño del -- impreso hacía muy difícil el proceso de trabajo. Para montar todo el conjunto de conectores y tarjetas se fabricaron dos aristas metálicas de laminas de hierro, cuyas medidas aparecen en la figura 29. Se escogieron estas dimensiones porque los mencionados muebles van a ser instalados en bastidores (racks). En el frente de los módulos se han dispuesto bornas adecuadas para tener acceso a los señales más importantes del sistema, como son:

1.- Para el transmisor:

- a) Entradas para 4 señales analógicas.
- b) Señal DAM.
- c) Pulso de inicio de conversión.
- d) Bit de asignación de canal.
- e) Diferentes señales de reloj usadas.
- f) Señal NRZ.
- g) Señal RZ-Polar.
- h) Tierra.

2.- Para el receptor:

- a) Señal RZ-Polar.
- b) Señal NRZ recuperada.
- c) Señal de reloj recuperada.
- d) Pulso de carga.
- e) Pulso de carga negado.
- f) Pulso de Sincronía.
- g) Señal PAM recuperada.
- h) Cuatro salidas para las señales recuperadas.
- i) Tierra.

Así como los interruptores de encendido de las fuentes de alimentación. Dichas fuentes se ensamblaron, parte en una placa de acero que aloja al transformador y al rectificador con sus respectivos capacitores de filtraje; los reguladores que nos proporcionan los diferentes voltajes se ensamblaron en una placa disipadora que se encuentra alojada en la parte posterior de los aparatos (figura 30). El diagrama general de conexiones de los aparatos se muestra al final.

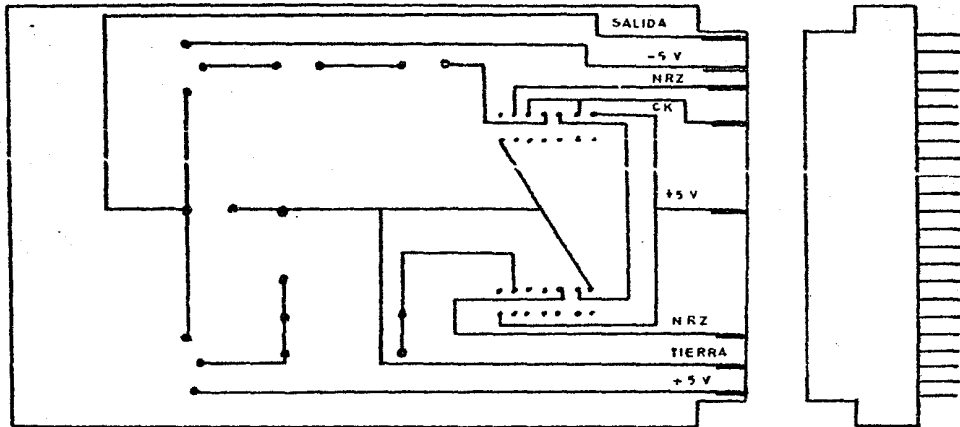
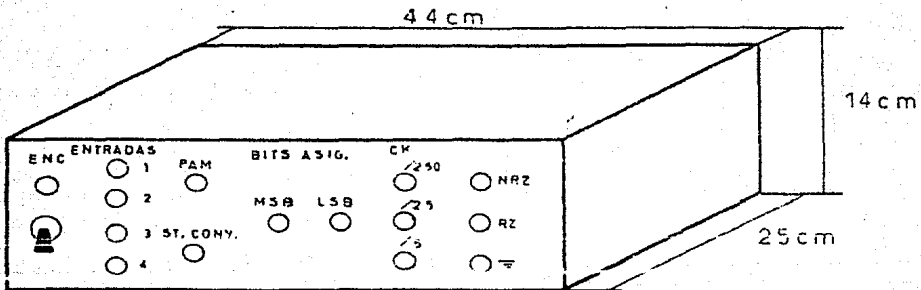
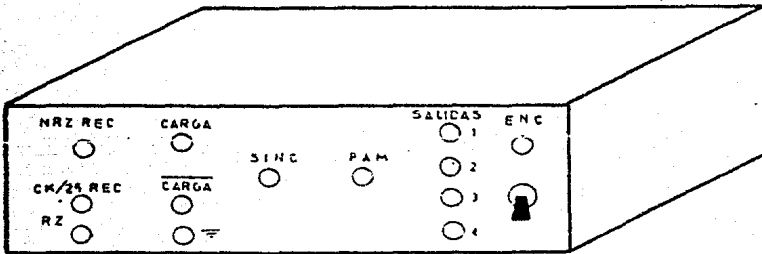


FIGURA 28. TARJETA Y CONECTOR HEMBRA



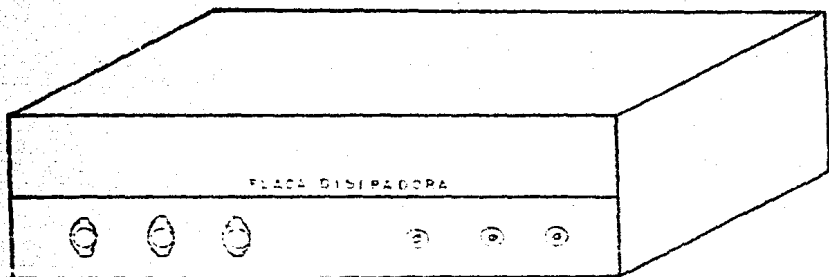
TRANSMISOR



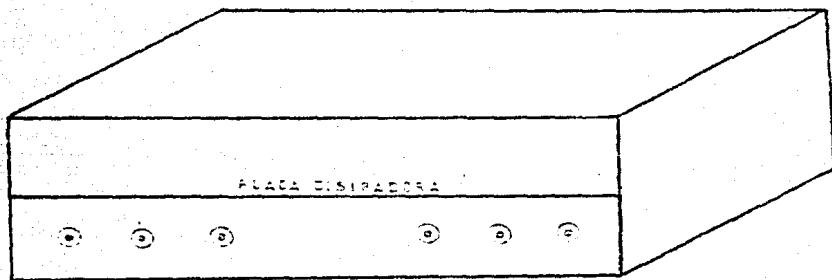
RECEPTOR

DIMENSIONES DE LOS MODULOS

FIGURA 29



TRANSMISOR (PARTE POSTERIOR)



RECEPTOR (PARTE POSTERIOR)

FIGURA 30

CONCLUSIONES.

En éste capítulo trataremos de realizar:

a) Una evaluación técnica del proyecto realizado.

b) Una auto-crítica de la tesis.

c) Desde el planteamiento inicial la tesis fue de proporciones realmente modestas, teniendo en cuenta que es un trabajo que debe realizarse en un lapso de 4 meses y, en este caso particular, por una sola persona. Otro factor limitante en el proyecto, es la obtención de fondos para adquirir los componentes necesarios, ya que la institución no suministra más que sus instalaciones y la asesoría del director de tesis.

Con las limitaciones antes mencionadas, la extensión del proyecto se redujo enormemente, sin embargo los principios fundamentales que se pensaba demostrar, tales como el muestreo, la conversión A/D, D/A y el multiplexaje, pueden ser estudiados sin grandes problemas, usando los aparatos de medición de que se dispone, tal como se puede apreciar por lo anotado en el capítulo de pruebas y experimentos con que concluye la parte técnica de esta tesis. En cuanto a la calidad de la señal de audio recuperada, no es buena, comparada con la obtenida en un sistema telefónico comercial, sobre todo para las frecuencias agudas de la señal.

El problema de la pérdida de información, que ocurre cuando el recuperador de sincronía del receptor se desajusta, no es demasiado grave, ya que sólo se producen algunos clics y cracks esporádicamente.

Con respecto a los dispositivos que se decidió no implementar en el proyecto, podemos enumerar:

- 1) Un sistema de bobinas híbrida, para hacer la comunicación en ambos sentidos.
- 2) Un sistema compresión-expansión para minimizar el ruido de cuantificación producido en los convertidores A/D y D/A.
- 3) Un sistema amplificador de Potencia, conocido como line driver, para recuperar la señal de salida del transmisor a la línea telefónica balanceada.
- 4) Un sistema de protección contra errores binarios causados por el ruido en la línea telefónica.
- 5) Un sistema duplicado de reloj para prevenir la posibilidad de que el reloj que controla el proceso, pueda fallar e interrumpir todas las comunicaciones.
- 6) Un canal telefónico de servicio, que se utiliza para comunicar a los operadores en ambos extremos del sistema.
- 7) La posibilidad de poder enviar información interna de las centrales, junto con la información de la conferencia.

Como se puede apreciar por los 7 puntos mencionados anteriormente, el sistema desarrollado en esta tesis, carece de muchas de las funciones que realiza un equipo comercial; sin embargo si se hubiera considerado incluir estos aspectos en un proyecto, habría sido extremadamente ambicioso y hubiera dejado el tiempo casi agotado para otras posibles tesis.

b) El desarrollo de este proyecto, además de demostrar los principios fundamentales del PCM y de tener las limitaciones antes mencionadas, permitió obtener cierta habilidad en la resolución de problemas de carácter técnico y además, de adquirir cierta habilidad en el manejo de circuitos analógicos y digitales, de tal forma que para futuros proyectos se contará con lo aprendido, además de complementarse con los conocimientos de las clases de teoría, para lograr un mejor aprendizaje y, como consecuencia, desempeñar lo mejor que se pueda el desarrollo de la profesión.

APENDICE

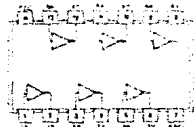
HOJAS DE DATOS DE LOS PRINCIPALES CIRCUITOS INTEGRADOS USADOS

HEX INVERTERS

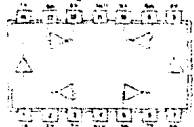
04

Positive Logic:
 $Y = \bar{X}$

See page 6-2



SN5404 (U)	SN7404 (U, N)
SN5404A (U)	SN7404A (U, N)
SN5404A (U)	SN7404A (U, N)
SN5404 (U, W)	SN7404 (U, W)
SN5404A (U, W)	SN7404A (U, W)



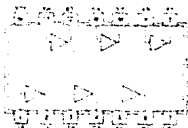
SN5404 (W)
SN5404A (W)
SN7404 (W)

HEX BUFFERS/DRIVERS WITH OPEN COLLECTOR HIGH-VOLTAGE OUTPUTS

07

Positive Logic:
 $Y = X$

See page 6-24



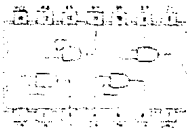
SN5407 (U, W)	SN7407 (U, N)
---------------	---------------

QUADRUPLE 2-INPUT POSITIVE-AND GATES

08

Positive Logic:
 $Y = AB$

See page 6-10



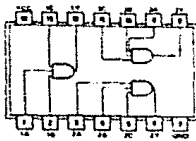
SN5408 (U, W)	SN7408 (U, N)
SN5408A (U, W)	SN7408A (U, N)
SN5408 (U, W)	SN7408 (U, W)

**TRIPLE 3-INPUT
POSITIVE-AND GATES**

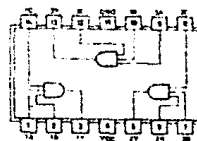
11

positive logic:
 $Y = ABC$

See page 8-10



SN64H11 (J) SN74H11 (J, N)
SN64LS11 (J, W) SN74LS11 (J, N)
SN64S11 (J, W) SN74S11 (J, N)



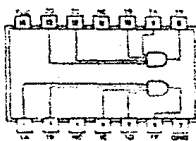
SN54H11 (W)

**DUAL 4-INPUT
POSITIVE-AND GATES**

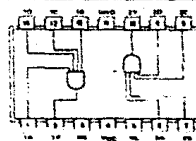
21

positive logic:
 $Y = ABCD$

See page 8-10



SN64H21 (J) SN74H21 (J, N)
SN64LS21 (J, W) SN74LS21 (J, N)



SN54H21 (W)

NC-NOT INTERNAL CONNECTION

**QUADRUPLE 2-INPUT
POSITIVE-OR GATES**

32

positive logic:
 $Y = A+B$

See page 8-28



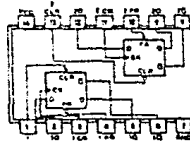
SN64S22 (J, W) SN74S22 (J, N)
SN64LS22 (J, W) SN74LS22 (J, N)
SN64S32 (J, W) SN74S32 (J, N)

DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

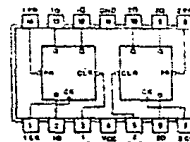
74

FUNCTION TABLE

INPUTS			OUTPUTS	
PRESET	CLEAR	CLOCK	Q	\bar{Q}
L	H	X	X	H
H	L	X	X	L
L	L	X	X	H*
H	H	↑	H	L
H	H	↑	L	H*
H	H	L	X	\bar{Q}_0



SN64S74 (J) SN74S74 (J, N)
SN64S74A (J) SN74S74A (J, N)
SN64L74 (J) SN74L74 (J, N)
SN64LS74A (J, W) SN74LS74A (J, N)
SN64S74 (J, W) SN74S74 (J, N)



SN54S74 (W)
SN64S74A (W)
SN54L74 (TT)

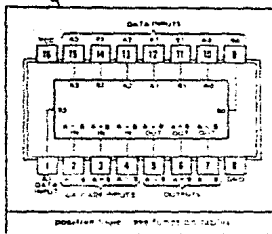
See pages 8-42, 8-50, 8-54, and 8-56

TTL
MSI

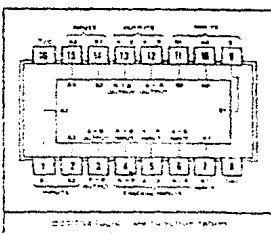
TYPES SN5485, SN54L85, SN54LS85, SN54S85,
SN7485, SN74L85, SN74LS85, SN74S85
4-BIT MAGNITUDE COMPARATORS

BULLETIN NO. DLS 74181C MARCH 1974. REVISED OCTOBER 1974.

SN5485, SN54L85, SN54S85 ... J OR W PACKAGE
SN7485, SN74L85, SN74S85 ... J OR N PACKAGE
(TOP VIEW)



SN54L85 ... J OR N PACKAGE
SN74L85 ... J OR N PACKAGE
(TOP VIEW)



TYPICAL POWER DISSIPATION	TYPICAL DELAY (14-BIT WORDS)
85 275 mW	23 ns
L85 20 mW	90 ns
LS85 52 mW	24 ns
S85 365 mW	11 ns

Description

These four-bit magnitude comparators perform comparison of straight binary and straight BCD (4-A-2-1) codes. Three fully decoded decisions about two 4-bit words (A, B) are made and are externally available at three outputs. These devices are fully expandable to any number of bits with output logic gates. Words of greater length may be compared by connecting comparators in cascade. The A > B, A < B, and A = B outputs of a stage handling less significant bits are connected to the corresponding A > B, A < B, and A = B inputs of the next stage handling more significant bits. The stage handling the least significant bits must have a high-level voltage applied to the A < B input and in addition for the L85, low-level voltages applied to the A > B and A < B inputs. The cascading paths of the 85, LS85, and S85 are implemented with only a two-gate-level delay to reduce overall comparison times for long words. An alternate method of cascading which further reduces the comparison time is shown in the typical application data.

FUNCTION TABLES

COMPARING INPUTS				CASCADING INPUTS				OUTPUTS			
A1-B1	A2-B2	A1-B1	A0-B0	A-B	A < B	A = B	A < B	A > B	A = B	A < B	A > B
A3 > B3	X	X	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	X	X	L	L	L
A3 = B3	A2 > B2	X	X	X	X	X	X	X	L	L	L
A3 = B3	A2 < B2	X	X	X	X	X	X	X	L	L	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	X	X	L	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	X	X	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	X	X	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	X	X	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	X	X	X	L	L	L

LS, LS85, S85

A3 > B3	A2 > B2	A1 < B1	A0 > B0	H	X	H	L	L	L	H
A3 > B3	A2 > B2	A1 < B1	A0 > B0	H	H	L	L	L	L	L
A3 > B3	A2 > B2	A1 < B1	A0 > B0	L	L	L	H	H	L	L

L85

A3 > B3	A2 > B2	A1 < B1	A0 > B0	L	H	H	L	H	H	L
A3 > B3	A2 > B2	A1 < B1	A0 > B0	H	L	H	H	H	L	H
A3 > B3	A2 > B2	A1 < B1	A0 > B0	H	H	H	H	H	H	H
A3 > B3	A2 > B2	A1 < B1	A0 > B0	H	H	L	H	H	L	L
A3 > B3	A2 > B2	A1 < B1	A0 > B0	L	L	L	L	L	L	L

H = High level, L = Low level, X = Don't care

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5015 • DALLAS, TEXAS 75220

7-57

TTL
MSI

TYPES SN5490A, SN5492A, SN5493A, SN54L90, SN54L93,
SN54LS90, SN54LS92, SN54LS93, SN7490A, SN7492A, SN7493A,
SN74L90, SN74L93, SN74LS90, SN74LS92, SN74LS93
DECADE, DIVIDE-BY-TWELVE, AND BINARY COUNTERS

BULLETIN NO. DL'S 781807, MARCH 1974—REVISED OCTOBER 1978

'90A, 'L90, 'LS90 ... DECADE COUNTERS

'92A, 'LS92 ... DIVIDE-BY-TWELVE
COUNTERS

'93A, 'L93, 'LS93 ... 4-BIT BINARY
COUNTERS

TYPES	TYPICAL POWER DISSIPATION
'90A	145 mW
'L90	20 mW
'LS90	45 mW
'92A, '93A	130 mW
'LS92, 'LS93	45 mW
'L93	16 mW

description

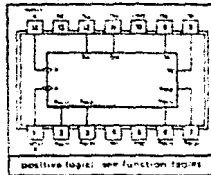
Each of these monolithic counters contains four master-slave flip-flops and additional gating to provide a divide-by-two counter and a three stage binary counter for which the count cycle length is divide by four for the '90A, 'L90, and 'LS90, divide by six for the '92A and 'LS92, and divide by eight for the '93A, 'L93, and 'LS93.

All of these counters have a gated zero reset and the '90A, 'L90, and 'LS90 also have gated set-to-nine inputs for use in BCD nine's complement applications.

To use their maximum count length (decade, divide by twelve, or four bit binary) of these counters, the B input is connected to the QA output. The input count pulses are applied to input A and the outputs are as described in the appropriate function table. A symmetrical divide-by-ten count can be obtained from the '90A, 'L90, or 'LS90 counters by connecting the Qp output to the A input and applying the input count to the B input which gives a divide by ten square wave at output Q_A.

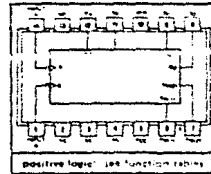
SN54', SN54LS' ... J OR W PACKAGE
SN54L' ... J OR T PACKAGE
SN54', SN74L', SN74LS' ... J OR N PACKAGE

'90A, 'L90, 'LS90 (TOP VIEW)



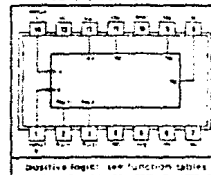
Positive logic; see function tables

'92A, 'LS92 (TOP VIEW)



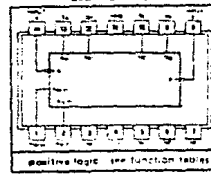
Positive logic; see function tables

'93A, 'LS93 (TOP VIEW)



Positive logic; see function tables

'L93 (TOP VIEW)



Positive logic; see function tables
NC - No internal connection

TYPES SN54122, SN54123, SN54L122, SN54L123, SN54LS122, SN54LS123, SN74122, SN74123, SN74L122, SN74L123, SN74LS122, SN74LS123 RETRIGGERABLE MONOSTABLE MULTIVIBRATORS

- D-C Triggered from Active-High or Active Low Gated Logic Inputs
- Retriggerable for Very Long Output Pulses, Up to 100% Duty Cycle
- Overriding Clear Terminates Output Pulse
- Compensated for VCC and Temperature Variations
- '122, 'L122, LS122 Have Internal Timing Resistors

122, 'L122, LS122
FUNCTION TABLE

INPUTS				OUTPUTS	
CLR	A1	A2	B1	Q	Q'
X	X	X	X	L	H
X	X	X	X	H	L
X	X	X	0	L	H
X	X	X	1	H	L
X	X	0	X	L	H
X	X	1	X	H	L
X	0	X	X	L	H
X	1	X	X	H	L
0	X	X	X	L	H
1	X	X	X	H	L
X	X	X	0	L	H
X	X	X	1	H	L
X	X	0	0	L	H
X	X	0	1	H	L
X	X	1	0	L	H
X	X	1	1	H	L

'122, 'L122, LS123
FUNCTION TABLE

INPUTS				OUTPUTS	
CLR	A	B	Q	Q'	
X	X	X	L	H	
X	X	X	H	L	
X	X	0	L	H	
X	X	1	H	L	
X	0	X	L	H	
X	1	X	H	L	
0	X	X	L	H	
1	X	X	H	L	
X	X	0	L	H	
X	X	1	H	L	
X	X	0	L	H	
X	X	1	H	L	
X	0	0	L	H	
X	0	1	H	L	
X	1	0	L	H	
X	1	1	H	L	

See explanation of function tables on page 28.

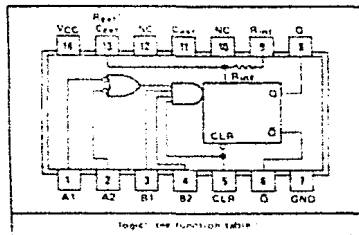
description

These dc triggered multivibrators feature output pulse width control by three methods. The basic pulse time is programmed by selection of external resistance and capacitance values (see typical application data). The '122, 'L122, and LS122 have internal timing resistors that allow the circuits to be used with only an external capacitor, if so desired. Once triggered, the basic pulse width may be extended by retriggering at a gated low-level active (A1) or high-level active (B) inputs, or be reduced by use of the overriding clear. Figure 1 illustrates pulse control by retriggering and early clear.

The LS122 and LS123 are provided enough Schmitt hysteresis to assure jitter free triggering from the B input with transition rates as slow as 0.1 millivolt per nanosecond.

- NOTE 1. An external timing capacitor may be connected between C_{ext} and R_{int}/C_{ext} (pin 10):
1. To use a single timing resistor on '122, 'L122 or LS122, connect R_{int} to VCC.
 2. For improved pulse width accuracy and temperature stability, connect an external resistor between R_{int}/C_{ext} and VCC with R_{int} open-circuited.
 3. To obtain variable pulse widths, connect an external variable resistor between R_{int}/C_{ext} and VCC.

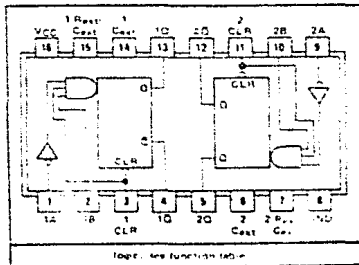
SN54122, SN54LS122 JOR W
SN54L122 JOR T
SN74122, SN74L122, SN74LS122 JOR N
(TOP VIEW) (SEE NOTES 1 THRU 4)



Logic: see function table

NC = No internal connection

SN54123, SN74LS123 JOR W
SN54L123 JOR T
SN74123, SN74L123, SN74LS123 JOR N
(TOP VIEW) (SEE NOTES 1 THRU 4)



Logic: see function table

TYPES SN54122, SN74122, SN54123, SN74123 SN54L122, SN74L122, SN54L123, SN74L123, RETRIGGERABLE MONOSTABLE MULTIVIBRATORS

TYPICAL APPLICATION DATA FOR '122, '123, 'L122, 'L123

For pulse widths when $C_{ext} < 1000$ pF, See Figures 4 and 5.

The output pulse is primarily a function of the external capacitor and resistor. For $C_{ext} > 1000$ pF, the output pulse width (t_w) is defined as:

$$t_w = K \cdot R_T \cdot C_{ext} \left(1 + \frac{0.7}{R_T} \right)$$

where

K is 0.32 for '122, 0.28 for '123,
0.37 for 'L122, 0.33 for 'L123

R_T is in $k\Omega$ (internal or external timing resistance).

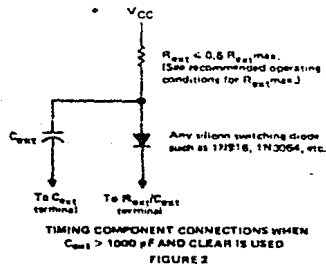
C_{ext} is in pF

t_{cl} is in microseconds

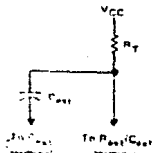
To prevent reverse voltage across C_{ext} , it is recommended that the method shown in Figure 2 be employed when using electrolytic capacitors and in applications utilizing the clear function. In all applications using the diode, the pulse width is:

$$t_w = K_D \cdot R_T \cdot C_{ext} \left(1 + \frac{0.7}{R_T} \right)$$

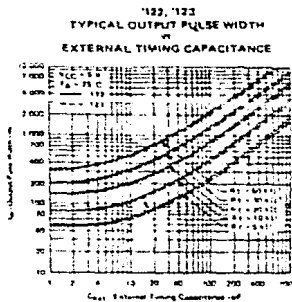
K_D is 0.28 for '122, 0.25 for '123,
0.33 for 'L122, 0.29 for 'L123



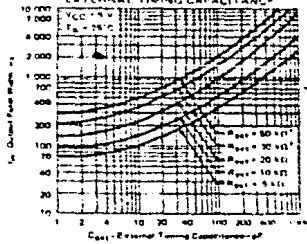
Applications requiring more precise pulse widths (up to 28 seconds) and not requiring the clear feature can best be satisfied with the '121 or 'L121.



'122, '123
TYPICAL OUTPUT PULSE WIDTH
vs
EXTERNAL TIMING CAPACITANCE



'L122
TYPICAL OUTPUT PULSE WIDTH
vs
EXTERNAL TIMING CAPACITANCE



* These values of resistance exceed the maximum recommended value for the full temperature range of the SN54 and SN74.

TYPES SN54150, SN54151A, SN54152A, SN54LS151, SN54LS152, SN54LS151,
SN74150, SN74151A, SN74LS151, SN74LS151
DATA SELECTORS/MULTIPLEXERS

SHEET 1 OF 2, DLS 151-152A, DECEMBER 1972, REVISED OCTOBER 1973

- '150 Selects One-of-Sixteen-Data Sources
- Others Select One-of-Eight Data Sources
- Performs Parallel-to-Serial Conversion
- Permits Multiplexing from N Lines to One Line
- Also For use as Boolean Function Generator
- Input-Clamping Diodes Simplify System Design
- Fully Compatible with Most TTL and DTL Circuits

TYPE	TYPICAL AVERAGE		TYPICAL POWER DISSSIPATION
	PROPAGATION DELAY TIME	DATA INPUT TO W OUTPUT	
'150	11 ns	230-mW	
'151A	8 ns	145-mW	
'152A	8 ns	130-mW	
'LS151	11 ns†	30-mW	
'LS152	11 ns†	28-mW	
'S151	4.5 ns	225-mW	

† Tentative data

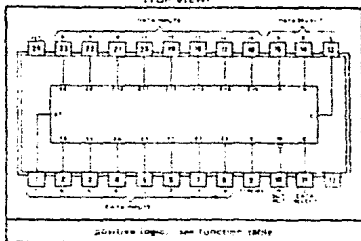
description

These monolithic data selectors/multiplexers contain full on-chip binary decoding to select the desired data source. The '150 selects one of sixteen data sources; the '151A, '152A, 'LS151, 'LS152, and 'S151 select one of eight data sources. The '150, '151A, 'LS151, and 'S151 have a strobe input which must be at a low logic level to enable these devices. A high level at the strobe forces the W output high, and the Y output (as applicable) low.

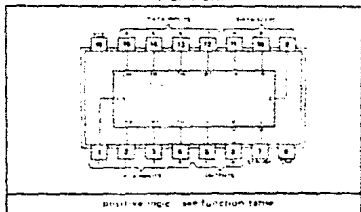
The '151A, 'LS151, and 'S151 feature complementary W and Y outputs whereas the '150, '152A, and 'LS152 have an inverted (W) output only.

The '151A and '152A incorporate address buffers which have symmetrical propagation delay times through the complementary paths. This reduces the possibility of transients occurring at the output(s) due to changes made at the select inputs, even when the '151A outputs are enabled (i.e., strobe low).

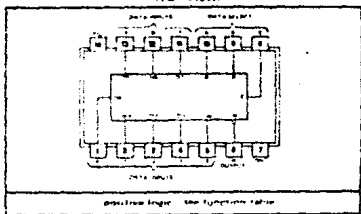
SN54150 ... J OR W PACKAGE
SN74150 ... J OR N PACKAGE
(TOP VIEW)



SN54151A, SN74151A, SN54LS151, SN74LS151 ... J OR W PACKAGE
SN74LS151 ... J OR N PACKAGE
(TOP VIEW)



SN54152A, SN54LS152 ... W PACKAGE
(TOP VIEW)



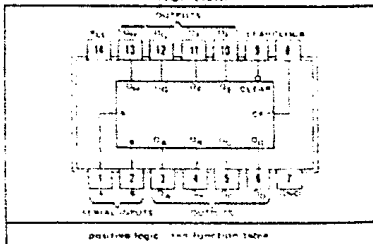
TTL TYPES SN54164, SN54L164, SN54LS164, SN74164, SN74L164, SN74LS164 MSI

8-BIT PARALLEL-OUT SERIAL SHIFT REGISTERS

BULLETIN NO. DLS 1011925, MARCH 1974, REVISED OCTOBER 1974

- Gated (Enable/Disable) Serial Inputs
- Fully Buffered Clock and Serial Inputs
- Asynchronous Clear

SN54164, SN54LS164 ... J OR W PACKAGE
SN74164, SN74LS164 ... J, J, N, OR T PACKAGE
SN54L164, SN74L164 ... J OR N PACKAGE
TOP VIEW



TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
164	36 MHz	21 mW per bit
L164	18 MHz	11 mW per bit
LS164	36 MHz	10 mW per bit

description

These 8-bit shift registers feature gated serial inputs and an asynchronous clear. The gated serial inputs (A and B) permit complete control over incoming data as a low at either (or both inputs) inhibits entry of the new data and resets the first flip-flop to the low level at the next clock pulse. A high level input enables the other input which will then determine the state of the first flip-flop. Data at the serial inputs may be changed while the clock is high or low, but only information meeting the setup requirements will be entered. Clocking occurs on the low to high level transition of the clock input. All inputs are diode clamped to minimize transmission line effects.

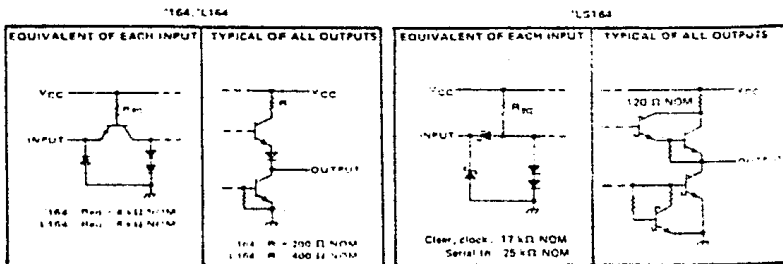
Series 54, 54L, and 54LS devices are characterized for operation over the full military temperature range of -55°C to 125°C. Series 74, 74L, and 74LS devices are characterized for operation from 0°C to 70°C.

FUNCTION TABLE

INPUTS		OUTPUTS									
CLRN	CLOCK	A	B	QA	QB	QC	QD	QE	QF	QG	QH
L	X	X	X	L	L	L	L	L	L	L	L
H	L	X	X	QA0	QB0	QC0	QD0	QE0	QF0	QG0	QH0
H	L	H	H	QA1	QB1	QC1	QD1	QE1	QF1	QG1	QH1
H	L	L	X	QA2	QB2	QC2	QD2	QE2	QF2	QG2	QH2
H	L	X	L	QA3	QB3	QC3	QD3	QE3	QF3	QG3	QH3

H = high level (steady state), L = low level (steady state), X = irrelevant (any input, including transition) and ? = transition from low to high level.
QA0, QB0, QC0 = the level of QA, QB, or QC, respectively, before the next steady state input conditions were established.
QA1, QB1, QC1 = the level of QA, QB, or QC, respectively, before the most recent ? transition at the clock, indicates a one-bit shift.

schematics of inputs and outputs





LM119/LM219/LM319 High Speed Dual Comparator

General Description

The LM119 series are precision high speed dual comparators fabricated on a single monolithic chip. They are designed to operate over a wide range of supply voltages down to a single 5V logic supply and ground. Further, they have higher gain and lower input currents than devices like the LM710. The uncommitted collector of the output stage makes the LM119 compatible with RTL, DTL and TTL as well as capable of driving lamps and relays at currents up to 25 mA. Outstanding features include:

Features

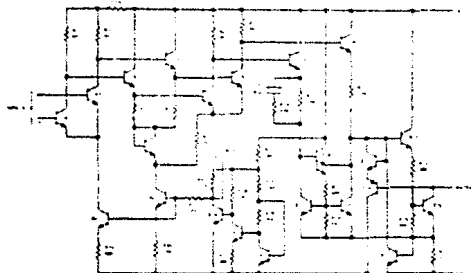
- Two independent comparators
- Operates from a single or dual supply
- Typically 80 ns response time at $\pm 15V$
- Minimum fan-out of 2 each side

- Maximum input current of 1 μA over temperature
- Inputs and outputs can be isolated from system ground
- High common mode rejection

Although designed primarily for applications requiring operation from digital logic supplies, the LM119 series are fully specified for power supplies up to $\pm 15V$. It features faster response than the LM710 at the expense of higher power dissipation. However, the high speed wide operating voltage range and low package count make the LM119 much more versatile than older devices like the LM211.

The LM119 is specified from $-55^{\circ}C$ to $+125^{\circ}C$, the LM219 is specified from $-25^{\circ}C$ to $+85^{\circ}C$, and the LM319 is specified from $0^{\circ}C$ to $+70^{\circ}C$.

Schematic and Connection Diagrams



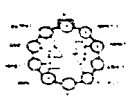
Dual In-Line Package



Order Number LM219N
See NS Package #18A

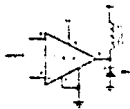
Order Number LM119J, LM219J
or LM319J
See NS Package #18A

Metal Can Package

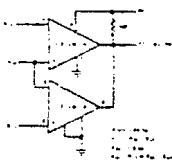


Order Number LM119H, LM219H
or LM319H
See NS Package #10C

Typical Applications



Relay Driver



Window Detector

INTEGRATED CIRCUITS

TYPES TL060 THROUGH TL065, TL081A THROUGH TL084A, TL081B, TL082B, TL084B JFET-INPUT OPERATIONAL AMPLIFIERS

BULLETIN NO. DLS 12484 FEBRUARY 1977, REVISED OCTOBER 1978

24 DEVICES COVER COMMERCIAL, INDUSTRIAL, AND MILITARY TEMPERATURE RANGES

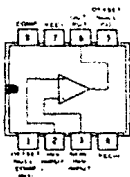
- Low Power Consumption
- Wide Common-Mode and Differential Voltage Ranges
- Low Input Bias and Offset Currents
- Output Short-Circuit Protection
- High Input Impedance . . . JFET-Input Stage
- Internal Frequency Compensation (Except TL080, TL080A)
- Latch-Up-Free Operation
- High Slew Rate . . . 13 V/ μ s Typ

description

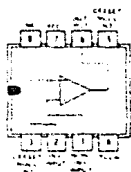
The TL081 JFET-input operational amplifier family is designed to offer a wider selection than any previously developed operational amplifier family. Each of these JFET-input operational amplifiers incorporates well-matched, high-voltage JFET and bipolar transistors in a monolithic integrated circuit. The devices feature high slew rates, low input bias and offset currents, and low offset voltage temperature coefficient. Offset adjustment and external compensation options are available within the TL081 Family.

Device types with an "M" suffix are characterized for operation over the full military temperature range of -55°C to 125°C , those with an "H" suffix are characterized for operation from -25°C to 85°C and those with a "C" suffix are characterized for operation from 0°C to 70°C .

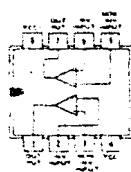
TL060, TL060A
JG OR P DUAL-IN-LINE
PACKAGE (TOP VIEW)



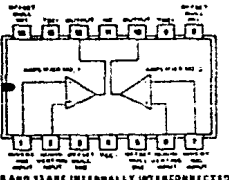
TL081, TL081A, TL081B
JG OR P DUAL-IN-LINE
PACKAGE (TOP VIEW)



TL082, TL082A, TL082B
JG OR P DUAL-IN-LINE
PACKAGE (TOP VIEW)

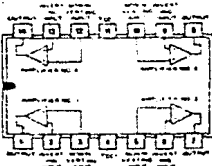


TL083, TL083A
J OR N DUAL-IN-LINE
PACKAGE (TOP VIEW)

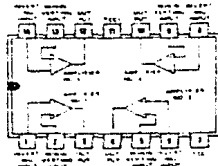


PINS 7 AND 8 ARE INTERNALLY INTERCONNECTED

TL084, TL084A, TL084B
J OR N DUAL IN LINE
OR W FLAT PACKAGE
(TOP VIEW)



TL065
N DUAL IN LINE
PACKAGE (TOP VIEW)



NC—NO Internal Connection

Copyright © 1979 by Texas Instruments Incorporated

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 235012 • DALLAS, TEXAS 75225

139

LINEAR INTEGRATED CIRCUITS

TYPES TL601, TL604, TL607, TL610 P-MOS ANALOG SWITCHES

BULLETIN NO. DL5 12401, JUNE 1976—REVISED OCTOBER 1977

- Switches ± 10 -V Analog Signals
- TTL/DTL Logic Capability
- 5- to 30-V Supply Ranges
- Low (100Ω) On-State Resistance
- High ($10^{11} \Omega$) Off-State Resistance
- 8-Pin Functions

description

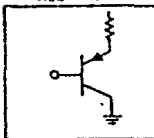
The TL601, TL604, TL607, and TL610 are a family of monolithic P-MOS analog switches that provide fast switching speeds with high *loff/on* ratio and no offset voltage. The p-channel enhancement-type MOS switches will accept analog signals up to ± 10 volts and are controlled by TTL-compatible logic inputs. The monolithic structure is made possible by Bi-MOS technology, which combines p-channel MOS with standard bipolar transistors.

These switches are particularly suited for use in military, industrial, and commercial applications such as data acquisition, multiplexers, A/D and D/A converters, MODEMS, sample-and-hold systems, signal multiplexing, integrators, programmable operational amplifiers, programmable voltage regulators, crosspoint switching networks, logic interface, and many other analog systems.

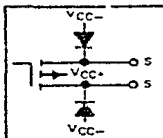
The TL601 is an SPDT switch with two logic control inputs. The TL604 is a dual complementary SPST switch with a single control input. The TL607 is an SPDT switch with one logic control input and one enable input. The TL610 is an SPST switch with three logic control inputs. The TL610 features a higher *loff/on* ratio than the other members of the family.

The TL601M, TL604M, TL607M, and TL610M are characterized for operation over the full military temperature range of -55°C to 125°C , the TL601I, TL604I, TL607I, and TL610I are characterized for operation from -25°C to 85°C , and the TL601C, TL604C, TL607C, and TL610C are characterized for operation from 0°C to 70°C .

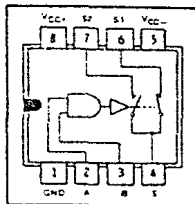
TYPICAL OF
ALL INPUTS



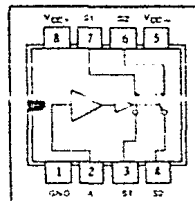
TYPICAL OF
ALL SWITCHES



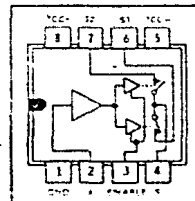
JG GR P DUAL IN-LINE PACKAGE (TOP VIEW)
TL601



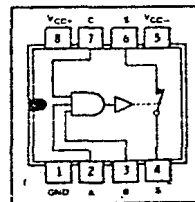
TL604



TL607



TL610

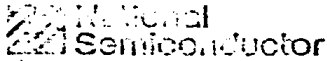


Switch positions shown are for all inputs high.

Copyright © 1979 by Texas Instruments Incorporated

TEXAS INSTRUMENTS
INCORPORATED

POST OFFICE BOX 225012 • DALLAS, TEXAS 75225



CD4024BM/CD4024BC 7-Stage Ripple Carry Binary Counter

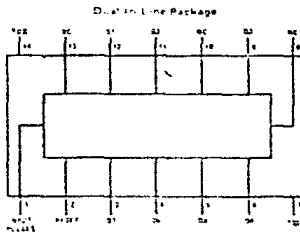
General Description

The CD4024BM/CD4024BC is a 7-stage ripple carry binary counter. Buffered outputs are externally available from stages 1 through 7. The counter is reset to its logical "0" state by a logical "1" on the reset input. The counter is advanced one count on the negative transition of each clock pulse.

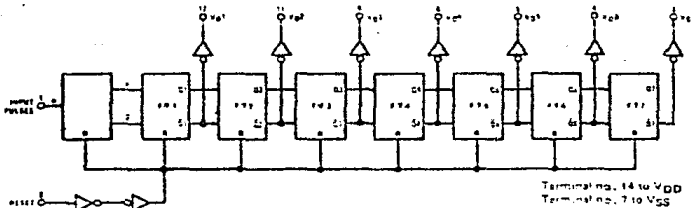
Features

- Wide supply voltage range 3.0V to 15V
- High noise immunity 0.45V_{DD} (typ.)
- Low power TTL compatible 100µA (fan out of 2 driving 74L or 1 driving 74LS)
- High speed 12MHz (typ.)
- Fully static operation input pulse rate V_{DD} - V_{SS} = 10V

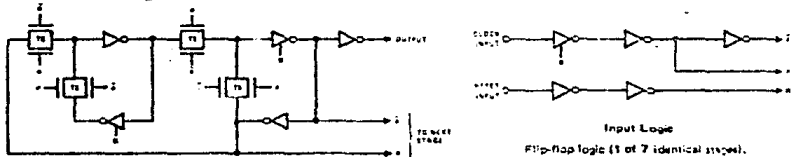
Connection Diagram



Logic Diagram



Schematic Diagram





CD4047BM/CD4047BC Low Power Monostable/Astable Multivibrator

General Description

CD4047B is capable of operating in either the monostable or astable mode. It requires an external capacitor (between pins 1 and 3) and an external resistor (between pins 2 and 3) to determine the output pulse width in the monostable mode, and the output frequency in the astable mode.

Astable operation is enabled by a high level on the astable input or low level on the stable input. The output frequency (at 50% duty cycle) at Q and \bar{Q} outputs is determined by the timing components. A frequency value that of Q is available at the Oscillator Output; a 50% duty cycle is not guaranteed.

Monostable operation is obtained when the device is triggered by low-to-high transition at + trigger input or high-to-low transition at - trigger input. The device can be retrigged by applying a simultaneous low-to-high transition to both the + trigger and retrigger inputs.

A high level on Reset input resets the outputs Q to low, \bar{Q} to high.

Features

- Wide supply voltage range 3.0V to 15V
- High noise immunity 0.45 Vpp (typ)
- Low power TTL compatibility fan out of 2 driving 74L or 1 driving 74LS

SPECIAL FEATURES

- Low power consumption: special CMOS oscillator configuration
- Monostable (one-shot) or astable (free-running) operation
- True and complemented buffered outputs
- Only one external R and C required

MONOSTABLE MULTIVIBRATOR FEATURES

- Positive- or negative-edge trigger
- Output pulse width independent of trigger pulse duration
- Retriggerable option for pulse width expansion
- Long pulse widths possible using small RC components by means of external counter provision
- Fast recovery time essentially independent of pulse width
- Pulse-width accuracy maintained at duty cycles approaching 100%

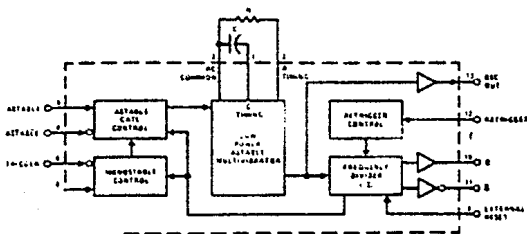
ASTABLE MULTIVIBRATOR FEATURES

- Free-running or gated operating modes
- 50% duty cycle
- Oscillator output available
- Good astable frequency stability
 - typical $\pm 2\% + 0.03\%/^{\circ}\text{C} @ 100\text{kHz}$
 - frequency $\pm 0.5\% + 0.015\%/^{\circ}\text{C} @ 10\text{kHz}$
 - deviation (circuits trimmed to frequency $V_{DD} = 10\text{V} \pm 10\%$)

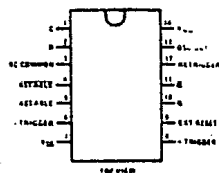
Applications

- Frequency discriminators
- Timing circuits
- Time-delay applications
- Envelope detection
- Frequency multiplication
- Frequency division

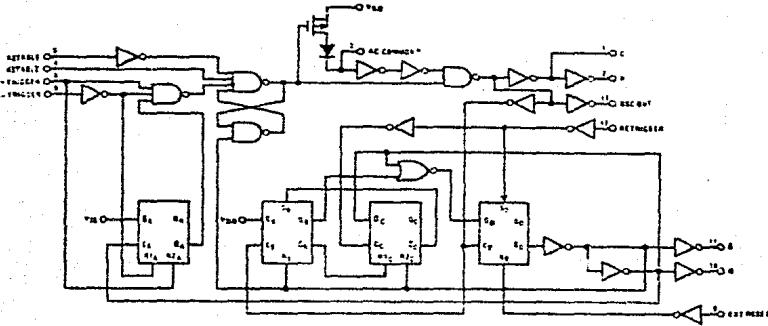
Block and Connection Diagrams



Dual-In-Line and Flat Package



Logic Diagram



*Output is inverted to permit larger input voltage swings

74047B/CO4047BC

Truth Table

FUNCTION	TERMINAL CONNECTIONS			OUTPUT PULSE FROM	TYPICAL OUTPUT PERIOD OR PULSE WIDTH
	TO VDD	TO VSS	INPUT PULSE TO		
Astable Multivibrator					
Free-Running	4, 5, 8, 14	7, 8, 9, 12		10, 11, 13	$t_A(10, 11) = 4.40 RC$
True Gating	4, 5, 14	7, 8, 9, 12	5	10, 11, 13	$t_A(13) = 2.20 RC$
Complement Gating	8, 14	5, 7, 8, 9, 12	4	10, 11, 13	
Monostable Multivibrator					
Positive-Edge Trigger	4, 14	5, 6, 7, 9, 12	9	10, 11	
Negative-Edge Trigger	4, 8, 14	5, 7, 9, 12	6	10, 11	$t_M(10, 11) = 2.48 RC$
Retriggerable	4, 14	5, 6, 7, 9	8, 12	10, 11	
External Countdown*	14	5, 6, 7, 8, 9, 12	(See Figure)	(See Figure)	(See Figure)

5

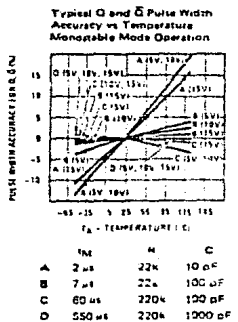
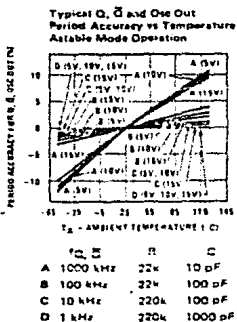
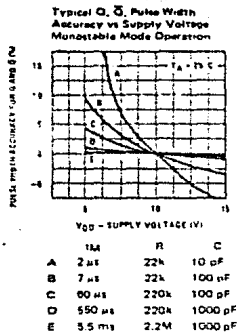
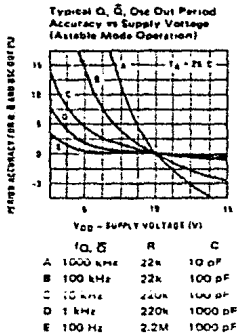
Note: External resistor between terminals 2 and 3. External capacitor between terminals 1 and 3

* Typical Implementation of External Countdown Option

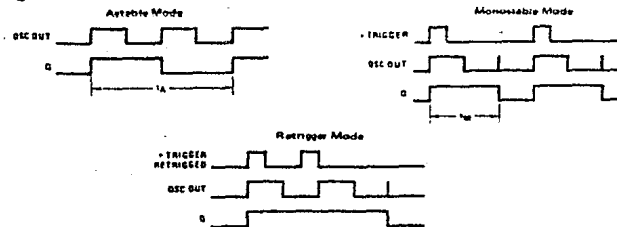


$$t_{EXT} = (N - 1) t_A = (1M - 1) t_A(2)$$

Typical Performance Characteristics



Timing Diagram





CD4069M/CD4069C Inverter Circuits

General Description

The CD4069B consists of six inverter circuits and is manufactured using complementary MOS (CMOS) to achieve wide power supply operating range, low power consumption, high noise immunity, and symmetric controlled rise and fall times.

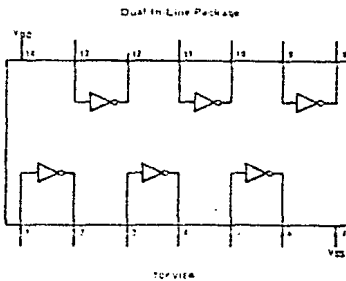
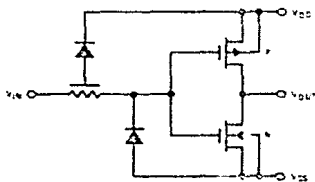
This device is intended for all general purpose inverter applications where the special characteristics of the MM74C901, MM74C953, MM74C907, and CD4049A Hex Inverter Buffers are not required. In those applications where better signal noise immunity the MM74C14 or MM74C04 Hex Schmitt Trigger is suggested.

All inputs are protected from damage due to static discharge by diode clamps to V_{DD} and V_{SS} .

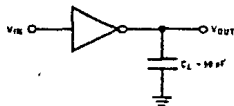
Features

- Wide supply voltage range 3.0V to 15V
- High noise immunity 0.45 V_{DD} typ.
- Low power TTL fan out of 2 driving 74L
- Low capacitance or 1 driving 74LS
- Equivalent to MM54C04/MM74C04

Schematic and Connection Diagrams



AC Test Circuits and Switching Time Waveforms





CD4073BM/CD4073BC Double Buffered Triple 3-Input AND Gate

CD4075BM/CD4075BC Double Buffered Triple 3-Input OR Gate

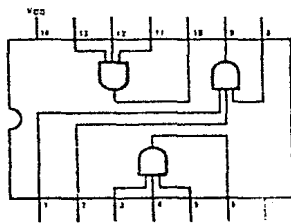
General Description

These triple gates are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement mode transistors. They have equal source and sink current capabilities and conform to standard B series output drive. The devices also have buffered outputs which improve transfer characteristics by providing very high gain. All inputs are protected against static discharge with diodes to V_{DD} and V_{SS} .

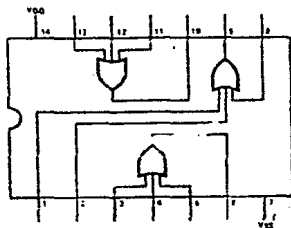
Features

- Wide supply voltage range 3.0 V to 15 V
- High noise immunity 0.45 V_{DD} typ.
- Low power TTL compatibility fan out of 2 driving 74L or 1 driving 74LS
- 5 V - 10 V - 15 V parametric ratings
- Symmetrical output characteristics
- Maximum input leakage 1 μ A at 15 V over full temperature range

Connection Diagrams



CD4073 Triple 3-Input AND Gate
TOP VIEW



CD4075C Triple 3-Input OR Gate
TOP VIEW

2007 National
Semiconductor

**CD4071BM/CD4071BC Quad 2-Input OR Buffered
B Series Gate**
**CD4081BM/CD4081BC Quad 2-Input AND Buffered
B Series Gate**

General Description

These quad gates are monolithic complementary MOS (CMOS) integrated circuits constructed with N- and P-channel enhancement mode transistors. They have equal source and sink current capabilities, and conform to standard B series output drive. The devices also have buffered outputs which improve propagation characteristics by providing very high gain.

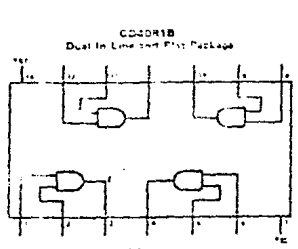
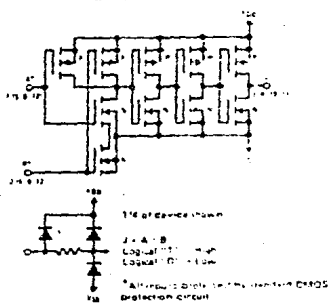
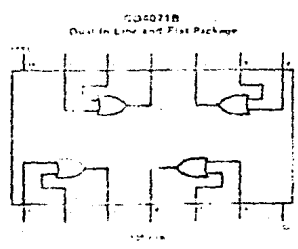
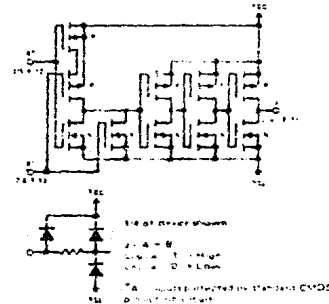
All inputs protected against static discharge with diodes to V_{DD} and V_{SS} .

Features

- Low power TTL compatibility
- 5 V-10-15 V parametric ratings
- Symmetrical output characteristics
- Maximum input leakage 1 μ A at 15 V over full temperature range

fan out of 2 driving 74L or 1 driving 74LS

Schematic and Connection Diagrams





National
Semiconductor

ADC0800 (MM4357B/MM5357B) 8-Bit A/D Converter

A to D, D to A

General Description

The ADC0800 is an 8-bit monolithic A/D converter using P channel non-implanted MOS technology. It contains a high input impedance comparator, 256 μ sec resistors and analog switches, control logic and output latches. Conversion is performed using a successive approximation technique where the unknown analog voltage is compared to the resistor tie points using analog switches. When the appropriate tie point voltage matches the unknown voltage, conversion is complete and the digital outputs contain an 8-bit complementary binary word corresponding to the unknown. The binary output is TRI-STATE[®] to permit buffering on common data lines.

The ADC0800PD is specified over -55°C to $+125^{\circ}\text{C}$ and the ADC0800PCD is specified over 0°C to 70°C .

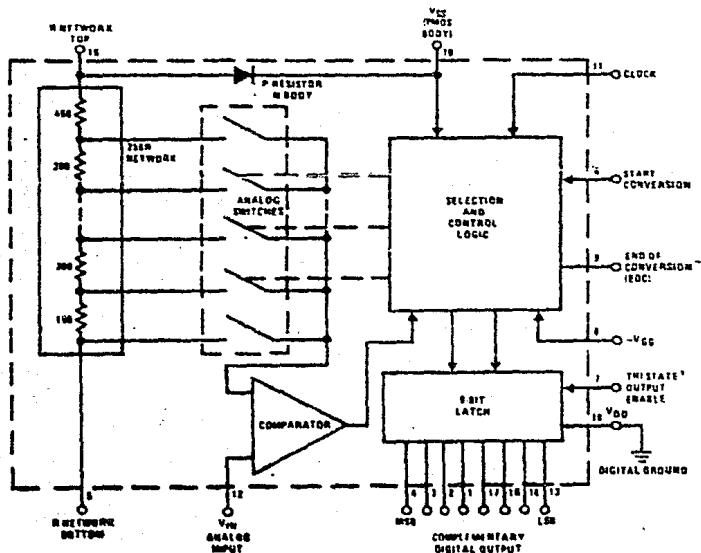
Features

- Low cost
- $+5\text{V}$, 10V input ranges
- No missing codes
- Ratio-metric conversion
- TRI-STATE outputs
- Fast
- Contains output latches
- TTL compatible
- Supply voltages
- Resolution
- Linearity
- Conversion speed
- Clock range

$$T_C = 50 \mu\text{s}$$

5 VDC and -12VDC
8 bits
 $\pm 1\text{LSB}$
40 clock periods
50 to 800 kHz

Block Diagram



DAC0800 (LMDAC08) 8-Bit Digital-to-Analog Converter

General Description

The DAC08 is a monolithic 8-bit high-speed current-output digital-to-analog converter (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC08 also features high compliance complementary current outputs to allow differential output voltages of 20 V_op with simple resistor loads as shown in Figure 1. The reference-to-full-scale current matching of better than ± 1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than $\pm 0.1\%$ over temperature minimizes system error accumulation.

The noise-immune inputs of the DAC08 will accept TTL levels with the logic threshold pin, V_{LC}, pin 1 grounded. Simple adjustments of the V_{LC} potentiometer allow direct interface to all logic families. The performance and characteristics of the device are essentially unchanged over the full ± 4.5 V to ± 18 V power supply range; power dissipation is only 33 mW with ± 5 V supplies and is independent of the logic input states.

The DAC0800L, DAC0802L, DAC0800LC, DAC0801LC and DAC0802LC are a direct replacement for the DAC08, DAC080A, DAC08C, DAC08E and DAC08H, respectively.

Features

- Fast settling output current 100 ns
- Full scale error ± 1 LSB
- Nonlinearity over temperature $\pm 0.1\%$
- Full scale current drift $\pm 10 \mu\text{m}/^\circ\text{C}$
- High output compliance $-10\text{V to }+18\text{V}$
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and other
- 2 quadrant wide range multiplying capability
- Wide power supply range ± 4.5 V to ± 18 V
- Low power consumption 33 mW at ± 5 V
- Low cost

Typical Applications

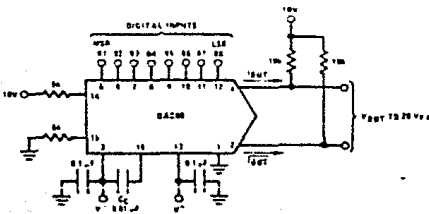
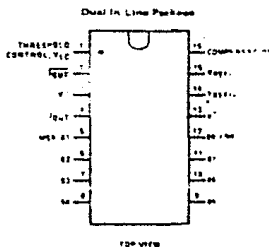


FIGURE 1. 20 V_op Output Digital-to-Analog Converter

Connection Diagram

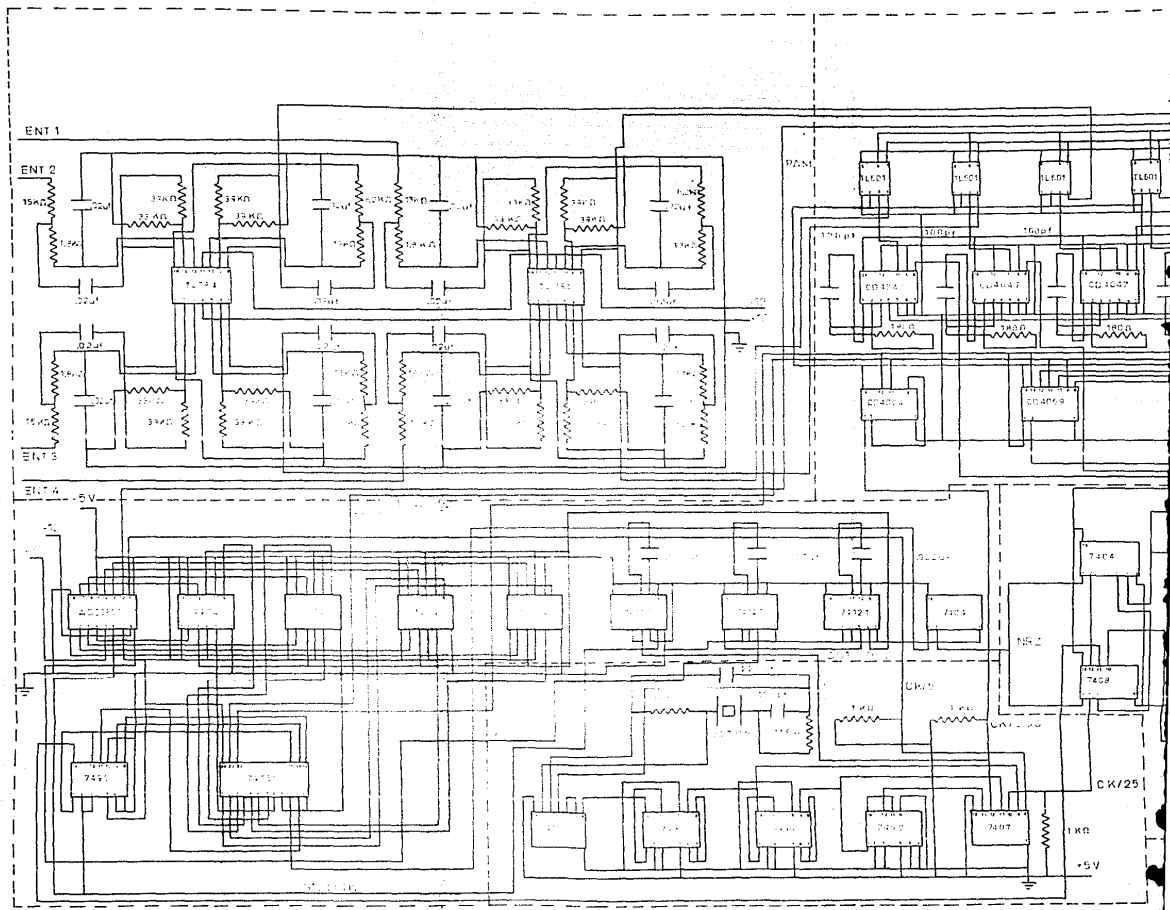


Ordering Information

NON LINEARITY	TEMPERATURE RANGE	ORDER NUMBERS*					
		D PACKAGE (DIP18)		J PACKAGE (J18A)		N PACKAGE (N18A)	
$\pm 0.1\%$ FS	$0^\circ\text{C}; T_A < +125^\circ\text{C}$	DAC0800D	LMDAC08D	DAC0802LC	LMDAC08H	DAC0801LC	LMDAC08H
$\pm 0.1\%$ FS	$0^\circ\text{C}; T_A < +70^\circ\text{C}$			DAC0800LC	LMDAC08F	DAC0801LC	LMDAC08F
$\pm 0.1\%$ FS	$55^\circ\text{C}; T_A < +125^\circ\text{C}$			DAC0801LC	LMDAC08E	DAC0802LC	LMDAC08E
$\pm 0.1\%$ FS	$0^\circ\text{C}; T_A < +70^\circ\text{C}$			DAC0802LC	LMDAC08C	DAC0801LC	LMDAC08C
$\pm 0.3\%$ FS	$0^\circ\text{C}; T_A < +70^\circ\text{C}$					DAC0801LC	LMDAC08B

BIBLIOGRAFIA

- 1.- Introducción a la teoría y sistemas de comunicaciones
B. P. Lathi. Editorial Limusa
- 2.- Transmisión de información, Modulación y Ruido
Mischa Schwartz. Editorial Mc. Graw Hill
- 3.- Principios de Comunicaciones
Ziemer y Tranter. Editorial Trillas
- 4.- The TTL Data Book
Texas Instruments
- 5.- CMOS Data Book
National Semiconductor Corporation
- 6.- Linear Data Book
Texas Instruments
- 7.- Linear Data Book
National Semiconductor Corporation
- 8.- Power Data Book
Fairchild



ENT 1

ENT 2

ENT 3

ENT 4

+5V

CK/25

+5V

1kΩ

NR 1

NR 2

PLA 1

PLA 2

PLA 3

PLA 4

PLA 5

PLA 6

PLA 7

PLA 8

PLA 9

PLA 10

PLA 11

PLA 12

PLA 13

PLA 14

PLA 15

PLA 16

PLA 17

PLA 18

PLA 19

PLA 20

PLA 21

PLA 22

PLA 23

PLA 24

PLA 25

PLA 26

PLA 27

PLA 28

PLA 29

PLA 30

PLA 31

PLA 32

PLA 33

PLA 34

PLA 35

PLA 36

PLA 37

PLA 38

PLA 39

PLA 40

PLA 41

PLA 42

PLA 43

PLA 44

PLA 45

PLA 46

PLA 47

PLA 48

PLA 49

PLA 50

PLA 51

PLA 52

PLA 53

PLA 54

PLA 55

PLA 56

PLA 57

PLA 58

PLA 59

PLA 60

PLA 61

PLA 62

PLA 63

PLA 64

PLA 65

PLA 66

PLA 67

PLA 68

PLA 69

PLA 70

PLA 71

PLA 72

PLA 73

PLA 74

PLA 75

PLA 76

PLA 77

PLA 78

PLA 79

PLA 80

PLA 81

PLA 82

PLA 83

PLA 84

PLA 85

PLA 86

PLA 87

PLA 88

PLA 89

PLA 90

PLA 91

PLA 92

PLA 93

PLA 94

PLA 95

PLA 96

PLA 97

PLA 98

PLA 99

PLA 100

PLA 101

PLA 102

PLA 103

PLA 104

PLA 105

PLA 106

PLA 107

PLA 108

PLA 109

PLA 110

PLA 111

PLA 112

PLA 113

PLA 114

PLA 115

PLA 116

PLA 117

PLA 118

PLA 119

PLA 120

PLA 121

PLA 122

PLA 123

PLA 124

PLA 125

PLA 126

PLA 127

PLA 128

PLA 129

PLA 130

PLA 131

PLA 132

PLA 133

PLA 134

PLA 135

PLA 136

PLA 137

PLA 138

PLA 139

PLA 140

PLA 141

PLA 142

PLA 143

PLA 144

PLA 145

PLA 146

PLA 147

PLA 148

PLA 149

PLA 150

PLA 151

PLA 152

PLA 153

PLA 154

PLA 155

PLA 156

PLA 157

PLA 158

PLA 159

PLA 160

PLA 161

PLA 162

PLA 163

PLA 164

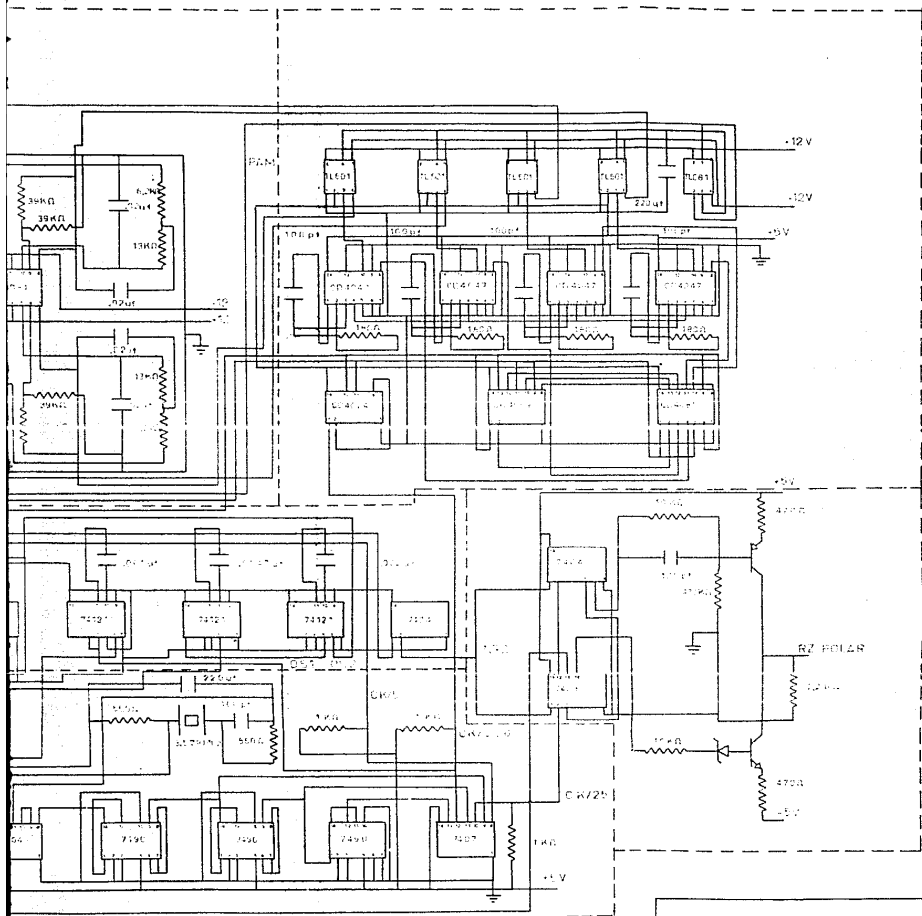
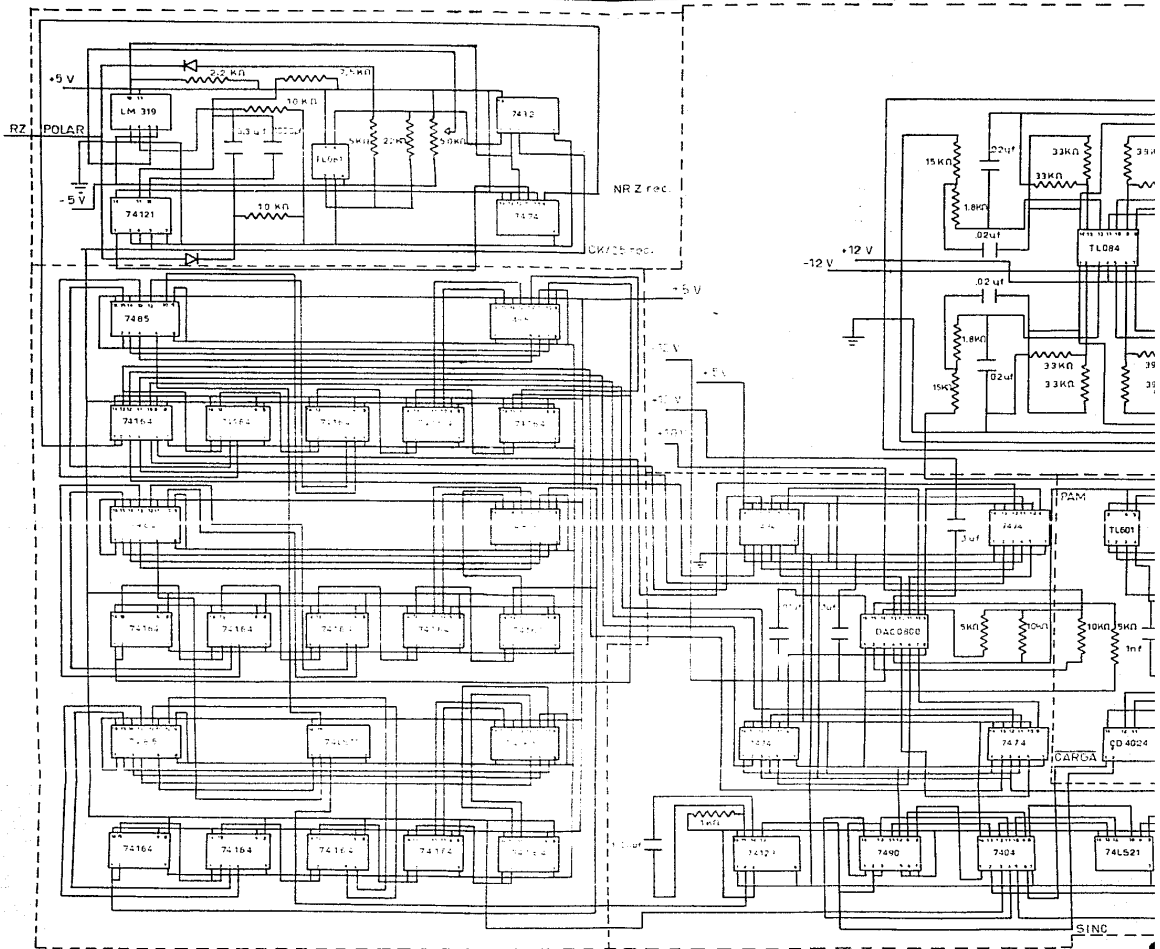


DIAGRAMA GENERAL DEL TRANSMISOR PCM
 TESIS PROFESIONAL DIC 1985
 FACULTAD DE INGENIERIA U N A M

REVISOR



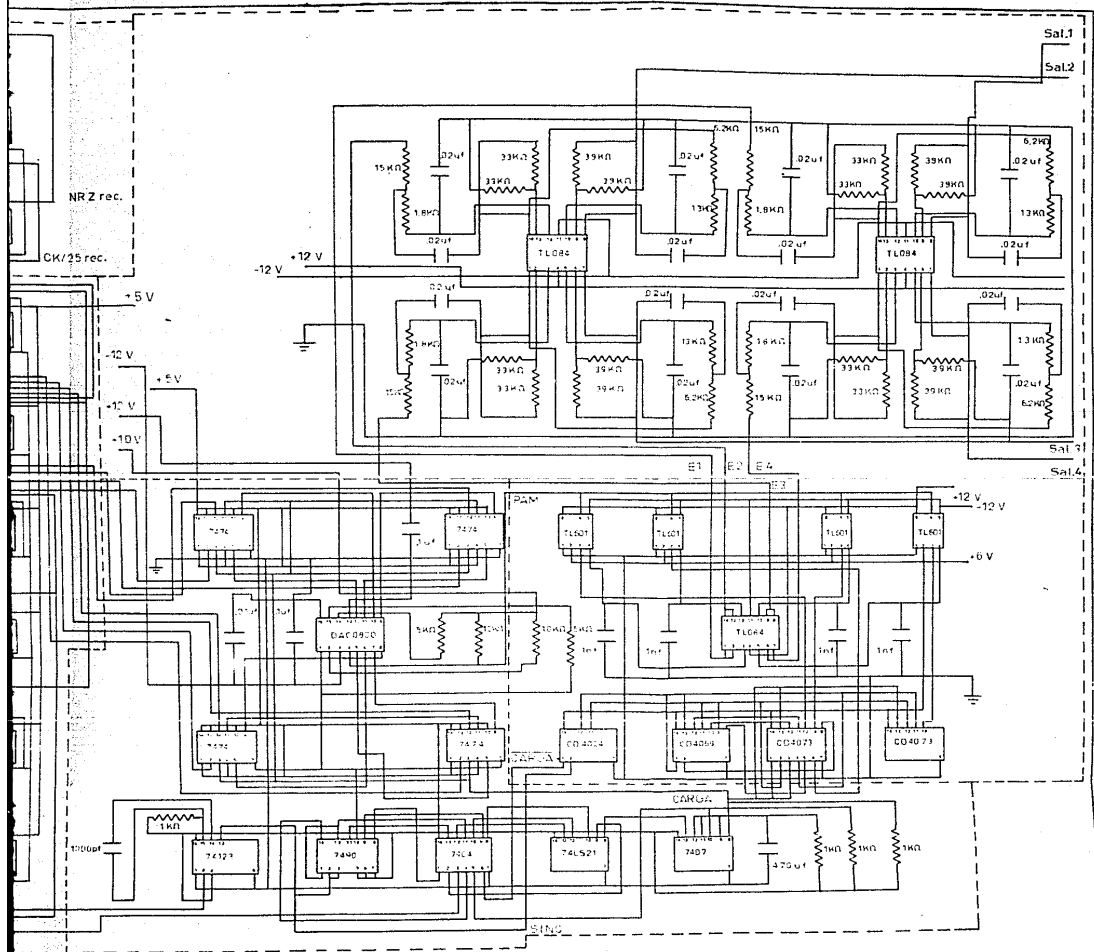


DIAGRAMA GENERAL DEL RECEPTOR PCM
 TESIS PROFESIONAL DIC.1986
 FACULTAD DE INGENIERIA U N A M REVISO

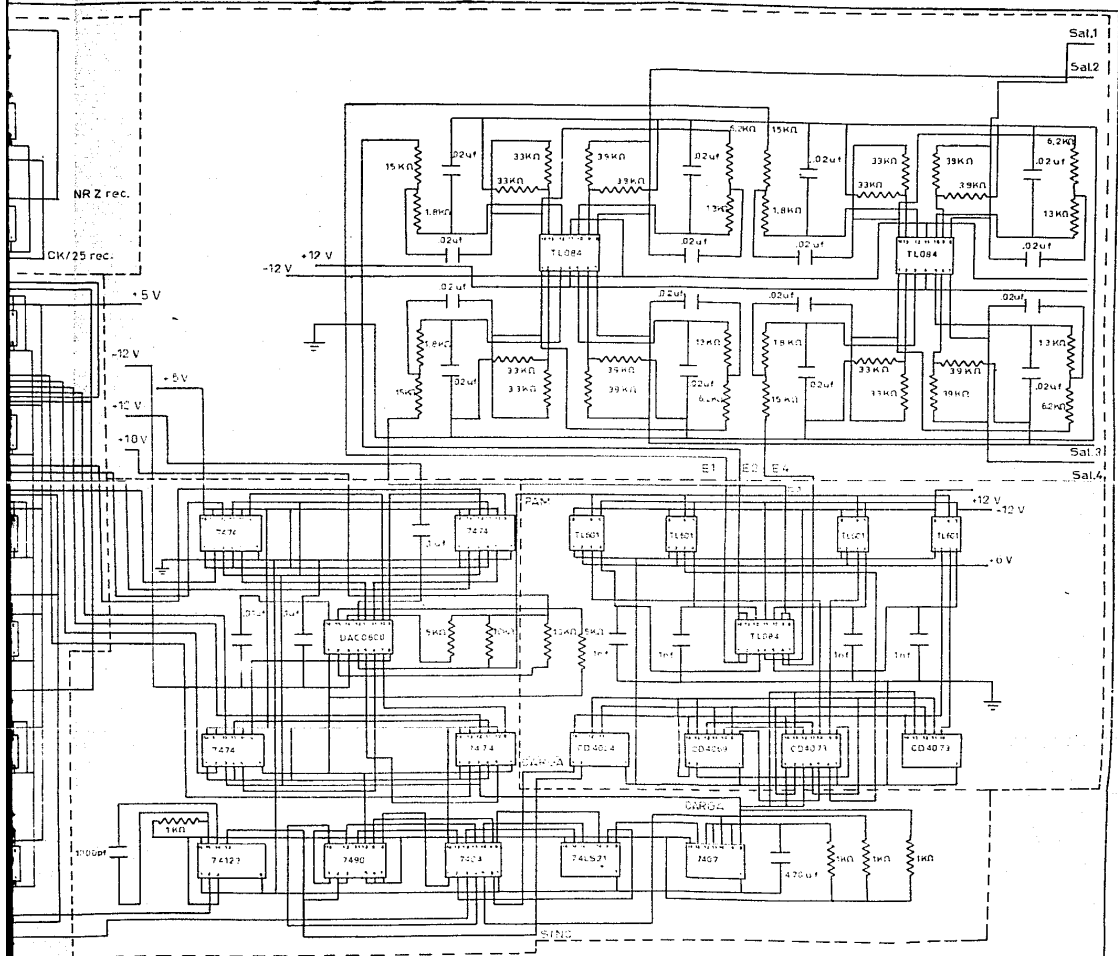


DIAGRAMA GENERAL DEL RECEPTOR PCM

TESIS PROFESIONAL DIC.1986

FACULTAD DE INGENIERIA U N A M

REVISO