

19  
2ej



**UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO**

**FACULTAD DE ESTUDIOS SUPERIORES "CUAUTITLAN"**

**DISEÑO DE UN EQUIPO DE PROPOSITO GENERAL  
PARA UN SISTEMA DE ADQUISICION DE DATOS  
BASADO EN EL MICROPROCESADOR**

MC68008

**TESIS CON  
FALLA LE ORIGEN**

**T E S I S**

**QUE PARA OBTENER EL TITULO DE  
INGENIERO MECANICO ELECTRICISTA**

**P R E S E N T A N :**

**A D R I A N M U C I Ñ O  
G E R A R D O C A N O V A Z Q U E Z**

**DIRECTOR DE TESIS: ING. JORGE BUENDIA GOMEZ**

**ASESOR DE TESIS: ING. VICTOR M. CASASOLA VARELA**



**CUAUTITLAN IZCALLI. EDO. DE MEXICO 1992**



Universidad Nacional  
Autónoma de México



## **UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso**

### **DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

## INDICE

Página

### I.- INTRODUCCION

|  |   |
|--|---|
| I.1.- Definición de microprocesador.....                                       | 1 |
| I.2.- Características de un microprocesador.....                               | 1 |
| I.3.- Usos de un microprocesador en un Sistema<br>de Adquisición de Datos..... | 3 |
| I.4.- Definición de un Sistema de Adquisición de<br>Datos (SAD) .....          | 4 |
| I.5.- Tipos de Sistemas de Adquisición de Datos.....                           | 6 |
| I.6.- Características de un Sistema de Adquisición<br>de Datos.....            | 7 |
| I.7.- Uso de un Sistema de Adquisición de Datos.....                           | 8 |

### II.- ALCANCES DEL SISTEMA DE ADQUISICION DE DATOS

|  |    |
|--|----|
| II.1.- Introducción.....   | 9  |
| II.2.- El microprocesador 68008.....                                     | 10 |
| II.2.1.- Capacidad de direccionamiento y organiza-<br>ción de datos..... | 12 |
| II.2.1.1.- Tamaño del operando.....                                      | 12 |
| II.2.1.2.- Organización de datos en la memoria.....                      | 12 |
| II.2.2.- Tipos de instrucciones.....                                     | 14 |
| II.2.2.1.- Operaciones de movimientos de datos.....                      | 14 |
| II.2.2.2.- Operaciones aritméticas enteras.....                          | 14 |
| II.2.2.3.- Operaciones lógicas.....                                      | 15 |
| II.2.2.4.- Operaciones de rotación y de corrimiento.....                 | 15 |
| II.2.2.5.- Operaciones de manipulación de bits.....                      | 15 |
| II.2.2.6.- Operaciones decimales codificadas en<br>binario.....          | 15 |
| II.2.2.7.- Operaciones de control de programa.....                       | 15 |

|   |    |
|---|----|
| II.2.2.8.- Operaciones de control de sistema.....                           | 16 |
| II.2.3.- Descripción de operación del bus y señales.....                    | 17 |
| II.2.3.1.- Descripción de señales.....                                      | 17 |
| II.2.4.- Estados de procesamiento.....                                      | 21 |
| II.2.4.1.- Estados privilegiados.....                                       | 22 |
| II.2.4.1.1.- Estado supervisor.....   | 22 |
| II.2.4.1.2.- Estado usuario.....  | 23 |
| II.2.4.2.- Clasificación de referencia.....                                 | 23 |
| II.2.4.3.- Procesamientos excepcionales.....                                | 24 |
| II.2.4.3.1.- Vectores de excepción.....                                     | 25 |
| II.2.4.3.2.- Tipos de excepción.....  | 26 |
| II.2.4.3.3.- Reset.....   | 27 |
| II.2.4.3.4.- Interrupciones.....  | 28 |
| II.2.4.3.5.- Error en el bus.....   | 29 |
| II.2.4.3.6.- Error de direccionamiento.....                                 | 29 |
| II.2.5.- Interface con el MC68008.....                                      | 29 |
| II.2.5.1.- Operación de transferencia de datos.....                         | 31 |
| II.3.- Módulos que constituyen al Sistema de Adqui-<br>sición de Datos..... | 32 |

### III.- HARDWARE

|  |    |
|--|----|
| III.1.- Introducción.....                              | 34 |
| III.2.- Módulo de desarrollo y bus maestro.....        | 35 |
| III.2.1.- Introducción.....                            | 35 |
| III.2.2.- Objetivo.....                                | 35 |
| III.2.3.- Características del módulo.....              | 35 |
| III.2.4.- Funcionamiento del módulo de desarrollo..... | 36 |
| III.2.5.- Posibles configuraciones del módulo.....     | 37 |
| III.2.6.- Descripción de conectores.....               | 37 |
| III.2.7.- Lista de componentes.....                    | 40 |
| III.3.- Módulo de CPU.....                             | 41 |
| III.3.1.- Objetivo.....                                | 41 |
| III.3.2.- Diagrama de bloques.....                     | 41 |

|   |    |
|---|----|
| III.3.3.- Descripción del módulo.....                                 | 44 |
| III.3.4.- Posibles configuraciones de la tarjeta de<br>CPU.....       | 47 |
| III.3.5.- Lista de componentes.....                                   | 48 |
| III.4.- Módulo de conversión Analógico/Digital.....                   | 50 |
| III.4.1.- Introducción.....   | 50 |
| III.4.2.- Objetivo.....   | 57 |
| III.4.3.- Características del módulo del convertidor<br>A/D.....      | 58 |
| III.4.4.- Funcionamiento del módulo a bloques.....                    | 59 |
| III.4.5.- Descripción del módulo.....                                 | 60 |
| III.4.6.- Asignación de conectores.....                               | 67 |
| III.4.7.- Configuraciones.....  | 68 |
| III.4.8.- Lista de componentes.....                                   | 69 |
| III.5.- Módulo de procesamiento de señales discretas....              | 70 |
| III.5.1.- Objetivo.....   | 70 |
| III.5.2.- Características.....  | 70 |
| III.5.3.- Diagrama de bloques.....                                    | 71 |
| III.5.4.- Configuraciones.....  | 72 |
| III.5.5.- Lista de componentes.....                                   | 74 |
| III.6.- Módulo de video.....  | 75 |
| III.6.1.- Objetivo.....   | 75 |
| III.6.2.- Características del controlador TRC MC6845....              | 75 |
| III.6.2.1.- Hardware.....   | 75 |
| III.6.2.2.- Software.....   | 76 |
| III.6.3.- Programación de los registros del CTRC<br>(MC6845).....     | 77 |
| III.6.3.1.- Manual del formato del desplegado.....                    | 78 |
| III.6.3.2.- Registros del CTRC.....                                   | 81 |
| III.6.4.- Diagrama de bloques.....                                    | 84 |
| III.6.4.1.- Señales de interconexión con el micro-<br>procesador..... | 84 |
| III.6.5.- Diagrama eléctrico.....                                     | 85 |

|                                     |    |
|-------------------------------------|----|
| III.6.6.- Lista de componentes..... | 88 |
|-------------------------------------|----|

#### IV.- SOFTWARE

|  |    |
|--|----|
| IV.1.- Introducción.....   | 90 |
| IV.2.- Estructura general.....   | 90 |
| IV.2.1.- Declaración de Estructuras, constantes,<br>Interrupciones, igualdades y vectores..... | 91 |
| IV.2.2.- Programa Principal.....   | 91 |
| IV.2.3.- Rutina de inicio de Video.....  | 92 |
| IV.2.4.- Rutinas de inicio de Timer's y canales<br>analógicos.....                             | 92 |
| VI.2.5.- Rutina de posición de cursor y limpiado<br>de pantalla.....                           | 93 |

#### V.- APLICACIONES

|   |     |
|---|-----|
| V.1.- Sistema de Telesupervisión de la Peforación<br>Petrolera (URIMP)..... | 111 |
|---|-----|

|                         |     |
|-------------------------|-----|
| VI.- CONCLUSIONES. .... | 114 |
|-------------------------|-----|

#### APENDICES

|  |     |
|--|-----|
| -A) Referencias de partes.....             | 116 |
| -B) Referencia bibliográfica.....          | 153 |
| -C) Referencias de Costos Estimativos..... | 155 |

## CAPITULO I

### I.- INTRODUCCION

#### I.1 .- DEFINICION DE MICROPROCESADOR

Un microprocesador es una unidad central de procesamiento (CPU) encapsulado en una pastilla LSI, el cual combinado con los diferentes módulos de memoria y de interface I/O forman un microcomputador.

Se usa la palabra micro para indicar el pequeño tamaño físico de los componentes que están integrados dentro de éste, y procesador se usa para indicar aquella sección del sistema, la cual ejecuta las funciones básicas para realizar instrucciones y procesar datos de la manera especificada por el programa.

#### I.2 .- CARACTERISTICAS DE UN MICROPROCESADOR

Para garantizar un amplio rango de aceptabilidad, un microprocesador debe contar con un gran número de características, las cuales lo hagan especial para el uso determinado que se requiera.

Debe tener una organización interna adecuada para su extenso campo de aplicaciones. La organización de los microprocesadores

comerciales difieren entre sí, pero tienen las características comunes de una unidad procesadora central capaz de interpretar códigos de instrucción recibidos de la memoria y de realizar tareas de procesamiento de datos especificados por un programa.

La operación adecuada de un microprocesador requiere que se presenten ciertas señales de control y de tiempo para lograr funciones específicas y que otras señales de control sean reconocidas determinando el estado del microprocesador.

Los microprocesadores contienen los elementos principales que incluyen los diferentes registros, la unidad aritmética y lógica, el decodificador de instrucciones, la importante sección de control y tiempo, bus de datos y control.

Los microprocesadores están formados de las siguientes unidades básicas:

- Unidad aritmética lógica.
- Registros de datos, direcciones y banderas.
- Contador de programa.
- Circuitería de decodificación de Instrucciones.
- Circuitería Interna de Reloj.
- Buses internos y líneas de control.

Además de estos, pueden contener los siguientes periféricos:

- Puertos de entrada/salida serie y/o paralelo.
- Almacenamiento en ROM.
- Almacenamiento en RAM.
- Circuitería de Reconocimiento de prioridad de interrupciones



Los microprocesadores pueden ser manejados de dos formas diferentes; en forma síncrona ó en forma asíncrona. La forma de trabajo síncrona, se refiere a que el microprocesador coordina el momento de activación de sus periféricos por medio de una señal.

En forma asíncrona, el microprocesador establece una comunicación con sus periféricos para determinar el tiempo de activación de éstos; tal comunicación es manejada como una pregunta del microprocesador de si esta listo el periférico o no, y una respuesta del mismo periférico hacia el microprocesador.

### I.3 .- USOS DE UN MICROPROCESADOR EN UN EQUIPO DE ADQUISICION DE DATOS

Las funciones de un microprocesador en un equipo de Adquisición de Datos son:

- Decodificar y ejecutar instrucciones de programa en el orden adecuado.
- Transferir datos hacia la memoria desde puertos de entrada/salida o viceversa.
- Atender a las interrupciones externas.
- Proporcionar las señales de control y de tiempo necesarias para el sistema, en el caso de un microprocesador síncrono; o en el caso del microprocesador asíncrono, establecer la comunicación necesaria para la activación de los periféricos.

En un equipo de adquisición de datos el microprocesador como Unidad Central de Procesamiento tiene la finalidad de procesar la información que se está obteniendo de los diferentes módulos integrados en el sistema, para llevar a cabo las funciones para las cuales esta hecho.

Es menester indicar que con el microprocesador se tendrá una capacidad de organización con la cuál podemos asegurar procesamiento de datos con rapidez y eficacia.

Dadas las características del microprocesador se tendrá un sistema sincronizado en todas sus etapas, con una gran capacidad de almacenamiento de información.

#### I.4.-DEFINICION DE UN SISTEMA DE ADQUISICION DE DATOS (SAD)

Frecuentemente el ser humano utiliza en su vida cotidiana la adquisición de datos, como una forma de corrección y mejora de procedimientos. La adquisición de datos puede ser un procedimiento muy simple si el almacenamiento de información es mínimo; se torna complejo si el procedimiento de almacenamiento de información es demasiado extenso.

Un método de clasificación de la información almacenada deberá ser considerado para la localización rápida y eficaz.

Otra consideración en la Adquisición de datos, es determinar qué datos deberán ser almacenados y con qué frecuencia.

El proceso de colección de datos, usualmente tendrá una progresión de pasos. Primero, se deberá recolectar los datos y grabarlos. Segundo, se clasificarán los datos que fueron grabados, Con ello se procederá a la definición de la precisión de los datos . El dato que se ha colectado, nos dice con precisión la historia de lo que esta pasando.

¿Cuanta exactitud y detalle será necesaria para conseguir usar los datos recolectados?. Esta es una consideración que deberá decidirse con prioridad para tomar una decisión y evaluar la importancia de la actual colección de datos.

Con esta breve explicación se da una idea de lo que pretende un S.A.D.

Para definir un S.A.D. sería necesario contemplar los diferentes tipos de Sistemas, los cuales son muy variados y diversos, ya que existe un sistema para cada aplicación específica, partiendo de la misma filosofía.

Un Sistema de Adquisición de Datos es un conjunto de módulos inteligentes controlados por una estación maestra (Host Computer), con la finalidad de controlar la adquisición, proceso y toma de decisiones en forma automática del proceso supervisado. Por lo general los módulos inteligentes se encuentran en localizaciones retiradas de la computadora maestra.

Dependiendo del proceso las interconexiones podrán ser vía cable o alguna otra forma de comunicación.

A continuación en la figura I.4 se ejemplifica la estructura de un Sistema de Adquisición de Datos (S.A.D.) en forma general.

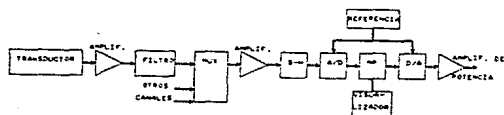


figura I.4.- Estructura de un S.A.D.

#### I.5 .- TIPOS DE SISTEMAS DE ADQUISICION DE DATOS

Los sistemas de Adquisición de Datos más comunes en la industria, son del tipo SCADA, SAAD y SAD, cada uno de ellos tienen características que los diferencian entre sí.

Un SCADA ( Sistema de Control Automático de Adquisición de Datos ). Tiene entre una de sus características más relevantes, la de tener una estación maestra, la cual controla sistemas mínimos llamados MTU (Master Terminal Unit) Unidades Terminales Maestras y éstos a su vez controlan equipos locales llamados RTU (Remote Terminal Unit) Unidades Terminales Remotas. La forma de control, como su nombre lo dice, es en forma automática, o de lazo cerrado, lo que hace que este sistema pueda tomar decisiones.

SAAD (Sistema Automático de Adquisición de Datos).- Es también un sistema de Adquisición de Datos, con una función similar al SCADA, pero de menor magnitud, ya que dicho sistema se compararía con una Unidad Terminal Maestra dentro de un SCADA.

SAD (Sistema de Adquisición de Datos) .- Se puede considerar la base de todos los sistemas de Adquisición de Datos en relación a su modo de operación, siendo una escala mínima con respecto a un SCADA. Se compone de una serie de Equipos idénticos, llamados equipos de Adquisición de Datos los cuales serán unidades locales.

#### I.6 .- CARACTERISTICAS DE UN SISTEMA DE ADQUISICION DE DATOS

Básicamente un Sistema de Adquisición de Datos se compone de los siguientes módulos:

- a) Módulo de Unidad Central de Proceso (CPU).
- b) Módulo de Convertidor Analógico - Digital.
- c) Módulo de Video.
- d) Módulo de Reloj Calendario.
- e) Módulo de Timer's.
- f) Módulo de Desarrollo.

De acuerdo a las necesidades requeridas, se podrían acoplar otros módulos tales como:

- g) Módulo de Convertidor Digital/Analógico.
- h) Módulo de Comunicación.
- i) Módulo de Interface Hombre-Maquina (teclado).
- j) Módulo de Acondicionamiento.
- k) Módulo de filtros.

## 1.7.- USO DE UN SISTEMA DE ADQUISICION DE DATOS

Los usos que un S.A.D. puede tener son muy diversos ya que podríamos hablar de que tiene un uso si no ciertamente ilimitado sí bastante extenso. En cualquier industria donde se deseen controlar ciertos procesos para evaluación, rectificación o incluso reducción de tiempos de elaboración, puede adaptarse un S.A.D.

Dependiendo de los requerimientos del sistema al que se acoplará, serán las cualidades del sistema inteligente, teniendo la capacidad de poder ser ampliado y en algunos casos si es configurable, se tendrá la posibilidad de ampliar las características de funcionamiento y captación de datos.

Por mencionar algunos de sus usos más comunes citaremos:

- . Captación de información para la extracción petrolera.
- . Control de los parámetros en la industria Textil.
- . Control Automático en la perforación petrolera.
- . Control en sistemas de Electrificación.
- . Control Automático de velocidad de diversos tipos de motores eléctricos.

## II.- ALCANCES DEL SISTEMA DE ADQUISICION DE DATOS

### II.1.- INTRODUCCION

En la presente tesis se usa como unidad central el Microprocesador MC68008 para el Sistema de Adquisición de Datos, por lo cual se considera necesario hablar específicamente de esta unidad, ya que se considera el cerebro del sistema.

El MC68008 es un microprocesador perteneciente a la familia M68000 ó 68K de Motorola. Dicho microprocesador es un dispositivo que permite el diseño de sistemas efectivos a bajo costo , ya que con él podemos acceder a memorias económicas organizadas en bytes, es decir, en bus de datos de 8 bits.

Una justificación importante del porqué se escogió tal microprocesador es por las características que presenta en software y hardware además de su comercialidad, la cual asegura que todos los componentes serán encontrados en el mercado nacional, además de su bajo costo y características apropiadas para un desempeño normal.

Una de las características más importantes de este microprocesador es que puede ser programado con lenguaje ensamblador o lenguaje "C", dando con ello la posibilidad de que equipos que hayan trabajado con microprocesadores anteriores de la familia 68000 puedan acoplarse o hacerse más funcionales.

## II.2.- EL MICROPROCESADOR 68008

El Microprocesador 68008 cuenta con un espacio de direccionamiento de 1 Megabyte.

La estructura de programación es igual que la del M68000, con 17 registros de 32 bits , un contador de programa de 32 bits y un registro de estado de 16 bits. Los 8 primeros registros (D0 - D7) son usados como registros de datos con operaciones de bytes (8 bits) , palabras (16 bits) y palabras largas (32 bits). El segundo grupo de 7 registros (A0 -A6) y el sistema de stack pointer (A7) pueden ser usados como apuntadores de stack por software y base de registro de direcciones. Concluyendo, los registros pueden ser usados para operaciones de palabras y palabras largas.

La figura II.2 , esquematiza la estructura de programación del Microprocesador 68008.

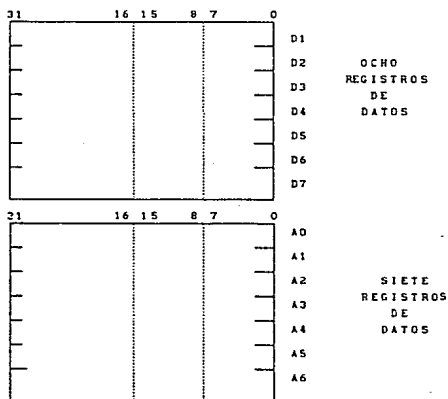


Figura II.2.- Estructura de Programación del MC68008.



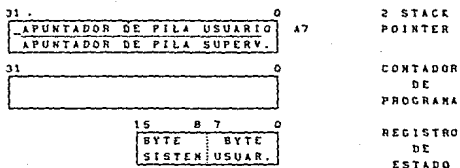


Figura II.2.- Estructura de Programación del MC68008.

La figura II.2.1 muestra el registro de estado del MC68008. El registro de estado puede ser considerado como de 2 bytes, el byte usuario y el byte del sistema. El byte usuario contiene 5 bits definiendo las banderas de sobreflujo (V), cero (Z), negativo (N), acarreo (C) y extensión (X). El byte del sistema contiene 5 bits. Tres bits son usados para definir la prioridad de interrupción corriente, cualquier nivel bajo de interrupción que se presente en la máscara de interrupciones será reconocido. Los dos bits adicionales servirán para identificar el modo de operación del microprocesador: modo trazo (T) o modo supervisor (S).

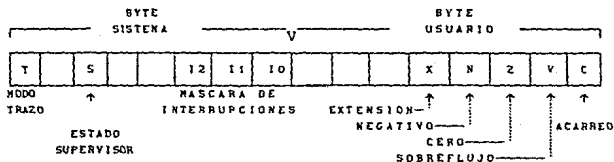


Fig II.2.1 Registro de Estado

## Tipos de Datos y Modos de Direccionamiento.

5 tipos de datos son trabajados:

- . Bits
- . Dígitos BCD (4 bits)
- . Bytes (8 bits)
- . Palabras (16 bits)
- . Palabras Largas (32 bits)

Muchas instrucciones pueden usar cualquiera de los 14 modos de direccionamiento, estos modos de direccionamiento consisten en cinco tipos básicos:

- . Modo Directo a Registro
- . Modo Indirecto a Registro
- . Modo Absoluto
- . Modo Contador de Programa Relativo
- . Modo Inmediato

### II.2.1.- Capacidad de Direccionamiento y Organización de Datos

#### II.2.1.1.-Tamaño del operando.

Los tamaños de operando son definidos como sigue: 1 Byte (8 bits), 1 palabra (16 bits), 1 palabra larga (32 bits). El tamaño de operando para cada instrucción está ó explícitamente codificado en la instrucción ó implícitamente definido por la instrucción de operación.

#### II.2.1.2.- Organización de datos en la memoria.

Los 8 registros de datos soportan operandos de datos de 1,8,16, o 32 bits. Los 7 registros de direcciones junto con el apuntador de pila soportan operandos de 32 bits.

La Figura II.2.1.2 muestra la distribución y organización de datos en la memoria.

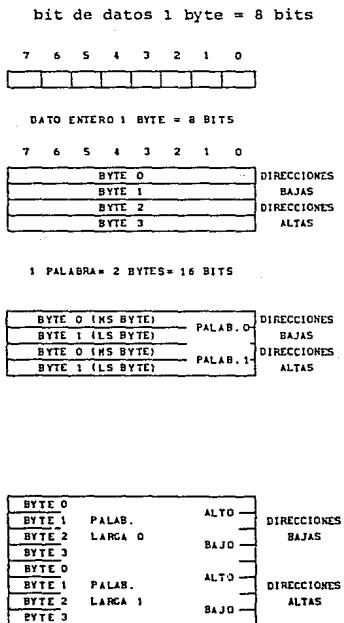


Fig. II.2.1.2.- Organización de Datos en la Memoria.

## II.2.2.- Tipos de Instrucciones

En esta sección se determina el tipo de instrucciones que el microprocesador 68008 maneja y con las cuales sumadas a la capacidad de modo de direccionamiento flexible ya descrita, se tendrá una base completa para el desarrollo de los programas.

### II.2.2.1.- Operaciones de movimientos de datos.

El método básico de Adquisición de datos (transferencia y almacenamiento) es conseguido con la instrucción MOVE, la cual permite la manipulación de datos y de direcciones.

Existen varios tipos de instrucciones especiales para movimientos de datos tales como:

MOVEM : Mueve múltiples registros  
MOVEP : Mueve datos periféricos  
EXG : Cambio de registros  
LEA : Carga direcciones efectivas  
PEA : Inserta direcciones efectivas  
LINK : Liga el stack  
UNLK : Desliga el stack  
MOVEK : Mueve rápidamente

### II.2.2.2.- Operaciones aritméticas enteras.

Se incluyen los 4 tipos de operaciones básicas: suma (ADD), substracción (SUB), multiplicación (MUL), división (DIV), así como las operaciones de comparación (CMP), limpia (CLR) y Negado (NEG).

Para multiprecisión y mezclado de operaciones aritméticas se pueden usar las instrucciones con extensión: (ADDX), (SUBX), (NEGX) y para señal con extensión (EXT).

#### II.2.2.3.- Operaciones lógicas.

Las operaciones lógicas lo constituyen las instrucciones: AND, OR, EOR, NOT; a las cuáles se les suman un set de instrucciones inmediatas, ANDI, ORI, EORI.

#### II.2.2.4.- Operaciones de rotación y de corrimiento.

Las operaciones de corrimiento en ambas direcciones son conseguidas con las instrucciones aritméticas ASR, ASL y con las instrucciones lógicas LSR, LSL. Las instrucciones de rotación con o sin extensión son: ROXR, ROR, ROXL, ROL.

#### II.2.2.5.- Operaciones de manipulación de bits.

Las operaciones de manipulación de bits son: bit de prueba (BTST), bit de prueba y puesta (BSET), bit de prueba y cambio (BCHG).

#### II.2.2.6.- Operaciones decimales codificadas en binario

Las operaciones aritméticas de multiprecisión o números decimales codificados en binario, son realizados con las siguientes instrucciones: suma decimal con extensión (ABCD), resta decimal con extensión (SBCD), decimal negado con extensión (NBCD).

#### II.2.2.7.- Operaciones de control de programa.

Las operaciones de Control de Programa son ejecutadas usando una serie de instrucciones ramificadas, condicionales o

incondicionales, instrucciones de salto e instrucciones de retorno.

|                          |                     |
|--------------------------|---------------------|
| CC : Limpiado de acarreo | LS : Bajo o similar |
| CS : Puesta de acarreo   | LT : Menor que      |
| EQ : Igualación          | MI : Menos          |
| F : Falso                | NE : No igual       |
| GE : Mayor o Igual       | PL : Mas            |
| GT : Mayor que           | T : Verdadero       |
| HI : Alto                | VC : Sin sobreflujo |
| LE : Menor o igual       | VS : Sobreflujo     |

#### II.2.2.8.- Operaciones de control del sistema

Las operaciones del control del sistema son ejecutadas por el uso de instrucciones privilegiadas, instrucciones de generación de trampas, e instrucciones que usan o modifican los registros de estado. Algunas de estas instrucciones son:

##### a) Instrucciones Privilegiadas:

|              |  |
|--------------|--|
| ANDI a SR    | : Lógica AND a un registro de estado     |
| EORI a SR    | : Lógica eor a un registro de estado     |
| MOVE EA a SR | : Carga nuevo registro de estado         |
| MOVE USP     | : Mueve el stack pointer usuario         |
| ORI a SR     | : Lógica OR a un registro de estado      |
| RESET        | : Reinicializa los dispositivos externos |
| RTE          | : Regresa por Excepción                  |
| STOP         | : Para la ejecución del programa         |

##### b) Generación de Trampas:

|       |   |
|-------|---|
| CHK   | :Revisa el registro de datos contra los límites más altos |
| TRAP  | :Atrapa   |
| TRAPV | :Atrapa en sobreflujo                                     |

c) Registros de Estado:

|               |                                     |
|---------------|-------------------------------------|
| ANDI a CCR    | : Lógica AND a Códigos de Condición |
| EORI a CCR    | : Lógica EOR a Códigos de Condición |
| MOVE EA a CCR | : Carga nuevos Códigos de Condición |
| MOVE SR a EA  | : Almacena Registros de Estado      |
| ORI a CCR     | : Lógica OR a Códigos de Condición  |

II.2.3.- Descripción de Operación del Bus y Señales.

En esta sección se explica brevemente el funcionamiento del bus y las señales de entrada y salida.

II.2.3.1.- Descripción de señales.

Las señales del microprocesador pueden ser organizadas como se puede apreciar en la fig. II.2.3.1.

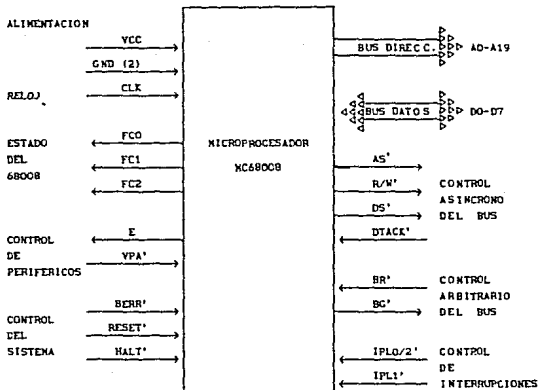


Figura II.2.3.1.- Señales de entrada y salida

D0-D7.-Constituyen las líneas del bus de datos, bidireccionales de 8 bits.

A0-A19 .- Constituyen las líneas del bus de direcciones unidireccionales. Durante un reconocimiento de interrupción, las líneas A1, A2, y A3 proveen la información acerca de qué nivel de interrupción está en servicio, mientras A0, A4-A19 están en un estado alto.

IPL0/IPL2', IPL1' .- (Interrupt Priority level) Nivel Prioritario de Interrupción. Estas entradas representan el valor binario del nivel de la interrupción señalada. IPL0 está cortocircuitada internamente con IPL2, lo cuál significa que sólo se tendrán 4 niveles de interrupción, 0,2,5 y 7.



BERR'.- ( Bus Error ) Error en el Bus. Es una señal de entrada que indica un error en el bus.

Esta señal actúa en conjunto con la señal de HALT para determinar si el ciclo normal deberá ser ejecutado una vez más, o si el proceso de excepción deberá ser ejecutado.

HALT'- Señal bidireccional , que conjuntamente con la señal de BERR nos reconocerá cierto error en el bus. Un estado bajo en ésta señal provocará que el 68008 pare al final de la instrucción que esta llevando a cabo y permanecer así sin perder información hasta que regresa a un nivel alto.

La tabla II.2.3.2 muestra la relación de las señales BERR' y HALT' actuando conjuntamente.

| BERR | HALT | OPERACION RESULTANTE     |
|------|------|--------------------------|
| 0    | 0    | ERROR EN EL BUS          |
| 0    | 1    | ERROR EN EL BUS          |
| 1    | 0    | OPERACION SIMPLE DEL BUS |
| 1    | 1    | OPERACION NORMAL         |

Tabla II.2.3.2

RESET.- Señal de entrada que se utiliza para reinicializar el sistema después de que se ha interrumpido por alguna razón o circunstancia la operación del microprocesador 68008.

RELOJ.- Para que el microprocesador funcione necesita una señal de sincronización la cuál es suministrada a la terminal de entrada de reloj (CLK).

BG',BR'.-( Bus Grant ) , ( Bus Request ) ceder y pedir el Bus. Estas señales se usan en sistemas donde otros dispositivos inteligentes pueden actuar como controladores del bus, solicitando

dicho control.

Tales señales serían utilizadas en caso de ser usado un periférico inteligente ( Coprocesador o Microcontrolador ).

VPA'.- (Valid Peripheal Address) Dirección de Periférico Válida, es una señal usada por los dispositivos de la familia MC6800 incluidos en el sistema para informar al Microprocesador 68008 que requieren una transmisión de datos del tipo MC6800 (transmisión síncrona).

E .- Esta señal tiene la función de sincronizar todos los dispositivos periféricos de la familia MC6800. Presenta de salida una frecuencia de 1/10 parte de la frecuencia de la señal de reloj que entra al Microprocesador.

La característica funcional de la señal de E, es que tiene 6 ciclos CLK en bajo y 4 ciclos CLK en alto.

Existen señales para el Control Asíncrono del Bus con las cuáles podemos controlar la transferencia de datos por medio de las siguientes señales: AS', R/W', DS' y DTACK'.

AS'.- (Address Strobe) Habilidad de Dirección. Es una señal de salida que indica que el Microprocesador ha situado en sus líneas correspondientes códigos de función válidos, información de dirección, tamaño e información del estado de Lectura/Escritura.

R/W' .- (Read/Write) , Lectura /Escritura. Define la transferencia de datos en el bus ya sea para Lectura o para Escritura. Un estado alto indica lectura del Microprocesador 68008 mientras que un estado bajo definirá en el 68008 una escritura.

DS'.- ( Data Strobe ). Habilidad de Datos. Señal que indica que el bus de datos está en uso. Esta señal trabaja conjuntamente con la de R/W' determinando la operación a realizar ya sea lectura o escritura.

FC0, FC1, FC2 .- ( Code Function ) Código de Función. Con estas señales de salida podemos saber cuál es el estado de operación actual del microprocesador ya que tiene 6 tipos de estado; más adelante se hablará de la tabla para salida de códigos de función.

#### II.2.4 .- Estados de Procesamiento

En este punto se describen las actividades del MC68008.

El MC68008 se encuentra en uno de los tres estados de procesamiento: normal, excepcional ó parado.

El estado de procesamiento normal se refiere a la ejecución de instrucción; la referencia de memoria busca las instrucciones y operandos y almacena los resultados.

El estado de procesamiento excepcional se refiere a las interrupciones, instrucciones trampa, trazo y otras condiciones excepcionales. La excepción puede ser generada internamente por una instrucción o por una condición inusual asumida durante la ejecución de una instrucción.

Los eventos especiales que pueden iniciar un procesamiento excepcional incluyen errores de direccionamiento, fallos en el bus, intentos de ejecutar instrucciones privilegiadas estando en modo usuario e intentar dividir entre cero. También pueden

provocar procesamientos excepcionales eventos no relacionados con errores, interrupciones desde periféricos, reinicios en hardware e interrupciones programadas.

El estado de procesamiento en alto es una indicación de un fallo catastrófico en el hardware. Por ejemplo, si durante el procesamiento excepcional ocurre algún error en el bus, el procesador asume que el sistema se encuentra deshabilitado y parado. Sólo un reset externo puede restaurar al procesador. Note que el procesador esta en estado bloqueado y no en estado de interrupción.

#### II.2.4.1.- Estados privilegiados

El procesador opera en dos estados de privilegio: el estado usuario y el estado supervisor, lo que determina la legalidad de las operaciones.

Para mayor entendimiento de estos puntos, refiérase a la Fig II.2.1 Registro de Estado

##### II.2.4.1.1 .- Estado supervisor

El estado supervisor es el estado de mayor privilegio. Para la ejecución de una instrucción el estado supervisor es determinado por el bit S del registro de estado; si el bit S es mantenido en alto o el procesamiento excepcional es invocado, el procesador está en estado supervisor. Todas las instrucciones pueden ser ejecutadas en el estado supervisor. Los ciclos del bus generados por instrucciones ejecutadas en el estado supervisor son clasificadas como referencias del supervisor.

#### II.2.4.1.2 .- Estado usuario

El estado usuario es un estado de menor privilegio y es controlado por el bit S del registro de estado. Si el bit S está negado (bajo), el procesador está ejecutando las instrucciones en el estado usuario. Los ciclos del bus generados por una instrucción ejecutada en el estado usuario son clasificadas como referencias del estado usuario. Esto permite que un dispositivo externo manejador de memoria traslade las direcciones y controle el acceso a las porciones protegidas por el espacio de direcciones.

#### II.2.4.2.- Clasificación de referencia

Cuando el procesador hace una referencia, clasifica los tipos de referencia usando un codificador de tres líneas de salida de código de función. Estas permiten el traslado externo de direcciones, control de acceso y diferenciación de estados especiales del procesador tal como un reconocimiento de interrupción. La tabla II.2.4.2 enlista la clasificación de las referencias.

| CODIGOS DE FUNCION |     |     | CLASE DE REFERENCIA    |
|--------------------|-----|-----|------------------------|
| FC2                | FC1 | FC0 |                        |
| 0                  | 0   | 0   | INDEFINIDO             |
| 0                  | 0   | 1   | DATO USUARIO           |
| 0                  | 1   | 0   | PROGRAMA USUARIO       |
| 0                  | 1   | 1   | INDEFINIDO             |
| 1                  | 0   | 0   | INDEFINIDO             |
| 1                  | 0   | 1   | DATO SUPERVISOR        |
| 1                  | 1   | 0   | PROGRAMA SUPERVISOR    |
| 1                  | 1   | 1   | RECONOCER INTERRUPCION |

Tabla II.2.4.2.- Clasificación de referencia

#### II.2.4.3 .- Procesamientos excepcionales

Antes de proceder a describir el sistema de procesamiento excepcional, veamos primero los modos de funcionamiento del MC68008, ya que éstos afectan a los procesamientos excepcionales.

Como mencionamos anteriormente, el MC68008 puede operar en modo supervisor o en modo usuario. Cuando el procesador es reiniciado con una entrada de RESET, comienza a funcionar en modo supervisor. El procesador permanece en este modo hasta que se ejecuta una de las siguientes instrucciones:

- \* RTE - retorno de excepción.
- \* MOVE - transferir hacia registro de estado.
- \* ANDI - "and" inmediato con el registro de estado.
- \* EORI - "or exclusiva" inmediato con el registro de estado.

Ninguna de esas instrucciones provoca automáticamente la transición al modo usuario de operación, más bien ellas son capaces de cambiar el estado del bit S del registro de estado con lo cual, si se reinicia (reset), se obliga al procesador a comenzar a operar en modo usuario.

Una vez que el procesador está operando en modo usuario, lo único que lo retornaría al modo supervisor es una excepción. Cuando el procesador termina el procesamiento excepcional, éste ejecuta una instrucción retorno de excepción (RTE) para regresar al modo usuario.

#### II.2.4.3.1.- Vectores de excepción.

Los vectores de excepción son localidades de memoria desde las cuales el procesador busca las direcciones de la rutina a la cuál se esta haciendo excepción. Todos los vectores de excepción tienen dos palabras de longitud, excepto para el vector de reset el cuál tiene cuatro palabras.

El núcleo de secuencia de procesos excepcionales del MC68008 es una tabla de vectores que ocupa 1024 bytes de memoria. En el 68000, esta tabla ocupa las direcciones de memoria de 0000 a 03FF. La tabla consta de 256 vectores de cuatro bytes. Cada vector excepto el primero es una dirección de 32 bits que será cargada en el contador de programa como parte de la secuencia del proceso excepcional. Los primeros dos vectores son reservados para el contador de programa y puntero de pila de reinicio. La tabla II.2.4.3.1 muestra el contenido de la tabla de vectores.

| NUM.<br>VECTOR | DIRECCION |     |       | ASIGNACION                   |
|----------------|-----------|-----|-------|------------------------------|
|                | DEC       | HEX | ESPA. |                              |
| 0              | 0         | 000 | SP    | REINICIAR: SSP INICIAL       |
| 1              | 4         | 004 | SP    | REINICIAR: CP INICIAL        |
| 2              | 8         | 008 | SD    | ERROR EN EL BUS              |
| 3              | 12        | 00C | SD    | ERROR EN DIRECCION           |
| 4              | 16        | 010 | SD    | INSTRUCCION ILEGAL           |
| 5              | 20        | 014 | SD    | DIVISION POR CERO            |
| 6              | 24        | 018 | SD    | INSTRUCCION CHK              |
| 7              | 28        | 01C | SD    | INSTRUCCION TRAPV            |
| 8              | 32        | 020 | SD    | VIOLACION DE PRIVILEGIO      |
| 9              | 36        | 024 | SD    | TRAZA                        |
| 10             | 40        | 028 | SD    | EMULADOR LINEA 1010          |
| 11             | 44        | 02C | SD    | EMULADOR LINEA 1111          |
| 12*            | 48        | 030 | SD    | RESERVADO                    |
| 13*            | 52        | 034 | SD    | RESERVADO                    |
| 14*            | 56        | 038 | SD    | RESERVADO                    |
| 15             | 60        | 03C | SD    | INTERRUPCION INICIALIZADA    |
| 16-23          | 64        | 04C | SD    | RESERVADO                    |
|                | 96        | 05F |       |                              |
| 24             | 96        | 060 | SD    | INTERRUPCION ESPUREA         |
| 25             | 100       | 064 | SD    | INTERRUMPE AUTOVECTOR NIVEL1 |
| 26             | 104       | 068 | SD    | INTERRUMPE AUTOVECTOR NIVEL2 |
| 27             | 108       | 06C | SD    | INTERRUMPE AUTOVECTOR NIVEL3 |
| 28             | 112       | 070 | SD    | INTERRUMPE AUTOVECTOR NIVEL4 |
| 29             | 116       | 074 | SD    | INTERRUMPE AUTOVECTOR NIVEL5 |
| 30             | 120       | 078 | SD    | INTERRUMPE AUTOVECTOR NIVEL6 |
| 31             | 124       | 07C | SD    | INTERRUMPE AUTOVECTOR NIVEL7 |
| 32-47          | 128       | 080 | SD    | VECTORES DE INTERRUPCIONTRAP |
|                | 191       | CBF |       |                              |
| 48-63*         | 192       | 0C0 | SD    | RESERVADO                    |
|                | 255       | 0FF |       |                              |
| 64-255         | 256       | 100 | SD    | VECT. DE INTERR. DEL USUARIO |
|                | 1023      | 3FF |       |                              |

\* RESERVADO POR MOTOROLA

Tabla II.2.4.3.1 .- Tabla de vectores

#### II.2.4.3.2.- Tipos de excepción

Las excepciones son generadas de varias formas, que pueden dividirse en dos categorías generales: excepciones generadas internamente que resultan de la ejecución de ciertas instrucciones o de errores de direccionamiento o trazo detectados internamente, y excepciones generadas externamente que incluyen errores en bus, reinicios y peticiones de interrupción.



A su vez podemos dividir las excepciones generadas internamente en tres categorías: errores internos, intercepciones de instrucciones y la función traza. Los siguientes son errores detectables internamente que provocará el inicio en el procesador de un proceso excepcional: errores de direccionamiento, violaciones de privilegios e instrucciones ilegales y no pertenecientes al repertorio.

El tercer tipo de excepción generada internamente ocurre cuando el procesador está operando en modo traza. Si el (los) bit (s) T del registro de estado está(n) a uno, puede producirse una excepción después de cualquier instrucción. La función traza es útil para depuración de programas, ya que se puede analizar la ejecución del programa parando después de cualquier instrucción o después de la ejecución de instrucciones clave.

Hay tres tipos de excepciones generadas externamente: errores en bus que se identifican por la validación por circuitos externos de la señal BERR; reinicio, que resulta de la validación por circuitos externos de RESET, y por peticiones de interrupción, que resultan de la validación por circuitos externos de una o más líneas de petición de interrupción (IPL0-IPL2).

#### II.2.4.3.3.- Reset

La señal de reset puede ser de entrada o de salida. Esta señal es diseñada para inicialización del sistema y recuperación de fallas catastróficas.

#### II.2.4.3.4.- Interrupciones

El MC68008 soporta tres niveles de interrupción. Puede haber dispositivos encadenados conteniendo una prioridad en los niveles de interrupción. Una petición de interrupción es hecha por el procesador por codificación en las líneas de petición de interrupción; el cero binario indica que no se ha hecho petición de interrupción. El registro de estado contiene los tres bits de la máscara de interrupción. La secuencia para las interrupciones se dá en la figura II.2.4.3.4

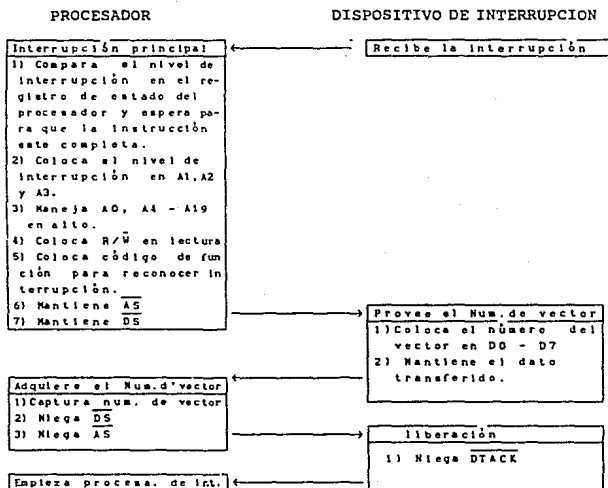


Figura II.2.4.3.4 .- Secuencia de Interrupciones.

#### II.2.4.3.5.- Error en el bus

Error en el bus ocurre cuando la lógica externa solicitada tiene un error en el bus por una excepción. La lógica externa puede validar BERR si la memoria no está físicamente presente o si la memoria requerida no corresponde al espacio de direcciones del usuario.

#### II.2.4.3.6 .- Error de direccionamiento.

Error en dirección ocurre cuando el procesador trata de acceder a una palabra o palabra larga, a un operando o a una instrucción con una dirección extraña. Cuando el MC68008 detecta un error en dirección previene la validación de  $\overline{DS}$ , pero mantiene  $\overline{AS}$  para mantener su propio soporte.

#### II.2.5 .- Interface con el MC6800

Cuando Motorola anunció el procesador 68008, había pocos circuitos integrados periféricos disponibles para buses de datos de 8 bits y con control de bus asíncrono. Había, no obstante, bastantes periféricos compatibles para la familia de procesadores MC6800. Algunos de estos dispositivos particularmente útiles son:

- MC6821 Interface de adaptador de periféricos.
- MC6840 Módulo de timer programable.
- MC6845 Controlador de CRT (tubo de rayos catódicos).
- MC6850 Interface adaptador de comunicación asíncrona.

Para sincronizar el MC68008 con periféricos del MC6800 el procesador modifica el ciclo de la señal de "E" para reconocer un proceso ya sea de lectura o de escritura.

La figura II.2.5 muestra el diagrama de flujo de la operación de interface entre el procesador y los dispositivos del M6800.

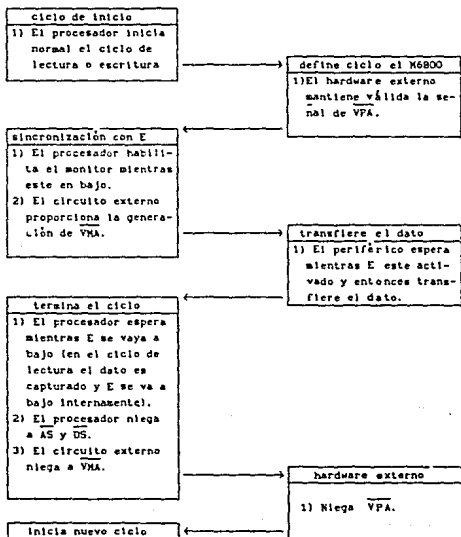


figura II.2.5 .- diagrama de flujo del M6800.

### II.2.5.1 .- Operación de transferencia de datos

Dos señales del procesador son suministradas a la interface con el M6800. Estas son: la señal de enable (E) y la de dirección de periférico válida ( $\overline{VP\overline{A}}$ ). La frecuencia de E es un décimo de la frecuencia que entra al MC68008. El período de E permite que periféricos de 1 Mhz sean usados con los de 8 Mhz del MC68008. Enable tiene 60/40 ciclos, esto es, bajo para seis entradas de reloj y alto para cuatro entradas de reloj.

Durante el segundo estado la señal de habilitación de dirección ( $\overline{AS}$ ) es asertada para indicar que hay una dirección válida en el bus. Si el ciclo del bus está en ciclo de lectura, el dato habilitado es también asertado en el segundo estado. Si el ciclo del bus está en ciclo de escritura, la señal de R/ $\overline{W}$  es conmutada a bajo durante el segundo estado, En la mitad del reloj siguiente en el tercer estado, el dato escrito es colocado en el bus de datos y en el cuarto estado la habilitación del dato es usado para indicar que el dato ha sido válido en el bus de datos. Ahora el procesador inserta un estado de espera hasta que reorganiza el mantenimiento de  $\overline{VP\overline{A}}$ .

Durante el ciclo de lectura, el procesador captura el dato del periférico en el sexto estado. Para todos los ciclos el procesador niega la habilitación de datos y direcciones un medio ciclo de reloj después en el estado siete, y la señal de Enable se va a bajo en este tiempo. En el otro medio ciclo el bus de direcciones es puesto en estado de alta impedancia. Durante el ciclo de escritura el bus de datos es puesto en estado de alta impedancia, y la señal de read/write es conmutada a alto. La figura II.2.5.1 muestra el diagrama de tiempos de estas señales.

DIAGRAMA DE TIEMPOS PARA EL MICROPROCESADOR 68008

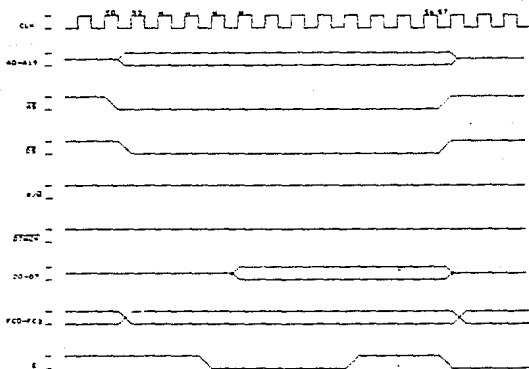


figura II.2.5.1 .- Ciclo de tiempo del 68008 para lectura

Con respecto a la sincronización del sistema el microprocesador se encarga de generar todas las señales de sincronización para poder efectuar lectura y escritura, ya sea hacia la memoria o hacia algún periférico.

### II.3 .- MODULOS QUE CONSTITUYEN AL SISTEMA DE ADQUISICION DE DATOS.

Como se mencionó anteriormente un sistema de adquisición de datos puede contener la cantidad de módulos para que cumpla con las necesidades que en ese momento se requieran, además de que

pueden integrarse la cantidad de módulos que sean necesarios para posibles expansiones de nuestro sistema.

En el sistema de adquisición de datos que veremos en este trabajo de tesis contiene los siguientes módulos:

Módulo de desarrollo.  
Módulo de CPU.  
Módulo de convertidor A/D.  
Módulo de Timer's.  
Módulo de Video.

Se pensó que con estos módulos se contaría con los elementos necesarios para la implantación del equipo para un sistema de Adquisición de Datos de Propósito General de gran ayuda tanto para la Ingeniería Electrónica como para la industria.

Estos módulos se verán con más detalle en el capítulo III de esta Tesis.

## CAPITULO III

### III.- HARDWARE

#### III.1 .- INTRODUCCION

Para el diseño en electrónica digital es necesario el estudio de dos elementos bien definidos como circuitería y programación. La importancia de estos dos elementos es por igual, ya que no podrían trabajar por separado, de tal manera que para la presentación de esta tesis se optó por definir en primer lugar todo lo concerniente a Hardware, que es todo lo relacionado con circuitería y más adelante se hablará del Software ó Programación.



### III.2.- MODULO DE DESARROLLO Y BUS MAESTRO

#### III.2.1.-Introducción.

Para el desarrollo de equipos sofisticados de adquisición de datos que usan diversas etapas ó módulos para diversos propósitos, dependiendo hasta que punto se quiera expandir o que objetivos se quieran alcanzar con el equipo, es necesario el desarrollo de un módulo de soporte para las diferentes interfaces que se encuentran integradas en el equipo.

El módulo de desarrollo conducirá las señales necesarias para la comunicación y control que realiza el módulo de CPU con los diferentes módulos, a través del bus maestro.

#### III.2.2.-Objetivo.

EL objetivo de éste módulo es de soporte del desarrollo de las diferentes interfaces que se encuentran constituidas en este equipo ó ampliaciones futuras.

#### III.2.3.-Características del módulo.

Las características principales del módulo de desarrollo se mencionan a continuación:

1.-Proporcionan al usuario la facilidad de desarrollo de cualquier interfaz para el microprocesador 68008.

2.-El mapa de memoria puede ser configurado según requerimientos del usuario.

3.-La capacidad máxima de direccionamiento por módulo es de cuatro señales de habilitación para periféricos a los cuales se

les brinda su propio selector.

4.-La limitante de este módulo es que únicamente está dedicada al desarrollo de interfaces para el microprocesador MC68008.

#### III.2.4. Funcionamiento del módulo de desarrollo.

Este módulo direcciona los dispositivos periféricos a través de las direcciones emitidas por el CPU.

La Figura III.2.4. muestra el diagrama eléctrico para la decodificación de direcciones. En él, se aprecia que las memorias trabajan independientemente ya que una recibe las parte baja de las direcciones y la otra, la parte alta.

Cada memoria U8 y U10 (92S129) debe grabarse previamente para responder a las direcciones seleccionadas con niveles de voltaje altos en una de cualquiera de sus cuatro salidas (terminales 9,10,11 y 12) que están conectadas a cuatro compuertas AND de tres entradas U4 y U5 (74LS11) conjuntamente con la señal de reloj (E).

Esto condiciona a que las tres señales deban estar con 1 lógico para poder obtener un nivel lógico alto a la salida de una de estas cuatro compuertas y así permitir que la compuerta NOR de cuatro entradas U2 (74LS25) facilite un nivel bajo para habilitar a los buffers de datos U6 (74LS640) .

La señal de  $R/\bar{W}$  tiene una salida negada para su uso con dispositivos periféricos y una salida no negada.

Por último, las señales procedentes de las salidas de las compuertas AND de tres entradas se toman normales y a su vez son invertidas para su uso como selectores de pastilla.

### III.2.5 .- Posibles configuraciones del módulo.

El módulo de desarrollo puede configurarse como entrada ó salida de datos, direcciones y señales de control.

La descripción de los puentes para configuración se presenta continuación:

J1: Puente para el uso de dispositivos periféricos en el módulo (señales R/W,  $\overline{\text{RESET}}$ ,  $\phi_1$  y  $\phi_2$  recibidas del exterior). En caso contrario queda libre.

J2: Puente inferior para el uso de dispositivos periféricos en el módulo (señal R/W negada que permite recibir datos del exterior).

J3: Puente para cuando se usan dispositivos inteligentes (direcciones enviadas al exterior).  
Sin conectar para periféricos (permite el paso de direcciones desde el exterior).

### III.2.6 .- Descripción de conectores.

A continuación se muestran siete tablas (III.2.6.1. a III.2.6.7), las cuales contienen la asignación de las señales correspondientes al número de terminal para los conectores internos.

| CONECTOR A |                              |
|------------|------------------------------|
| TERMINAL   | SEÑAL                        |
| 1          | $\overline{\text{DMA/BREG}}$ |
| 2          | $\overline{\text{MRDY}}$     |
| 3          | $\overline{\text{HALT}}$     |
| 4          | $\overline{\text{FIRO}}$     |
| 5          | $\overline{\text{MMI}}$      |
| 6          | $\overline{\text{IRO}}$      |

Figura III.2.6.1

| CONECTOR B |                           |
|------------|---------------------------|
| TERMINAL   | SEÑAL                     |
| 1          | $\Phi 2 (E)$              |
| 2          | $\Phi 1$                  |
| 3          | $\overline{\text{RESET}}$ |
| 4          | R/V                       |

Tabla III.2.6.2

| CONECTOR C |       |
|------------|-------|
| TERMINAL   | SEÑAL |
| 1          | GND   |
| 2          | +5V   |
| 3          | -12V  |
| 4          | +12V  |

Tabla III.2.6.3

| CONECTOR D |                         |
|------------|-------------------------|
| TERMINAL   | SEÑAL                   |
| 1          | $\overline{\text{CS4}}$ |
| 2          | CS4                     |
| 3          | $\overline{\text{CS3}}$ |
| 4          | CS3                     |
| 5          | $\overline{\text{CS2}}$ |
| 6          | CS2                     |
| 7          | $\overline{\text{CS1}}$ |
| 8          | CS1                     |

Tabla III.2.6.4

| CONECTOR E |                        |
|------------|------------------------|
| TERMINAL   | SEÑAL                  |
| 1          | $\overline{\text{D7}}$ |
| 2          | $\overline{\text{D6}}$ |
| 3          | $\overline{\text{D5}}$ |
| 4          | $\overline{\text{D4}}$ |
| 5          | $\overline{\text{D3}}$ |
| 6          | $\overline{\text{D2}}$ |
| 7          | $\overline{\text{D1}}$ |
| 8          | $\overline{\text{D0}}$ |

Tabla III.2.6.5

| CONECTOR F |       |
|------------|-------|
| TERMINAL   | SEÑAL |
| 1          | A15   |
| 2          | A14   |
| 3          | A13   |
| 4          | A12   |
| 5          | A11   |
| 6          | A10   |
| 7          | A9    |
| 8          | A8    |

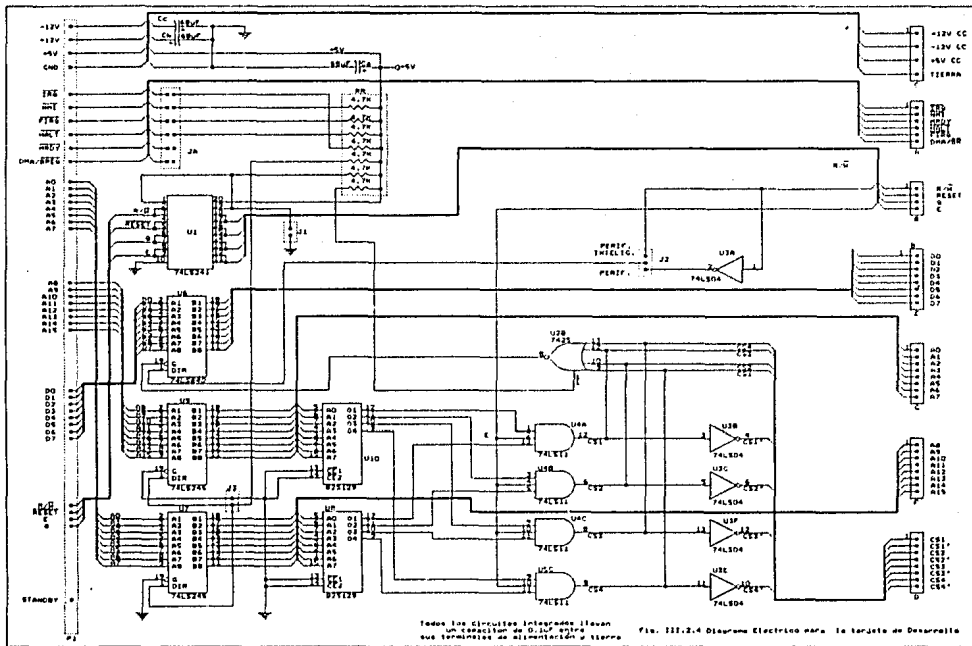
Tabla III.2.6.6

| CONECTOR G |       |
|------------|-------|
| TERMINAL   | SEÑAL |
| 1          | A7    |
| 2          | A6    |
| 3          | A5    |
| 4          | A4    |
| 5          | A3    |
| 6          | A2    |
| 7          | A1    |
| 8          | A0    |

Tabla III.2.6.7

## ASIGNACIONES DEL PUERTO 1 ( P1 )

| NÚMERO DE TERMINAL | ASIGNACIÓN LADO COMPONENTES  | NÚMERO DE TERMINAL | ASIGNACIÓN LADO SOLDADURA |
|--------------------|------------------------------|--------------------|---------------------------|
| 1,3,5              | +5V C.D.                     | 2,4,6              | +5V C.D.                  |
| 7                  | $\overline{\text{IRQ}}$      | 8                  | $\overline{\text{HALT}}$  |
| 9                  | $\overline{\text{NMI}}$      | 10                 | $\overline{\text{RESET}}$ |
| 11,13              | SIN CONEXIÓN                 | 12,14              | R/V y Q                   |
| 15                 | E                            | 16,18              | GND + 12 V                |
| 17                 | GND + 12 V                   | 20                 | SIN CONEXIÓN              |
| 19                 | SIN CONEXIÓN                 | 22                 | -12V C.D.                 |
| 21                 | -12V C.D.                    | 24,26,28,30        | SIN CONEXIÓN              |
| 23,25,27,29        | SIN CONEXIÓN                 | 32                 | +12V C.D.                 |
| 31                 | +12V C.D.                    | 34                 | STANDBY                   |
| 33                 | STANDBY                      | 36,38              | SIN CONEXIÓN              |
| 35                 | $\overline{\text{PWR FAIL}}$ | 40,42,44           | GND                       |
| 37                 | $\overline{\text{LDS}}$      | 46,48,50           | SIN                       |
| 39,41,43           | GND                          | 52,54,56           | CONEXIÓN                  |
| 45                 | $\overline{\text{FIRQ}}$     | 58                 | $\overline{\text{D1}}$    |
| 47,49,51           | SIN                          | 60                 | $\overline{\text{D5}}$    |
| 53,55              | CONEXIÓN                     | 62                 | $\overline{\text{D0}}$    |
| 57                 | $\overline{\text{D3}}$       | 64                 | $\overline{\text{D4}}$    |
| 59                 | $\overline{\text{D7}}$       | 66                 | A15                       |
| 61                 | $\overline{\text{D2}}$       | 68                 | A12                       |
| 63                 | $\overline{\text{D6}}$       | 70                 | A11                       |
| 65                 | A14                          | 72                 | A8                        |
| 67                 | A13                          | 74                 | A7                        |
| 69                 | A10                          | 76                 | A4                        |
| 71                 | A9                           | 78                 | A3                        |
| 73                 | A6                           | 80                 | A0                        |
| 75                 | A5                           | 82,84,86           | GND                       |
| 77                 | A2                           |                    |                           |
| 79                 | A1                           |                    |                           |
| 81,83,85           | GND                          |                    |                           |



### III.2.7 Lista de componentes

| NO. DE PARTE | CÓDIGO    | DESCRIPCIÓN  | SUSTITUTO |
|--------------|-----------|--|-----------|
| U1           | SN74LS241 | BUFFER UNIDIRECCIONAL<br>OCTAL NO INVERSOR                         | 74HCT241  |
| U2           | SN7425    | DOBLE COMPUERTA NOR<br>DE CUATRO ENTRADAS                          |           |
| U3           | SN74LS04  | TRIPLE COMPUERTA AND<br>DE TRES ENTRADAS                           | 74HCT04   |
| U4,U5        | SN74LS11  | TRIPLE COMPUERTA AND<br>DE TRES ENTRADAS                           |           |
| U6           | SN74LS640 | BUFFER BIDIRECCIONAL<br>OCTAL INVERSOR                             | 74HCT640  |
| U7,U9        | SN74LS245 | BUFFER BIDIRECCIONAL<br>OCTAL NO INVERSOR                          | 74HCT245  |
| U8,U10       | 8825129   | MEMORIA BIPOLAR PROM<br>DE 256x4 BITS                              | 745287    |
| C4,C5,C6     |           | CAPACITOR ELECTROLÍTICO AXIAL<br>DE 22 $\mu$ F A 35V               |           |
| C1,C10       |           | CAPACITOR CERÁMICO DE 0.1 $\mu$ F                                  |           |
| R            |           | EMPAQUE DE RESISTENCIAS<br>DE 4.7K $\Omega$ , TIRA DE 7, 1/4 WATT. |           |

Tabla III.2.7.- Componentes del módulo de desarrollo.

### III.3.- MODULO DE CPU

#### III.3.1.- Objetivo

El módulo de CPU ó Unidad Central de Procesamiento, tiene la finalidad de organizar todo tipo de tarea encomendada al equipo de Adquisición de Datos , dando para ello señales de sincronización y activación ó desactivación.

#### III.3.2.- Diagrama de Bloques

El circuito integrado MC68008L10, es el dispositivo controlador básico del Módulo de CPU, sus ventajas ya antes fueron mencionadas, por lo cual nos limitaremos a explicar el funcionamiento a bloques de este módulo.

Como se podrá apreciar en el diagrama de bloques en la fig.III.3.2.1, se pueden reconocer las 6 etapas mas importantes de la tarjeta para su funcionamiento , que se pueden enumerar de la manera siguiente:

- 1) Bloque de Microprocesamiento.
- 2) Bloque de Señales de control para el 68008.
- 3) Bloque de Manejadores de Línea.
- 4) Bloque de Decodificación o Generador de Señales de Control para periféricos.
- 5) Bloque de Memoria RAM.
- 6) Bloque de Memoria EPROM.



1) Bloque de Microprocesamiento .- El circuito integrado principal es el 68008 que tiene la responsabilidad de ordenar todas las tareas a realizar por el sistema emitiendo para este fin las señales necesarias.

Se pueden observar todas las señales importantes tales como líneas de direcciones ( A0-A19 ) , líneas de datos (D0-D7), líneas de control para emisión (AS', DS'), recepción y sincronización de datos (R/W'), alimentación de reloj (E , CK) , además de líneas de interrupción para el 68008 (IPL0/IPL2, ILP1) y reestablecimiento del sistema (RESET).

2) Bloque de Señales de control para el 68008.- Se presentan las señales de control para el 68008. Estas señales son tales que sin ellas el sistema no trabajaría.

En primer lugar está la etapa de alimentación de reloj con el cuál el sistema trabajará a una frecuencia de 10 MHz. Este etapa cuenta con un cristal de la misma frecuencia, además de un arreglo para acondicionar esta señal.

Para que el sistema se reinicialice es necesario una señal que reestablezca el sistema , dicha señal será proporcionada por el bloque de Reset (U2).

Un bloque de Codificación de Interrupciones (U4) es utilizado para suspender la actividad actual del microprocesador. Como se puede apreciar en este bloque, son dos las señales que presentan un nivel de interrupción a la entrada del microprocesador con el cual se suspenderá la actual operación del mismo.

3) Bloque de Manejadores de línea.- Dicha etapa es importante debido a que respalda la señal proveniente del microprocesador.

Con ello podemos manejar más carga de la que normalmente se podría usar con las señales directas del microprocesador.

Las señales de control de periféricos son transmitidas por los manejadores de línea (U4) no inversores.

Es importante hacer notar la habilitación de los manejadores de línea (U5 y U6) para las direcciones, ya que estos son controlados por una señal resultante de la suma de las señales A16', A17 y AS'. A esta etapa se le ha llamado etapa de Sincronización para Periféricos. Con dicha señal el microprocesador puede acceder a periféricos ya sea internos o externos ya que se ha hecho un arreglo con el cual las señales ya antes mencionadas propiciarán un estado alto o bajo según sea la dirección emitida por el 68008.

Los manejadores de línea correspondientes a las líneas de datos (U7) invierten las señales para ser comunicadas al bus maestro y en otra etapa semejante (U11) son nuevamente invertidos para ser transmitidos normalmente hacia la etapa de memorias (U18, U19 Y U20).

La habilitación para tales manejadores de línea es por medio de la señal de  $\bar{R}/W$ , con lo cual se asegura que en el momento en el que el 68008 lea, los datos serán transmitidos hacia él y viceversa, si desea escribir.

4) Bloque de Decodificación o Generador de Señales de Control para periféricos.- En la segunda parte del diagrama de bloques figura III.3.2.2 se observa como las direcciones del 68008 llegan directamente a los manejadores de línea no inversores (U9 y U10) .

A la salida del buffer (U10) las direcciones que son transmitidas hacia el bloque de codificación de direcciones son A10-A15 que junto con las direcciones provenientes del buffer (U21) A16 y A17 forman la dirección de entrada de 8 bits,

teniendo a la salida las 4 señales codificadas que serán los selectores de memoria.

Este bloque esta constituido por la memoria PROM (U13), por la etapa de compuertas AND (U14) y compuertas inversoras (U16). Estas tres etapas nos proporcionarán 4 diferentes señales para la habilitación de dispositivos periféricos internos de memoria con los cuáles se podrá acceder a cualquiera de ellos.

5) Etapa de Memoria RAM.- Es necesario tener un dispositivo capaz de almacenar información disponible para el 68008, pero que dicha información sea actualizada en el momento que sea necesario.

Esto es logrado precisamente por la etapa de Memoria RAM (U20), con la cual se tiene información que se puede cambiar de acuerdo a la operación del microprocesador .

6) Bloque de Memoria EPROM.- Necesariamente debe existir un dispositivo el cual tenga la información específica de la tarea encomendada al equipo, o en otras palabras el programa virtual de operación del sistema. Este programa será grabado en este bloque el cual está contituido por (U18 y U19)

### III.3.3 Descripción del módulo

El 68008 es el encargado de emitir las direcciones previamente establecidas, las cuales son conducidas a través de buffer's bidireccionales (74LS245) hacia los periféricos externos como se puede apreciar en el diagrama eléctrico fig III.3.3 . Tales buffer's son sincronizados por medio de la señal resultante de la AND realizada a las señales A16', A17 y AS.

Esta etapa de sincronización determina el tipo de periférico al cuál se estará accediendo, ya sea periférico externo

(dispositivos que se encuentran fuera del Módulo de CPU) ó interno ( dispositivos internos del Módulo ) de tal manera que se trabajará con periféricos externos a partir de la dirección que cumpla la condición de  $AS=1$ ,  $A17=1$  y  $A16'=1$  o sea la dirección 20000h.

Para trabajar con los periféricos internos dichos buffer's deberán desactivarse con una señal que sea condicionada por  $AS=X$ ,  $A17=0$  y  $A16'=1$  que abarcan el espacio de memoria desde la dirección 00000 - 19FFF.

Es importante observar que si el Microprocesador no envía una señal indicadora de que hay una dirección válida en el bus de direcciones como es  $AS'$ , no se activará ningún periférico, lo cual nos ayuda aún más a sincronizar los dispositivos externos.

Por otra parte las señales de datos son también transmitidas por medio de buffer's inversores bidireccionales (74LS640) hacia el bus maestro y directamente a periféricos internos.

El primer buffer (U7) encargado de la transrecepción de datos es controlado en su señal de dirección por  $R/W'$  de tal forma que si el Microprocesador 68008 esta leyendo , la dirección será hacia él y viceversa si se escribe.

Un buffer bidireccional no inversor (74LS245) se utiliza para las señales  $R/W'$ , reset,  $AS'$ , E, además de  $FC0$ ,  $FC1$ ,  $FC2$ .

La señal de E se encargará de sincronizar la emisión de direcciones a la salida de la PROM ( 82S129).

El circuito de reloj que se encargará de proporcionar la señal de temporización hacia el 68008 es cristal de 10 Mhz.

Un CI 74LS147 codificador de 8 a 4 líneas nos proporciona los 4 Niveles de Interrupción Prioritarios (0, 2, 5, 7) debido a la

conexión interna de las entradas IPLO/2 e IPL1 del 68008.

El circuito Reset, formado por un CI LM555 y dispositivos discretos, proporciona al 68008 la señal de autoreset con un tiempo de activación de  $t=429$  ms.

Como se podrá apreciar en el diagrama eléctrico, se ha conectado una memoria PROM (82S129) de 256 X 4 bits para la habilitación de memorias. Esta memoria responderá al mapa de memoria interno de la tarjeta que a continuación se muestra en la Figura III.3.3:

Mapa de Memoria Interno para la tarjeta de CPU.

| SELECTOR         | PERIFERICO ASIGNADO  | DIRECCION     |
|------------------|----------------------|---------------|
| $\overline{CS1}$ | EPRON 1 (32 K) 27256 | 00000 - 07FFF |
| $\overline{CS2}$ | EPRON 2 (64 K) 27512 | 08000 - 17FFF |
| $\overline{CS3}$ | RAM (8K)             | 18000 - 19FFF |

III.3.3 Mapa de Memoria Interno para CPU

Las direcciones que llegan a la memoria PROM, son A10-A17, con lo cual se desprecian las direcciones A0-A9, tal implantación da lugar a tener un espacio de memoria virtual más amplio, ya que se puede acceder hasta 256 Kbytes con los bits de direcciones que se han conectado (A0-A17).

Después que las direcciones han sido codificadas, por la memoria PROM, cada señal selectora, en los CI 74LS08 será sincronizada por medio de la señal E e invertida por los CI 74LS04. Es así como obtenemos  $\overline{CS1}$ ,  $\overline{CS2}$ ,  $\overline{CS3}$  que activarán las memorias ya antes mencionadas.

A la salida de las compuertas AND (U14) , las señales selectoras, no negadas, son conectadas a una compuerta NOR (U17B), con la cuál se obtiene la señal que habilitará la transrecepción de datos en la etapa de buffer's, ya que como se podrá observar, la compuerta "G" de los buffer's 74LS640 inversores, es activada con un estado bajo. Nótese que en esta misma etapa quien define la transmisión o recepción de datos , es la señal de R'/W.

En la última parte del diagrama eléctrico se tienen las memorias RAM y EPROM ya antes mencionadas y la conexión con los buffer's de direcciones y de datos, además de sus señales habilitadoras.

#### III.3.4.- Posibles configuraciones de la tarjeta de CPU

Una sola posible configuración es posible en la tarjeta del CPU, y ésta nos sirve para trabajar con memorias RAM ya sea 6116 (2K) o bien con 6264 (8K), según sean los requerimientos del sistema.

DIAGRAMA DE BLOQUES PARA LA TARJETA DEL CPU

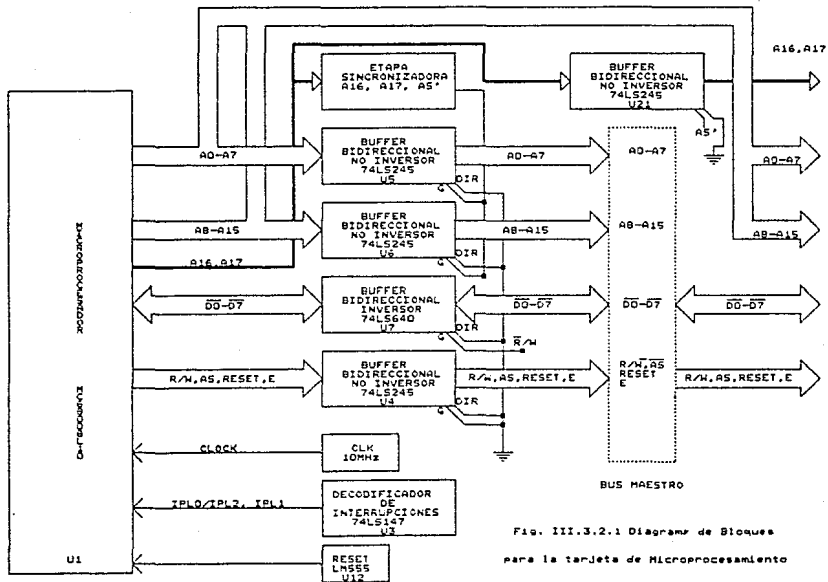


Fig. III.3.2.1 Diagrama de Bloques para la tarjeta de Microprocesamiento

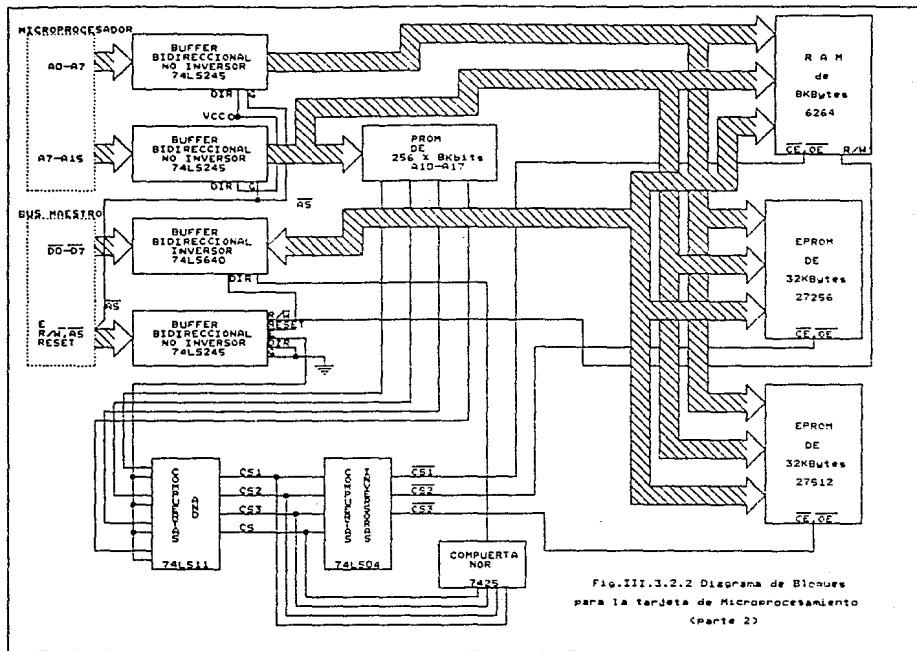


Fig.III.3.2.2 Diagrama de Bloques para la tarjeta de Microprocesamiento (Parte 2)



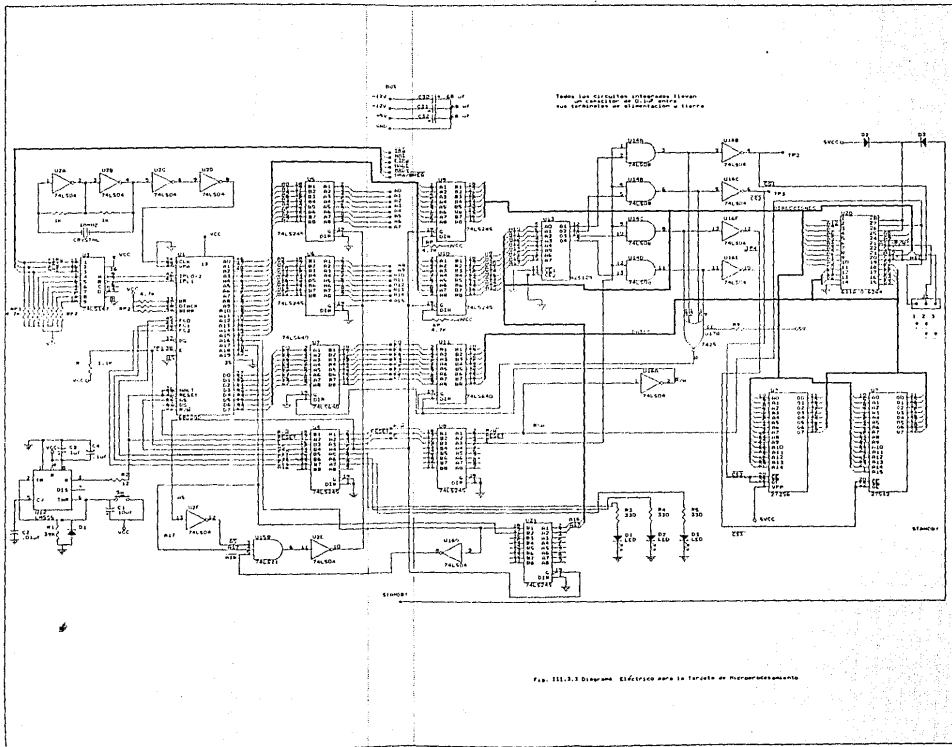
### III.3.5.- Lista de Componentes

| ASIGNACION | DESCRIPCION                                | N O . DE PARTE |
|------------|--|----------------|
| U1         | MICROPROCESADOR                            | MC68008L10     |
| U2         | COMPUERTAS INVERSORAS (6) 2 ENTRADAS       | 74LS04         |
| U3         | DECODIFICADOR PRIORITARIO DE 10 A 4 LINEAS | 74LS147        |
| U4         | TRANSCCEPTOR (BUFFER) NO INVERSOR          | 74LS245        |
| U5         | TRANSCCEPTOR (BUFFER) NO INVERSOR          | 74LS245        |
| U6         | TRANSCCEPTOR (BUFFER) NO INVERSOR          | 74LS245        |
| U7         | TRANSCCEPTOR (BUFFER) INVERSOR             | 74LS640        |
| U8         | TRANSCCEPTOR (BUFFER) NO INVERSOR          | 74LS245        |
| U9         | TRANSCCEPTOR (BUFFER) NO INVERSOR          | 74LS245        |
| U10        | TRANSCCEPTOR (BUFFER) NO INVERSOR          | 74LS245        |
| U11        | TRANSCCEPTOR (BUFFER) INVERSOR             | 74LS640        |
| U12        | TIMER                                      | LN555          |
| U13        | PROM (1024 KB)                             | 825129         |
| U14        | COMPUERTAS AND (6) 2 ENTRADAS              | 74LS11         |
| U15        | COMPUERTAS AND (6) 2 ENTRADAS              | 74LS11         |
| U16        | COMPUERTAS INVERSORAS (6) 2 ENTRADAS       | 74LS04         |
| U17        | COMPUERTAS NOR (2) 4 ENTRADAS              | 7425           |
| U18        | RAM (8k)                                   | 6116 0 6264    |
| U19        | EPROM (16k)                                | 27128A         |
| U20        | EPROM (16k)                                | 27128A         |
| U21        | TRANSCCEPTOR (BUFFER) NO INVERSOR          | 74LS245        |

TABLA III.3.5.1 Componentes 1A

| NO. DE PARTE  | CODIGO       | DESCRIPCION                    |
|---|--------------|--------------------------------|
| D1, D4, D3  |              | 3 DIODOS LED'S                 |
| C1, C2, C3, C4, 5, C6,<br>C7, C8, C9, C10, C11,<br>C13, C14, C15, 16, C17<br>C18, C19, C20, 24, C25 | 0.1 $\mu$ F  | 23 CAPACITORES DE<br>POLIESTER |
| C22   | 1 $\mu$ F    | 1 CAPACITOR DE POLIESTER       |
| C21   | 10 $\mu$ F   | 1 CAPACITOR DE POLIESTER       |
| C12   | .01 $\mu$ F  | 1 CAPACITOR DE POLIESTER       |
| RP1, RP2, RP3   | 4.7 K        | 3 REDES DE RESISTENCIAS        |
| R3, R4, R5  | 330 $\Omega$ | 3 RESISTENCIAS 5X 1/2 W        |
| R2  | 12 $\Omega$  | 1 RESISTENCIA 5X 1/2 W         |
| R1  | 39K          | 1 RESISTENCIA 5X 1/2 W         |
| C20, C31, C32   | 68 $\mu$ F   | 3 CAPACITORES DE POLIESTER     |
| D1, D2, D3  | 1N477        | 3 DIODOS                       |
|   |              | 1 CRISTAL DE 10 MH             |
| SW1   |              | 1 SWICHT                       |

TABLA III.3.5.2 Componentes 1B



### III.4 .- MODULO DE CONVERSION ANALOGICO/DIGITAL

#### III.4.1 .- Introducción

Con el crecimiento de las microcomputadoras en el desarrollo de sistemas ó equipos de adquisición de datos se ha pensado en el diseño de módulos completos de conversión de señales analógicas/digitales, esto debido a que la computadora utiliza 1 y 0 para representar valores internos, lo cual se logra con técnicas de conversión. Sin embargo el mundo exterior de la computadora es analógico por naturaleza, es decir los valores producidos varían en forma continua. Está interrelación entre el mundo exterior y la computadora se ha logrado por medio de los convertidores analógicos/digitales.

Los convertidores analógicos/digitales son circuitos ó dispositivos que examinan una entrada analógica, en otras palabras examinan una señal de voltaje y lo convierten a un equivalente en código binario. El convertidor tiene una salida codificada en la que cada incremento en el bit menos significativo en la salida, representa un incremento dado de voltaje en la entrada.

Existen varias técnicas de conversión para los convertidores A/D entre los que se destacan las siguientes: De integración o de rampa, de aproximaciones sucesivas, paralelo, entre otros.

#### Convertidor de Integración.

Este tipo de convertidor transforma el cociente de voltajes entre la entrada y la referencia en una relación de tiempos.

Existen varios tipos de convertidores de integración pero todos se basan en rampas lineales obtenidas de un integrador analógico controlado, respectivamente por una y otra señal. El convertidor de integración más conocido es el de tipo doble rampa cuyo diagrama de bloques se muestra en la figura III.4.1.1.

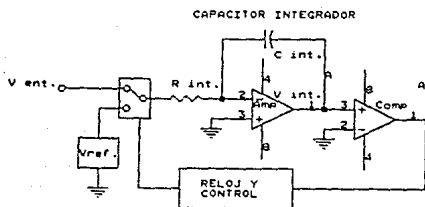


Figura III.4.1.1. Convertidor Integrativo Básico

La entrada del convertidor se conecta alternativamente a tierra, a la señal de entrada o a una señal de referencia mediante un conmutador; la salida del integrador pasa a un comparador y luego al sistema lógico y de sincronización. Este sistema es el que se encarga también de controlar el conmutador de entrada, los biestables de salida, etc.

La conversión tiene lugar en tres fases como indica la figura III.4.1.2.

La primera fase es la de autoajuste. Durante ella se ajusta a cero la salida del integrador y por lo general también se anulan los voltajes de desbalance del Sistema, por lo que se denomina "fase de autocero o fase de reposición" (no aparece éste circuito en la figura III.4.1.1).

La segunda es la "fase de integración de la entrada" o, "fase de integración". Durante ese periodo, la entrada del integrador esta conmutada a la señal de entrada, por tanto, la variable de entrada se integra durante un tiempo fijo, determinado por el sistema de control.

La tercera fase recibe el nombre de "integración de referencia" o "fase de desintegración"; durante este periodo, la entrada del integrador se conecta a la referencia durante un tiempo variable, hasta que la salida del integrador regresa a su valor inicial. Y como resultado del tiempo necesario para lograr esto queda registrado en el sistema de control lógico.

Las únicas fuentes de error en un convertidor de doble rampa bien diseñado sólo pueden ser el voltaje de referencia y la posible variación del reloj.

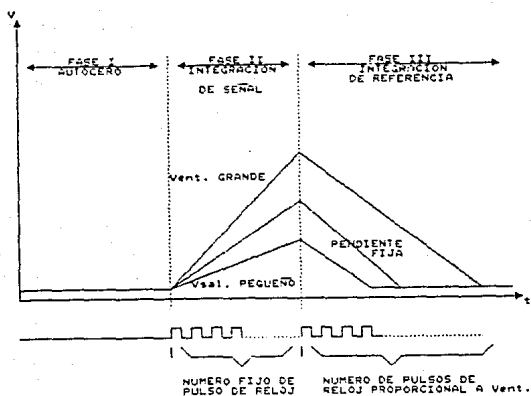


figura III.4.1.2.- Las tres fases de la conversión.

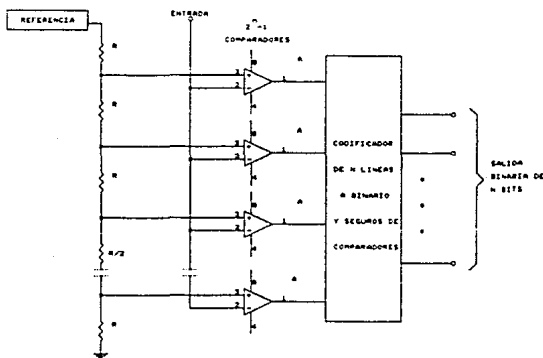
#### Convertidor Paralelo o Flash.

Esta técnica puede considerarse como la solución de "fuerza bruta" para la conversión A/D. Consiste en disponer un comparador para cada posible nivel de entrada y codificar la salida adecuadamente en binario. Esto se puede ver en la figura III.4.1.3.

Un comparador analógico ordinario puede considerarse como un convertidor paralelo de un Bit, y además podemos decir que tiene asegurada (sujetada) la salida.

Por lo general los convertidores de ese tipo utilizan una arquitectura llamada de "tubería o canalizada" que permite procesar digitalmente un resultado al mismo tiempo que efectúa la adquisición de una nueva entrada. Esta técnica es muy rápida y permite obtener un resultado a cada pulso de reloj. Por otro lado, se requiere un gran número de comparadores (255 o 256 para un comparador de 8 Bits) por lo que resulta una técnica muy costosa.

Además de las complicaciones propias de su número de elementos, es la imprecisión resultante de los voltajes de desbalance de los comparadores. La diferencia entre niveles adyacentes puede ser de apenas unos milivolts y si la suma de desbalances de un par de comparadores adyacentes excede este valor, la red lógica de decodificación recibirá una señal inconsistente desde el punto de vista lógico. Aunque la red decodificadora haya sido diseñada teniendo en cuenta esta posibilidad, necesariamente se producirá un error de salida.



#### III.4.1.3.- Convertidor A/D de ráfaga (flash o paralelo)



La salida de un convertidor A/D puede ser en paralelo o en serie. El convertidor de salida serie posee una única salida en el cual aparecen los bits uno detrás del otro. Mientras que en el convertidor en paralelo hay una salida para cada bit.

#### Convertidor de Aproximaciones Sucesivas.

La técnica del convertidor A/D de aproximaciones sucesivas esta basada en tratar cada bit por separado. El orden de la operación es del MSB al LSB. Cuando se da la orden de "comienzo de conversión" todas las entradas de memoria son puestas a cero. La lógica de control otorga para empezar un valor de 1 al MSB y por medio del convertidor D/A de realimentación, compara el valor analógico de salida del convertidor D/A con el voltaje de entrada. Si este valor es más bajo que el voltaje de entrada, la suposición que el MSB es 1 fue correcta y el resultado se ingresa a un registro.

Si el voltaje de entrada es menor que la salida analógica del convertidor D/A, el MSB debe ser cero y el registro del MSB permanece en cero. El hecho de que la suposición fue incorrecta es detectado por el comparador. Después de determinar el valor del MSB se pasa a la determinación del bit siguiente. El valor digital de la tensión de entrada aparece en el registro al final de la conversión.

La lógica de control indica el "fin de conversión" al equipo periférico, el cual puede entonces registrar la salida digital en el momento en que ésta es válida. La figura III.4.1.4 muestra la estructura de un convertidor de aproximaciones sucesivas.

La entrada analógica debe permanecer constante durante la conversión, de otra manera el resultado será incorrecto por más de  $\pm 1$  LSB. Por eso, se usa un amplificador de muestreo a la entrada del convertidor (Sample and Hold).

Un amplificador de muestreo es un amplificador con dos modos de operación distintos, controlados por una señal lógica de entrada. Los modos son el modo de muestreo y el modo de retención. En el modo de muestreo, el amplificador de muestreo es como cualquier otro amplificador y la tensión de salida sigue a la tensión de entrada. En el modo de retención, la tensión de salida se mantiene constante en el valor que tenía al final del periodo de muestreo. En este modo el circuito sirve como una memoria analógica.

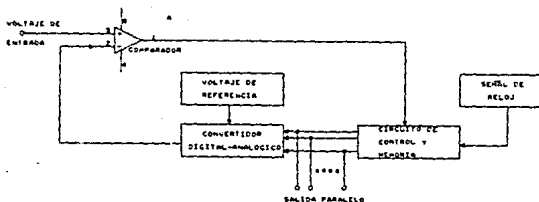


Figura III.4.1.4 .- Convertidor de aproximaciones sucesivas.

Las características más importantes que se requieren en la selección de un convertidor son: la velocidad, linealidad, la estabilidad y resolución.

La velocidad de conversión de los convertidores A/D se encuentra determinada por el tiempo de estabilización de los circuitos electrónicos.

La resolución es el valor del LSB. Un convertidor A/D con resolución de n bits tiene un valor del LSB de:

$$\text{Resolución} = \frac{V_{rs}}{2^n}$$

La linealidad, Especifica la desviación que presenta la relación entrada/salida con respecto a lo estimado idealmente.

La estabilidad de un convertidor A/D se ve afectada por el tiempo, la temperatura y las variaciones de voltaje de alimentación.

#### III.4.2 .- Objetivo.

3

El objetivo de este módulo de convertidor A/D es el de recibir una señal analógica proveniente de una etapa de acondicionamiento, esta señal analógica puede ser corriente o voltaje y convertirla en su equivalente en código binario para ser enviada a un microprocesador.

Se pretende que con éste módulo se realice la conversión de 16 canales de entrada a modo diferencial, encargándose de muestrear todas las señales analógicas y convertirlas a un código

digital equivalente de 12 bits, que luego será interpretado por un bloque de microprocesamiento.

#### III.4.3 .- Características del módulo de convertidor A/D

Antes de que se mencione el funcionamiento del módulo se describirán algunas de las características más importantes con las que cuenta este módulo.

- a) Cuenta con 16 canales para la conversión de voltaje de entrada a modo diferencial, en el rango de 0 a 1 volt de c.d.
- b) Utiliza un amplificador de instrumentación con ajuste de ganancia programable por hardware.
- c) Emplea en la etapa de conversión, un convertidor analógico-digital del tipo de aproximaciones sucesivas de 12 bits.
- d) Los voltajes de alimentación requeridos son de +5V, +12V y -12V.
- e) Los datos son transferidos al bus maestro a través de amplificadores de bus (buffer's inversores) de tercer estado en palabras de 6 bits.
- f) Está dotada de un sensor para registrar variaciones internas de temperatura del equipo.
- g) Indicación de fin de conversión a través del estado del bit 7 en el registro de datos.

### III.4.4 .- Funcionamiento del módulo a bloques.

Para la descripción sobre el funcionamiento del módulo se explica en forma general mediante la siguiente secuencia. Haciendo referencia al diagrama de bloques mostrado en al figura III.4.4.1.

- 1.- Bloque de selección de entrada ó multiplexión analógica.
- 2.- Bloque de amplificación, muestreo y retención.
- 3.- Bloque de conversión analógico-digital.
- 4.- Bloque de sensor de temperatura.
- 5.- Bloque de lógica de control.

1.- Se selecciona un canal analógico de los 16 canales provenientes de un bloque exterior que acondicione las señales. La decodificación de las direcciones apropiadas es efectuada por un bloque de multiplexión analógica.

2.- Se amplifica la señal seleccionada cinco veces, convirtiendo el voltaje diferencial de entrada a un voltaje de referencia a tierra y reteniéndolo momentáneamente mientras la conversión se efectúa. Esta labor se lleva a cabo mediante un bloque de amplificación, muestreo y retención.

3.- Se convierte el voltaje retenido a un código digital por medio de un convertidor A/D del tipo de aproximaciones sucesivas de 12 bits. Utilizando un bloque de voltaje de referencia de precisión.

4.-Debido a que las condiciones de trabajo de un equipo pueden ser más o menos extremas, principalmente en lo que concierne a la vibración, temperatura y ruido, se ha dotado al módulo de un sensor de temperatura para que el personal de mantenimiento lleve un registro del calentamiento interno del equipo, para distintas regiones geográficas y en cualquier época del año.



5.- El bloque de la lógica de control se encarga de controlar todas las operaciones descritas anteriormente, así como el envío de la información al microprocesador.

#### III.4.5 .- Descripción del módulo.

Para este punto nos referiremos al diagrama eléctrico mostrado en la figura III.4.5.1 para mayor comprensión sobre el funcionamiento del módulo.

Este módulo tiene capacidad de muestrear y convertir 16 canales analógicos, pero, como el convertidor A/D usado cuenta con una sola entrada analógica, se hace uso de un esquema de multiplexión analógica para seleccionar el canal deseado.

El microprocesador es el encargado de direccionar a los multiplexores U22 y U23, ó U24 y U25 (HI508) de acuerdo a la tablas que se han establecido y que se muestran con el índice III.4.5.1.

Las direcciones ahí indicadas pueden ser cambiadas a cualquiera que se elijan, sin modificar los cuatro bits menos significativos y la señal de selección utilizada. Los cuatro bits menos significativos de las direcciones indicadas son usados para seleccionar una de las 16 entradas de los multiplexores analógicos y conectarlas a la salida de los mismos.

El circuito integrado U15 (74LS175) cuenta con 4 biestables tipo D disparados por flanco positivo, los cuales tienen la finalidad de memorizar los cuatro bits menos significativos de las direcciones anteriores, cuando la señal de CS1 es activada como se muestra en la tabla III.4.5.1.

Este circuito es necesario para mantener el canal seleccionado a la salida, durante el tiempo que dure la conversión.

| DIRECCIÓN | ORDEN PARA EL CONVERTIDOR       | SELECTOR |
|-----------|---------------------------------|----------|
| XXX0h     | INICIO DE CONVERSIÓN CANAL 1    | CS1      |
| XXX1h     | INICIO DE CONVERSIÓN CANAL 2    | CS1      |
| XXX2h     | INICIO DE CONVERSIÓN CANAL 3    | CS1      |
| XXX3h     | INICIO DE CONVERSIÓN CANAL 4    | CS1      |
| XXX4h     | INICIO DE CONVERSIÓN CANAL 5    | CS1      |
| XXX5h     | INICIO DE CONVERSIÓN CANAL 6    | CS1      |
| XXX6h     | INICIO DE CONVERSIÓN CANAL 7    | CS1      |
| XXX7h     | INICIO DE CONVERSIÓN CANAL 8    | CS1      |
| XXX8h     | INICIO DE CONVERSIÓN CANAL 9    | CS1      |
| XXX9h     | INICIO DE CONVERSIÓN CANAL 10   | CS1      |
| XXXAh     | INICIO DE CONVERSIÓN CANAL 11   | CS1      |
| XXXBh     | INICIO DE CONVERSIÓN CANAL 12   | CS1      |
| XXXCh     | INICIO DE CONVERSIÓN CANAL 13   | CS1      |
| XXXDh     | INICIO DE CONVERSIÓN CANAL 14   | CS1      |
| XXXEh     | INICIO DE CONVERSIÓN CANAL 15   | CS1      |
| XXXFh     | INICIO DE CONVERSIÓN CANAL 16   | CS1      |
| YYYYh     | LECTURA DE 6 BITS MENOS SIGNIF. | CS2      |
| ZZZzh     | LECTURA DE 6 BITS MÁS SIGNIF.   | CS3      |

Donde YYYYh es cualquier dirección diferente de ZZZzh y las direcciones XXX0h a XXXFh son distintas de las dos anteriores.

Tabla III.4.5.1 .- Direcciones asignadas para el convertidor A/D.

La señal de selección CS1 se activa solamente para seleccionar un canal analógico, así como para dar el inicio a la conversión.



| DIRECCIÓN | 4 BITS MENOS SIGNIFICATIVOS |    |    |    | CANAL SELECCIONADO |
|-----------|-----------------------------|----|----|----|--------------------|
|           | A3                          | A2 | A1 | A0 |                    |
| XXX0h     | 0                           | 0  | 0  | 0  | 1                  |
| XXX1h     | 0                           | 0  | 0  | 1  | 2                  |
| XXX2h     | 0                           | 0  | 1  | 0  | 3                  |
| XXX3h     | 0                           | 0  | 1  | 1  | 4                  |
| XXX4h     | 0                           | 1  | 0  | 0  | 5                  |
| XXX5h     | 0                           | 1  | 0  | 1  | 6                  |
| XXX6h     | 0                           | 1  | 1  | 0  | 7                  |
| XXX7h     | 0                           | 1  | 1  | 1  | 8                  |
| XXX8h     | 1                           | 0  | 0  | 0  | 9                  |
| XXX9h     | 1                           | 0  | 0  | 1  | 10                 |
| XXXAh     | 1                           | 0  | 1  | 0  | 11                 |
| XXXBh     | 1                           | 0  | 1  | 1  | 12                 |
| XXXCh     | 1                           | 1  | 0  | 0  | 13                 |
| XXXDh     | 1                           | 1  | 0  | 1  | 14                 |
| XXXEh     | 1                           | 1  | 1  | 0  | 15                 |
| XXXFh     | 1                           | 1  | 1  | 1  | 16                 |

Tabla III.4.5.2 .- Canal seleccionado con los 4 bits menos significativos de la direcciones asignadas.

Las direcciones de la tabla III.4.5.2 son requeridas por la circuitería de la lógica de control, que a continuación se explica:

Se selecciona uno de los canales analógicos mediante los cuatro bits menos significativos de las direcciones correspondientes, siendo activada la señal de CS1; esta señal es sincronizada con la de  $R/\bar{W}$  a través de una compuerta NAND U14 (74LS00), cuya salida esta conectada a un biestable tipo D U15 (74LS175) a través de un buffer inversor U13B (74LS240).

Se envía la señal de inicio de conversión al convertidor U18 (ADC1210). El pulso es obtenido cuando CS1 y  $R/\bar{W}$  (escritura) son activadas con un flanco ascendente en el terminal del monoestable U12A (MC4098). Inicia la temporización del pulso de muestreo. En el terminal 7 de éste C.I. se obtiene un pulso con duración suficiente para efectuar el muestreo, al cabo del cuál se dispara el flip-flop tipo D que suministrará la señal de inicio de conversión ( $\bar{SC}$ ).

Cuando se esta llevando a cabo la conversión, se presenta un nivel alto en la terminal 14 del convertidor ( $\bar{CC}$ ), en el momento de término se conmuta a un nivel bajo, con lo cuál se informa al microprocesador cuando se ha concluido con la conversión.

La señal  $\bar{CC}$  es enviada a la línea del dato 7 que será leída por el microprocesador para saber si la conversión ha terminado.

Después de que el microprocesador ha recibido la señal de fin de conversión procede a la lectura de los datos correspondientes a los seis bits menos significativos, enviando la dirección de lectura de estos bits a la tarjeta de convertidor; activando al selector CS2 sincronizado con la señal de  $R/\bar{W}$ (lectura) por medio de la compuerta NAND U14C (74LS00) para habilitar al buffer U16 (4502) que contiene la información.

Para la lectura de la palabra correspondiente a los 6 bits más significativos, habiendo terminado la conversión el microprocesador, habilita al selector CS3 sincronizado con la señal de lectura para dar paso a los 6 bits mas significativos hacia el bus maestro.

Una referencia de voltaje es necesaria debido a que el convertidor analógico a digital empleado requiere la aplicación de un voltaje de precisión de C.D. Este voltaje es utilizado como referencia positiva para llevar a cabo las comparaciones que realiza internamente.

Para obtener una referencia de voltaje lo más exacta, se utilizó un diodo referenciador de voltaje de +5 V C.D. D1 (LM336). Este circuito, junto con otros elementos discretos forman la atapa de referencia de precisión.

Los componentes D2, D3, D4, D5, R11, R12 y P3 son para el ajuste de referencia y de mínima variación para cambios de temperatura.

Los componentes R8, R9, R10, C24 y C25 conforman un circuito para el filtrado de ruido.

Una vez que el canal ha sido seleccionado, la señal pasa a través de los multiplexores analógicos y llega al amplificador de instrumentación.

El rango de voltaje diferencial de entrada de las señales analógicas es de 0 a 1 volt. En esta aplicación el amplificador de instrumentación tiene la función de amplificar este voltaje a 5 veces su valor original.

La ganancia del amplificador diferencial está determinada por  $G = \frac{R_S}{R_g}$ , con  $R_S = R5 || R6 + P2$  y  $R_g = R4$ , en el diagrama eléctrico.

El amplificador de instrumentación utilizado es el C.I. AD521 debido a la alta RRMC, bajo ruido, exactitud y flexibilidad que ofrece.

De esta forma la ganancia puede ajustarse dentro del rango de  $1 < G < 1000$ , y el voltaje de salida será entonces  $V_{sal} = G V_{ent}$ .

#### Circuito de muestreo y retención

La señal ya amplificada llega al circuito de muestreo y retención antes de pasar al convertidor. Esta etapa se hace necesaria ya, que si el voltaje analógico varía durante el proceso de conversión, éste puede ser interpretado incorrectamente.

Con el circuito de muestreo y retención U20 (LF398), mantiene constante una muestra del voltaje analógico en todo el tiempo en que la conversión analógico a digital se lleva a cabo.

El convertidor del tipo de aproximaciones sucesivas U16 (ADC1210); tiene una resolución de 12 bits y un tiempo de conversión de  $208 \mu s$  a una frecuencia de reloj de 65KHz. Un convertidor de aproximaciones sucesivas digitaliza una señal por comparación de una entrada desconocida contra un voltaje preciso que toma como referencia el convertidor.

La resolución para este convertidor, considerando el voltaje de plena escala es:

$$LSB = \frac{5 \text{ volts}}{2^{12}} = 1.2207 \text{ milivolts,}$$

Siendo este valor determinante en la exactitud de la conversión digital.

El módulo está configurado para un tiempo de conversión de  $208 \mu s$ , suponiendo que la frecuencia de reloj de el microprocesador sea 1MHz, La cual es dividida entre 16 por el contador síncrono de 4 bits para obtener una frecuencia de reloj para el convertidor A/D de de 62.5KHz. Cualquiera que sea la frecuencia del microprocesador, al final la frecuencia inyectada al terminal 24 de el Convertidor A/D debe ser menor de 65KHz.

La única señal de control externa que requiere el convertidor para realizar su labor, es la de inicio de conversión ( $\overline{SC}$ ), que le es proporcionada por la lógica de control. Al finalizar la tarea, el Convertidor A/D envía la señal de conversión completa ( $\overline{CC}$ ), dato usado por la lógica de control, o bien, para ser leído por el microprocesador.

La figura III.4.5.1. contempla el diagrama de tiempos de las dos señales  $\overline{SC}$  y  $\overline{CC}$ , conjuntamente con la de muestreo y retención.

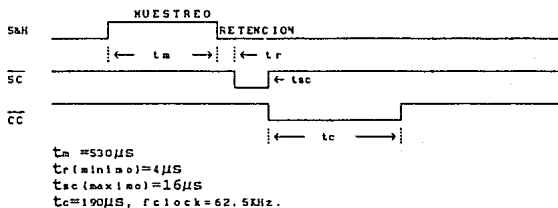


Figura III.4.5.1. Diagrama de tiempos de conversión

El sensor LM35C es capaz de registrar temperaturas en el rango de 0°C a 100°C proporcionales a una variación de voltaje de 1mV/°C. La siguiente relación se usa para hallar la temperatura equivalente al voltaje presente en la entrada del Convertidor A/D con la ganancia del amplificador diferencial ajustada a 5v.

$$t = \frac{mv}{S}$$

donde  $t$ =temperatura actual.  
 $mv$ =voltaje presente en la entrada del C A/D en mvolts.

El sensor se conecta directamente al octavo canal de los multiplexores analógicos usando la opción número 2 de las configuraciones del módulo.

### III.4.6 .- Asignación de conectores

12 voltajes diferenciales independientes de entrada pueden ser suministrados por medio del conector P<sub>2</sub>, para los tres canales restantes se hace uso del conector P<sub>3</sub> ambos situados en la parte superior de la tarjeta.

| CONECTOR P <sub>2</sub> |            |          |            |
|-------------------------|------------|----------|------------|
| TERMINAL                | ASIGNACIÓN | TERMINAL | ASIGNACIÓN |
| 1                       | CANAL 1+   | 2        | CANAL 1-   |
| 3                       | CANAL 2+   | 4        | CANAL 2-   |
| 5                       | CANAL 3+   | 6        | CANAL 3-   |
| 7                       | CANAL 4+   | 8        | CANAL 4-   |
| 9                       | CANAL 5+   | 10       | CANAL 5-   |
| 11                      | CANAL 6+   | 12       | CANAL 6-   |
| 13                      | CANAL 7+   | 14       | CANAL 7-   |
| 15                      | CANAL 8+   | 16       | CANAL 8-   |
| 17                      | CANAL 9+   | 18       | CANAL 9-   |
| 19                      | CANAL 10+  | 20       | CANAL 10-  |
| 21                      | CANAL 11+  | 22       | CANAL 11-  |
| 23                      | CANAL 12+  | 24       | CANAL 12-  |

TABLA III.4.6.1

| CONECTOR P <sub>3</sub> |            |          |            |
|-------------------------|------------|----------|------------|
| TERMINAL                | ASIGNACIÓN | TERMINAL | ASIGNACIÓN |
| 1                       | CANAL 14 + | 2        | CANAL 14 - |
| 3                       | CANAL 15 + | 4        | CANAL 15 - |
| 5                       | CANAL 16 + | 6        | CANAL 16 - |

TABLA III.4.6.2

### III.4.7 .- Configuraciones

En la tabla III.4.7.1 se presentan las tres posibles opciones de configuración que pueden ser hechas a este módulo.

La opción 1 es requerida para proporcionar alimentación de +5V c.d. a través de la terminal número uno del conector CCAD.

La opción 2 puede usarse simultáneamente con la opción 1 y conecta el sensor de temperatura al canal 8 de los multiplexores.

La opción 3 se utiliza cuando sean insuficientes los 7 canales conectados permanentemente, quedando anulada la opción 1 por la expansión y limitando la opción 2 a usarse sólo en casos de mantenimiento, eliminando momentáneamente el canal 8.

| OPCION | ACCION REQUERIDA   | PUNTES A USAR SIMULTANEAMENTE | PUNTOS DE CONEXION |
|--------|--|-------------------------------|--------------------|
| 1      | PROPORCIONAR +5V C.C. A LA TERMINAL N.º 1 DEL CONECTOR CCAD.                             | J3                            | 1 Y 2              |
| 2      | CONECTAR SENSOR DE TEMPERATURA A LOS CANALES 8+ Y 8- DE LOS MULTIPLEXORES ANALOGICOS. ** | J2<br>J3                      | 1 Y 2<br>3 Y 4     |
| 3      | RECEPCION DE LA SEÑAL DEL CANAL 8 DEL BLOQUE DE ACONDICIONAMIENTO.                       | J2<br>J3                      | 2 Y 3<br>2 Y 3     |

\* PUEDE USARSE AL MISMO TIEMPO QUE LA OPCION 1

\*\* EN CASO DE NO DESEAR ENVIO DE INTERRUPCION, J4 QUEDA ABIERTO

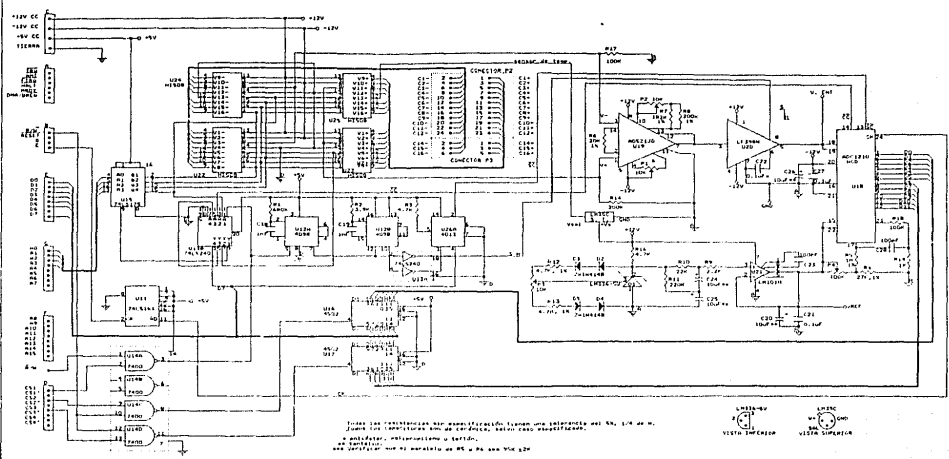
Tabla III.4.7.1. Posibles configuraciones.

### III.4.8 .- Lista de componentes

| N.º DE PARTE | CODIGO   | DESCRIPCION               | SUSTITUTO   |
|--------------|----------|---------------------------|-------------|
| U10          | 74LS161  | CONTADOR DE 4 BITS        | 4161,74S161 |
| U11          | 74LS175  | F-F TIPO D CUADRUPLE      | 4175,74S175 |
| U12          | 74LS00   | MAND. DOS ENT. CUAD.      | 7400 ,74S00 |
| U13          | 74LS240  | BUFFER INV. OCTAL         | 74HCT240    |
| U14,U15      | MC14502  | BUFFER INV. HEX.          | CD4502      |
| U16          | ADC1210  | C A/D 12 BITS             |             |
| U17,U18      | H1508    | MUX. ANALOGICO 8 CANALES  |             |
| U19          | CD4098   | MULTIV. MONOEST. DUAL     | MC14098     |
| U20          | LF398N   | RETENEDOR-MUESTREADOR     |             |
| U21          | AD521JD  | AMPLIFICADOR DE INSTN.    |             |
| U22          | LM101H   | AMPLIFICADOR OPERACIONAL  |             |
| U23          | 74LS04   | INVERSORES                | 7404,74S04  |
| U24          | MC14013  | LATCH CMOS DUAL           | CD4013      |
| D1           | LM136-S  | DIODO REF. DE VOLTAJE     |             |
| D2-D5        | 1N4148   | DIODO RECT. DE SILICIO    | 1N914       |
| R1           | 680K, 5K | RESISTENCIA PELICULA MET. |             |
| R2           | 3.9K     | RESISTENCIA PELICULA MET. |             |
| R3,R11,R12   | 4.7K, 1K | RESISTENCIA .. ..         |             |
| R7           | 4.7K, 5K | RESISTENCIA .. ..         |             |
| R4           | 20K, 1K  | RESISTENCIA .. ..         |             |
| R5           | 200K, 1K | RESISTENCIA .. ..         |             |
| R6           | 182K, 1K | RESISTENCIA .. ..         |             |
| R8           | 220K, 5K | RESISTENCIA .. ..         |             |
| R9           | 22K, 5K  | RESISTENCIA .. ..         |             |
| R10          | 2.2K, 5K | RESISTENCIA .. ..         |             |
| R13          | 27K, 1K  | RESISTENCIA .. ..         |             |
| R14          | 100K, 1K | RESISTENCIA .. ..         |             |
| R15          | 200K, 1K | RESISTENCIA VALOR SELECTO |             |
| R17          | 100K, 5K | RESISTENCIA .. ..         |             |
| C10-C15      | 0.1µF    | CAPACITOR CERAMICO        |             |
| C17-18,C20   | 0.1µF    | CAPACITOR CERAMICO        |             |
| C16,C19      | 10µF     | CAPACITOR TANTALIO        |             |
| C24,C25      | 10µF     | CAPACITOR TANTALIO        |             |
| C21,C22      | 1nF      | CAPACITOR CERAMICO        |             |
| C26,C23      | 100pF    | CAPACITOR CERAMICO        |             |
| P1,P2        | 10KΩ     | TRIMPOT MULTIVUELTA       |             |
| P3           | 10KΩ     | TRIMPOT MULTIVUELTA       |             |
| P4           | 100KΩ    | TRIMPOT MULTIVUELTA       |             |
| ST           | LM35C    | SENSOR DE TEMPERATURA/°C  |             |

Tabla III.4.8.- Componentes del módulo de convertidor A/D.





Todos los resistencias son especificación Tolerancia del 5%, 1/4 W de P.  
 Todas las capacitancias son de 50VDC, salvo caso especificado.  
 Se emplearon: microprocesador a 8080.  
 Se emplearon: microprocesador a 8080.  
 Se emplearon: microprocesador a 8080.

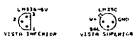


Fig. 111-1-5. Diagrama Electrico para la tarjeta de Comptel Analógico a Digital

### III.5. MODULO DE PROCESAMIENTO DE SEÑALES DISCRETAS

#### III.5.1.-Objetivo

El diseño de esta tarjeta está enfocado primordialmente a la medición de la periodicidad de las señales digitales obtenidas por la captación de eventos característicos de ciertos fenómenos físicos. No obstante, es capaz de generar formas de onda a la salida con ciclo de trabajo variable o señales con ancho de pulso programable que serán utilizadas en una de sus aplicaciones principales, para la autoprueba de la tarjeta.

#### III.5.2.-Características

1.- Contabilización directa mediante Timer programable para tres señales de entrada.

2.- Capacidad de manejo de señales lentas utilizando la opción de reloj externo, generado al programar los Timer's dedicados a esta función.

3.- Posibilidad de generación de tiempos de retardo al software.

4.- Dos puertos paralelos de ocho bits están disponibles para ser programados en cada una de sus líneas , ya sea como entrada o como salida.

5.- Cuenta con cuatro líneas de control sensibles a transición lógica de la señal de entrada para generar interrupción por hardware.

6.- Dispone de un arreglo de Timer's programables para la generación de formas de onda a la salida con configuración para conectarse en modo de autoprueba o para proporcionar dos canales independientes de salida.

### III.5.3.- Diagrama de bloques

La figura III.5.3. representa el diagrama de bloques para esta tarjeta. Puede observarse en él que dos de las líneas para señales de entrada a los Timer's también se derivan hacia un terminal de control para una interfaz adaptadora de periféricos (PIA). Su función será efectuar conteo de eventos.

Otra de las líneas de entrada para señal se dirige hacia un terminal de control de esta interfaz y puede utilizarse, mediante la debida programación, tanto para realizar mediciones de señales de entrada, como para hacer comparaciones de tiempo auxiliado de uno de los Timer's.

Puede apreciarse, además, una bifurcación de la línea de salida de un Timer hacia las entradas de reloj externas de los otros, e incluso, una salida de estos Timer's vuelve a conectarse a un último de estos dispositivos para hacer una división de la frecuencia de reloj del microprocesador suficiente para contabilizar señales de ocurrencia muy lenta que desbordarían el contador antes de que llegara a presentarse el siguiente evento.

El circuito integrado MC6840 es un módulo de tres Timer's programables (PTM). Cada Timer tiene asignado un par de contadores de ocho bits, un par de candados digitales para los contadores, un par de registros de datos y una lógica de control.

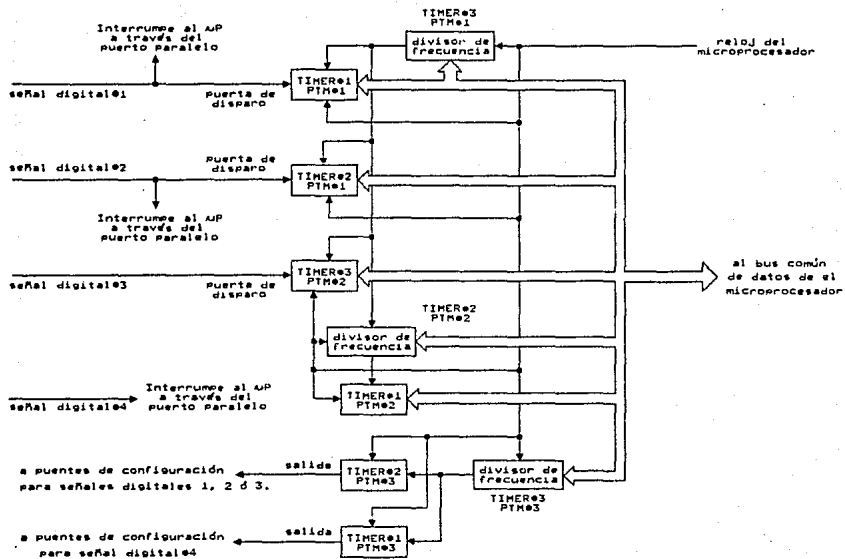


FIGURA II.5.3.1 Diagrama de Bloques para la tarjeta de procesamiento de señales discretas

El diagnóstico del óptimo funcionamiento de los PTM 1 y 2 se efectuará generando una frecuencia de salida por el PTM 3, siendo esta una opción sencilla en operaciones de mantenimiento.

El valor leído de los contadores de cada Timer o el valor programado en los candados de éstos, se suministra o recibe a través de un bus de datos para microprocesador de ocho bits.

La interrupción para el microprocesador es enviada por una línea dedicada a este fin. Todas las líneas de interrupción correspondientes a cada uno de los dispositivos electrónicos programables de esta interfaz convergen en un mismo punto antes de salir de la tarjeta.

Cada Timer puede además ser programado para utilizar ya sea el reloj del microprocesador o un reloj externo, dando posibilidad para la medición de señales lentas o rápidas.

#### III.5.4 Configuraciones

La tarjeta consta de cinco puentes los cuales se conectan para funcionamiento normal, o para generación de formas de onda de salida.

En el modo de funcionamiento normal, son procesadas las señales digitales de entrada provenientes de el conector P3.

En el modo para generación de formas de onda de salida, las líneas de salida de el PTM3 pueden ser conectadas directamente a las líneas de entrada de los PTM 1 y PTM 2 con la finalidad de

realizar una autoprueba controlada por software o para enviar dos señales digitales generadas por el PTM3 a el conector de salida (P3).

En la tabla III.5.4 se indican las posibles configuraciones a esta tarjeta.

| PUENTE | PUNTOS DE UNIÓN | DESCRIPCIÓN   |
|--------|-----------------|---|
| 1      | 1 y 2           | Condición necesaria para modo de operación normal.                |
|        | 2 y 3           | Condición necesaria para modo de generación de frecuencia de sal. |
| 2      | 1 y 2           | Línea digital No. 4 como entrada                                  |
|        | 2 y 3           | Línea digital No. 4 modo prueba                                   |
|        | 1 y 3           | Línea digital No. 4 como salida                                   |

Tabla III.5.4 Configuraciones del Módulo de TIMER'S

| PUENTE | PUNTOS DE UNIÓN | DESCRIPCIÓN                      |
|--------|-----------------|----------------------------------|
| 3      | 1 y 2           | Línea digital No. 3 como entrada |
|        | 2 y 3           | Línea digital No. 3 modo prueba  |
|        | 1 y 3           | Línea digital No. 3 como salida  |
| 4      | 1 y 2           | Línea digital No. 2 como entrada |
|        | 2 y 3           | Línea digital No. 2 modo prueba  |
|        | 1 y 3           | Línea digital No. 2 como salida  |
| 5      | 1 y 2           | Línea digital No. 1 como entrada |
|        | 2 y 3           | Línea digital No. 1 modo prueba  |
|        | 1 y 3           | Línea digital No. 1 como salida  |

Tabla III.5.4 Configuraciones del Módulo de TIMER'S

Cabe recalcar que solamente pueden generarse dos señales digitales de salida, por tanto, cuando se habla de la línea digital número 1, 2 ó 3 como salida, sólomente dos de ellas pueden configurarse de esta manera.

Cuando las líneas digitales se configuran en modo prueba, el proceso se realiza internamente dentro de la interfaz y deben conectarse los terminales 2 y 3 de todos los puentes.

### III.5.5.- Lista de Componentes

| NO. DE PARTE  | CÓDIGO   | DESCRIPCIÓN                  | SUSTITUTO        |
|---------------|----------|------------------------------|------------------|
| U11           | NC6821   | PIA                          | NC68A21, NC68B21 |
| U12-U14       | NC6840   | PTN                          | NC68A40, NC68B40 |
| RR1, RR2, RR3 | 310R-101 | RED DE RESISTENCIAS DE 10KΩ. |                  |
| C11, C17      | 0.1μF    | CAPACITOR CERÁMICO           |                  |

Tabla III.5.5 Componentes del Módulo de TIMER'S





### III.6.-MODULO DE VIDEO

#### III.6.1.- Objetivo.

La Tarjeta de Video Monocromática tiene como finalidad principal la de presentar en la pantalla del TRC un texto que se tiene almacenado en una memoria digital.

El principal elemento utilizado en el diseño de esta tarjeta es un circuito integrado LSI especializado en el control de TRC; este integrado es fabricado por Motorola con la nomenclatura MC6845 y presenta algunas características que lo hacen ideal para emplearlo en nuestra aplicación, ya que es compatible con el bus del  $\mu P$  68008 y presenta formatos de pantalla programables, entre otras funciones.

#### III.6.2.- Características del controlador TRC MC6845

##### III.6.2.1.- Hardware

a).-Controlador de RTC aplicable para monitores Monocromáticos y a color.

b).-Tipo de desplegados : Alfanuméricos, Semigráficos y Gráficos.

c).-Temporización generada por el cálculo del formato de desplegado a usarse.

d).-Alimentación +5 Vcc.

e).-Interface compatible con el bus de la serie M6800.

f).-14 bit's de Dirección de Refresco de Memoria (MA) que permiten hasta 16K de refresco de memoria para usar en desplegados de caracter o semigráficos.

g).-5 bit's de Dirección de Renlón (RA) permiten hasta 32 líneas Caracter-Block exploradoras.

h).-Con la utilización de Dirección de Refresco de Memoria (MA) y Dirección de Renlón (RA) un espacio de Direcciones de 512K son aprovechables para uso en sistemas gráficos.

i).-Las Direcciones de refresco son suministradas durante el retraso, permitiendo al CRTC suministrar Direcciones de Renlón para refresco Dinámico de RAM.

j).-El Refresco de Memoria (pantalla) puede ser multiplexado entre el CRTC y el MPU Teniendo un arbitro de memoria.

#### III.6.2.2.- Software

a).-Programable por el Microprocesador vía bus de datos.

b).-Registro de Cursor Programable que permite el control de un formato de cursor y una frecuencia de parpadeo.

c).-Registro de Lápiz luminoso programable.

d).-Registro de Modo de Exploración (Entrelazado y no Entrelazado).

e).-8 Registros programables para la sincronización de las señales de Horizontal y Vertical, junto con sus tiempos de retardo.

f).-Registro de Inicio de Dirección.

La reproducción del texto sobre la pantalla del TRC se

realiza en forma secuencial. Debe leerse el texto caracter a caracter, línea a línea y, una vez terminados la lectura total del texto y su representación sobre la pantalla , volver a empezar otra vez para que se obtenga una imagen estable ante el ojo humano. Los caracteres se hallan representados en la memoria del sistema en código ASCII, código que una vez leído debe tratarse de tal forma que nos dé la información del carácter a representar en serie para poder visualizarlo en la pantalla.

El MC6845 está fabricado con tecnología MOS , es utilizado para controlar TRC monocromáticos o de color y presenta registros internos programables en donde se puede seleccionar el formato de pantalla del TRC, cursor, posibilidad de emplear un lápiz luminoso si se utiliza en forma gráfica. Además, lleva a cabo el refresco de información en la pantalla del TRC y tiene acceso transparente a la memoria del texto.

### III.6.3.- Programación de los Registros del CTRC (MC6845)

El controlador de TRC (MC6845) tiene incorporadas las funciones de generador de sincronismos y señales de control, con los respectivos registros . Es totalmente programable y puede utilizarse conjuntamente con un microprocesador.

A continuación se da una descripción breve de las funciones que realiza este controlador.

El CTRC es un dispositivo explorador; un flujo de electrones que inicia en la parte izquierda alta de la pantalla y se mueve rápidamente a través de ella hacia la derecha , a lo cual le llamamos EXPLORACION HORIZONTAL. Después de cada exploración horizontal, el flujo se mueve hacia la izquierda y abajo de donde comenzó. La señal la cual controla el flujo de electrones es llamada HABILITACION DE DESPLIEGE "DE" y el tiempo que le toma durante el traslado del flujo, es denominado INTERVALO DE

## BLANKING.

El método más común de generación de caracteres , es el de crear una matriz de X puntos de ancho (columnas) y Y puntos de alto (renglones), creándose cada carácter por el llenado de puntos, y cuanto más grande es la matriz, más detallado podrá ser el carácter teniendo la posibilidad de crear caracteres del tipo chino, japones o árabe. Los caracteres requieren de un espacio entre ellos , por lo cual son colocados dentro de bloques de carácter, el cual es más grande que el carácter.

Para el barrido de la pantalla se explora toda una línea en la pantalla, así se habrá desplegado el primer renglón de puntos para cada carácter sobre el renglón de caracteres, esto es repetitivo hasta que se logra que todo un renglón de caracteres sea desplegado, repitiéndose hasta desplegar toda la pantalla.

Este método de exploración es más fácil con el uso de un generador de caracteres ROM.

El propósito de un generador de caracteres es el de convertir un carácter codificado en ASCII en los puntos requeridos para desplegar el carácter.

### III.6.3.1.- Manual para el formato de desplegado

Este manual es de gran utilidad, ya que con el se conocen varios de los parámetros utilizados ,la forma en que fueron calculados, y la manera en que fueron programados los registros.

Formato de Desplegado 42 X 24 , Matriz 8 X 8

Este formato fué utilizado por la gran compatibilidad que tiene al usarse para varios tipos de receptores de televisión.

La frecuencia de un Oscilador Horizontal para un receptor estandar es de 15750 con ajuste de 10%,. A esta frecuencia , el flujo explora 262.5 veces la pantalla, por lo cuál debe ser ajustado a 15720 para 262 líneas de exploración .

$$\begin{aligned} \text{Líneas de Exploración total} &= \frac{\text{Frecuencia de Oscilación Horizontal}}{\text{Ritmo de Refresco de Cuadro}} \\ &= \frac{15720 \text{ Hz}}{60\text{Hz}} = 262 \text{ líneas} \end{aligned}$$

El número de líneas activas exploradoras debe ser menor que el número de líneas exploradoras.

$$\begin{aligned} \text{Lin.Act.Expl.} &= \text{Caract-Ren.Despleg. X Lin.Expl. por Caract.-Ren.} \\ &= 24 \text{ renglones X } 8 \text{ líneas/Ren.} = 192 \text{ Líneas} \end{aligned}$$

El número total de Caracteres Renglón debe ser calculado para programar el CRTC.

$$\begin{aligned} \text{Total Ren. por pantalla} &= \frac{\text{Líneas Exploradoras Tot.}}{\text{Lin.Expl. por Caract.-Ren.}} \\ &= \frac{262 \text{ Líneas/campo}}{8 \text{ Líneas/renglón}} = 32 \text{ Renglones y } 6 \text{ Lin. restantes} \end{aligned}$$

En este tipo de formato el número de carácter-renglón no es un número entero, las 6 líneas restantes pueden ser omitidas excepto que el ritmo de resfresco de pantalla no sea exactamente de 60 Hz.

El registro de ajuste de exploración del CRTC es provisto para tener cuidado de este problema.

En un receptor de TV el haz de electrones explora completamente el desplegado en la pantalla de tal manera que si las partes del receptor cambian de valor, la figura no se comprimirá mas pequeña que la pantalla. Por esto el retraso de tiempo deberá ser aproximadamente un tercio del período horizontal para ajuste de TV. En este formato 42 tiempos de carácter desplegados mas 10 tiempos de retraso nos darán un total de 52 tiempos de carácter que estarán en el periodo horizontal. Siguiendo una proporción de retardo de sincronía horizontal, de sincronía horizontal y retardo de exploracion horizontal se tiene una proporción de 1:2:2.

Retardo de sincronía horizontal: 2 tiempos de carácter.

Ancho de sincronía horizontal: 4 tiempos de carácter.

Retardo de exploración horizontal: 4 tiempos de carácter.

la frecuencia de carácter es la frecuencia con la serán colocados los caracteres en la pantalla.

Frecuencia de carácter = Frec. Osc Horz. X Tot. Caract. por línea.

=15720 Hz X 52 Carac. por línea.

=817.44 Khz

$$\text{Tiempo de caracter} = \frac{1}{\text{Frecuencia de caracter}} = \frac{1}{817.44\text{KHz}}$$

Tiempo de caracter = 1.223  $\mu$ s.

Entonces la memoria debe ser accedida una vez cada tiempo de carácter . Este número es importante porque especifica la velocidad del sistema.

Frecuencia de Punto = Frecuencia de carácter X puntos/Caract.Block  
 = 817.44KHz X 8  
 = 6.539 Mhz.

A continuación se da la explicación de cada uno de los registros del CRTC y los datos con los que fué programado.

### III.6.3.2.- Registros del CRTC.

R0 - Horizontal total.- determina el período de la forma de onda horizontal. Deberá ser programado con el número total de tiempos de carácter incluyendo el "Blanking" , menos 1.

$$R0 = 52 - 1 = 51_{10} = 33_{16} \text{ Tiempos de carácter}$$

R1 - Desplegado Horizontal .- el número de caracteres desplegados sobre la pantalla deberá ser programado dentro de R1.

$$R1 = \text{Caracteres Desplegados} \\ = 42_{10} = 2A_{16} \text{ Tiempos de carácter.}$$

R2 = Posición Sincronía Horizontal .- el CRTC retarda la sincronía horizontal desde el inicio de la porción desplegada.

$$R2 = \text{Caracteres desplegados} + \text{retardo de sincronía horizontal} \\ = 42 + 2 = 44_{10} = 2C_{16} \text{ Tiempos de carácter.}$$

R3 = Ancho de Sincronía Horizontal .- determina el ancho del pulso de sincronía horizontal.

$$R3 = \text{Ancho de Sincronía} = 4_{10} = 4_{16} \text{ Tiempos de carácter.}$$

R4 Vertical Total .- determina el número de caracteres-renglón dentro del período vertical. La suma de R4 y R5 determina el período del tiempo de Vertical.

$$R4 = \text{Caracteres Totales} - 1 = 32 - 1 = 31 \text{ carácter-renglón.}$$

R5 = Ajuste Vertical .- es un registro de 5 bits y es programado con las la líneas de rastreo, siendo el remanente creado por el cálculo del número total de caracteres-renglón por pantalla en R4.

$$R5 = \text{Fracción Caracter-Renglón} = 6_{10} = 6_{12} \text{ líneas.}$$

R6 = desplegado Vertical .- determina el número de caracteres-renglón por pantalla desplegados.

$$R6 = \text{Caracteres-renglón por pantalla desplegados} \\ = 24_{10} = 18_{16} \text{ Caracteres-renglón}$$

R7 = Posición de Sincronía Vertical.- determina la posición del pulso de sincronía vertical.

$$R7 = \text{Renglones desplegados} + \text{Retardo Sincronía Vertical.} \\ = 24 + 4 = 28 \text{ Caracteres-renglón}$$

R8 = Entrelazado .- determina el tipo de entrelazado que se esta utilizando para la exploración. En este caso se utiliza el no entrelazado por lo tanto.

$$R8 = 0$$

R9 - Dirección de la Máxima línea de Exploración.- determina el número de líneas de Exploración por Caracter-Renglón. Es importante notar que la dirección de la última línea de Exploración es programada y no el número líneas de exploración. Para 8 líneas de exploración  $R9 = 7$ .

$$R9 = \text{Dirección de la línea de exploración máxima} = 7_{10} = 7_{16}$$

R10 - Registro de inicio de cursor.- R10 y R11 programan el tamaño físico del cursor y su frecuencia de intermitencia o parpadeo.

$$R10 = \text{Formato del Cursor} = 0, \text{ sin parpadeo}$$

$$R11 = \text{Fin de Cursor.}$$

$$R11 = \text{Formato del Cursor} = \text{Bloque del Cursor} = 0$$

R12 y R13 Dirección de Inicio .- determinan la localidad de memoria del primer carácter en la pantalla.

$$R12 \text{ y } R13 = 0$$



R14 y R15 Posición del Cursor.- determinan la localización de el cursor en la pantalla.

R14 y R15 = 0

R16 y R17 Registros .- Registros para lápiz luminoso..

R16 y R17 Registros = 0

A continuación se dá la tabla III.6.3.2 de referencias para el Formato de Desplegado.

|                                      |                      |
|--------------------------------------|----------------------|
| Caract.-Renglón Desplegados          | 42 Caract.           |
| Caract.-Renglón/pantalla Desplegados | 24 Renglones         |
| Matriz de Caracter                   |                      |
| Columnas                             | 8 Columnas           |
| Renglones                            | 8 Renglones          |
| Block de Caracter                    |                      |
| Columnas                             | 8 Columnas           |
| Renglones                            | 8 Renglones          |
| Frecuencia de Refresco de Pantalla   | 60 Hz                |
| Lineas de Exploración Activas        | 192 Lineas           |
| Frecuencia de Oscilación Horizontal  | 15720 Hz             |
| Lineas de Exploración Totales        | 262 Lineas           |
| Renglones Totales por pantalla       | 32 Ren. y 6          |
| Retardo de Sincronía Vertical        | 2 Ren                |
| Ancho de Sincronía Vertical          | 16 Lineas            |
| Retardo de Sincronía Horizontal      | 2 Tiempo de Caract.  |
| Ancho de Sincronía Horizontal        | 4 Tiempo de Caract.  |
| Retardo de Exploración Horizontal    | 4 Tiempo de Caract.  |
| Total de Tiempos de caracter         | 52 Tiempo de Caract. |
| Frecuencia de Caracter               | 817.44 KHz           |
| Frecuencia de Punto Reloj)           | 6.539 Mhz.           |

Tabla III.6.3.2.- Cuadro para el formato de desplegado

#### III.6.4.- Diagrama de bloques

La Fig. III.6.4.. muestra el diagrama a bloques del sistema completo en el que se utiliza acceso transparente a la memoria del texto. Es decir, se multiplexan las direcciones de memoria que proporciona el controlador (MC6845) con las direcciones de texto enviadas por el microprocesador de tal forma que ambos pueden acceder a la memoria del texto en forma síncrona.

El acceso a la memoria por parte de uno de los dos sistemas resulta transparente para el otro y no hay pérdida de tiempo por parte del microprocesador durante la transferencia de información. Este control lo realiza el árbitro de memoria.

La información leída en la memoria de texto es transmitida en paralelo al generador de caracteres que contiene todos los caracteres alfanuméricos que se pueden representar en la pantalla del TRC, según un formato en donde se representan éstos mediante una serie de puntos dentro de una matriz de X columnas por Y filas. La salida del generador de caracteres corresponde a la señal de video en paralelo, la cual es serializada por medio de un registro de corrimiento que al sumarse con las señales de sincronismo vertical y horizontal, provenientes del controlador de TRC, producen la señal de video compuesto que excita directamente al monitor utilizado. Todo esto es controlado síncronamente por el reloj del sistema y por el MC6845 programado previamente.

##### III.6.4.1.- Señales de Interconexión con el microprocesador

Las señales que utiliza la tarjeta de video son las siguientes:

A0-A15 : Líneas de direcciones a través de las cuales se direcciona la memoria.

D0-D7 : Líneas de datos a través de las cuales se transfiere la información en paralelo.

CS1RAM1, CS26845 : Selección de C.I., a través de las cuales se accesa la RAM de texto ó el controlador de TRC MC6845, respectivamente.

R/ $\bar{W}$  : Esta señal determina si se almacena o lee información en la RAM o registros internos del 6845.

E : Esta salida del  $\mu P$  proporciona la señal de reloj para el sistema ( $\phi_2$ ).

RESET : Se utiliza para restablecer e inicializar los dispositivos conectados con esta señal despues de una condición de encendido o cuando se desee inicializar todo el sistema.

### III.8.5.-Diagrama eléctrico

El esquema general de la tarjeta de video puede verse en el diagrama de la fig III.6.5 , a la que nos referiremos en lo sucesivo.

El árbitro de memoria lo forman 4 C.I. 74LS157 que controlan el multiplexado de las direcciones de memoria que proporciona el controlador MC6845 con las direcciones de memoria de texto proporcionadas por el Microprocesador.

Tales multiplexores, son controlados en su señal de halilitación por la señal de CS1 que llega de la etapa de desarrollo.

La dirección que se selecciona presenta a la salida de la memoria 6264 el código ASCII del carácter a visualizar o modificar el contenido de ésta dependiendo el estado de la señal R/ $\bar{W}$ .

Si se realiza una lectura, la información que se almacena en el generador de caracteres (PROM 2716) que se extrae fila por fila hasta totalizar las 7 filas de la matriz de puntos, (en el caso de un formato de 5 X 7) con lo que se representa un carácter.

Normalmente entre línea y línea de caracteres se intercala más de un barrido en blanco para obtener una mejor representación visual del texto.

Para representar completamente una línea de caracteres alfanuméricos, se van extrayendo los códigos ASCII de éstos de la memoria de texto en forma secuencial tantas veces como filas tiene la matriz de puntos empleada. Todo esto es controlado por medio de programación de sus registros internos.

La salida en paralelo del generador de caracteres está conectada a un registro de desplazamiento (74166) de 8 bits, que presenta la señal de video serializada. La tarjeta tiene la posibilidad de invertir esta señal con el objeto de intercambiar el fondo de la pantalla con el del carácter (S<sub>1</sub>).

Para trabajar con video inverso, la PROM Generador de Caracteres fué dividida en su espacio de memoria para trabajar con 1K con video normal y 1K con video inverso.

Después que la señal ha sido serializada, se suma a las señales de sincronización de Horizontal y Vertical provenientes del MC6845 dando lugar a la salida de Video Compuesto que será la que se conecte al monitor directamente.

Como se puede apreciar en el diagrama eléctrico, del CI MC6845 (U23) tenemos conectadas las señales de DE y CURSOR, señales que corresponden al control de la señal de habilitación de Despliegue y control del cursor. Tales señales son conectadas a un

retenedor (flip flop, U22) tipo D, las cuales son muestreadas (reloj del flip flop) con una frecuencia igual a 1/8 de la frecuencia del sistema (6.9 Mhz) . Partiendo de esta etapa, son multiplicadas por medio de compuertas AND (U20) y pasadas a una etapa de suma y amplificación.

Por otra parte, las señales de HS y VS, Son sumadas por una compuerta OR EXC. (U15) y conectadas al transistor Q1 que nos amplificará la señal, para después pasar a una etapa de suma en la unión de las resistencias R3 y R5. Después de esta etapa, el transistor Q2 se encargará de proporcionar un offset y proporcionar una pequeña ganancia, con lo cuál tendremos ya la salida de Video Compuesto.

En el Diagrama de Tiempos que se anexa a continuación , fig. III.6.5.1 se dan los valores necesarios de tiempo con los cuales la tarjeta de Video funciona en operación normal. En tal diagrama podemos observar las senales de HS y VS contra DE las cuales son muy importantes para la sincronización del sistema.

Además se han cronometrado los tiempos, que se muestran en la fig III.6.5.1 , con la finalidad de que en el caso de falla se pueda detectar algún retardo o distorsión de señal , teniendo la posibilidad de comprobar con tales mediciones , los tiempos calculados en el Manual de Formato de Pantalla, que deben ser aproximadamente iguales no presentando una variación mayor de 5  $\mu$ s.

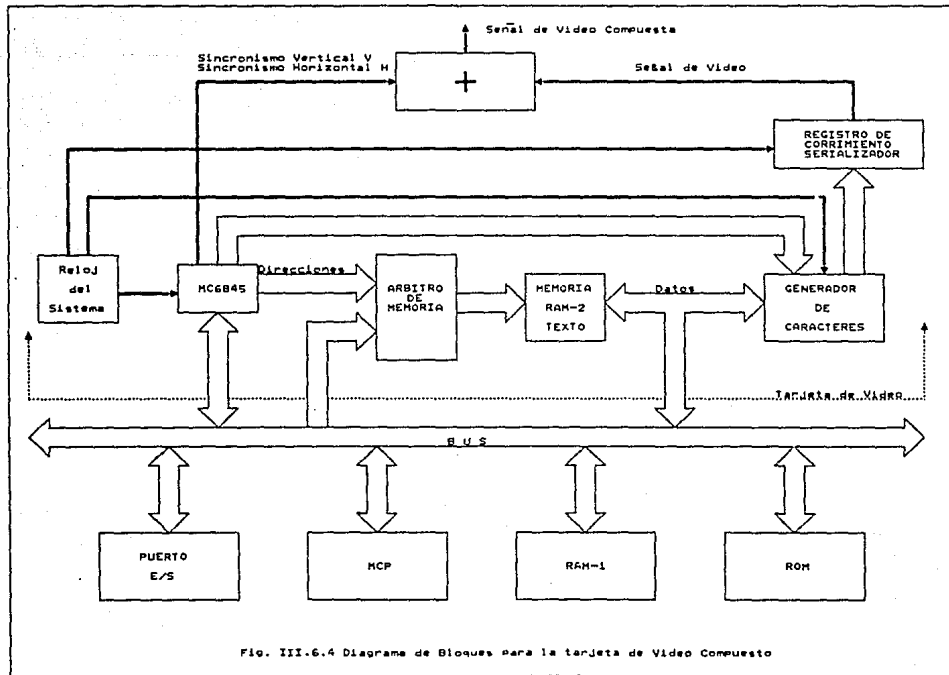
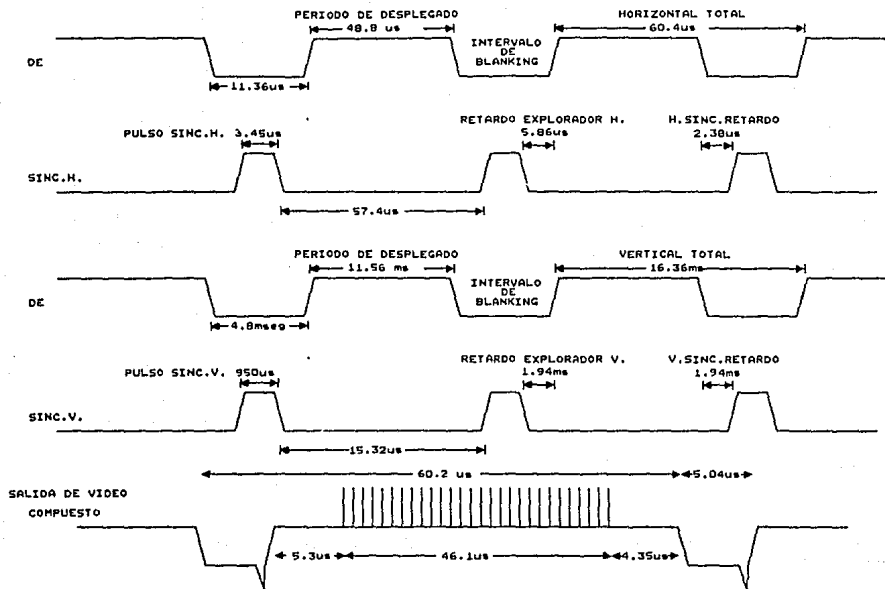


FIG. III.6.4 Diagrama de Bloques para la tarjeta de Video Compuesto



Fig. III.6.5.1 DIAGRAMA DE TIEMPOS PARA LA TARJETA DE VIDEO MONOCROMATICA PROGRAMABLE





### III.6.6.-Lista de Componentes

| No. DE PARTE | CODIGO  | DESCRIPCION                                      |
|--------------|---------|--|
| U11, U12,    | 74LS157 | SELECTOR DE DATOS                                |
| U13, U14     |         |  |
| U21          | 74LS04  | INVERSORES (4)                                   |
| U17          | 74LS32  | OR DE 2 ENTRADAS (4)                             |
| U19          | 74LS163 | CONTADOR SINCRONO DE 4 BITS                      |
| U23          | MC6845  | CONTROLADOR DE TRC                               |
| U24          | 6264    | MEMORIA RAM DE VIDEO 8KBYTES                     |
| U16          | 74LS21  | AND DE 4 ENTRADAS (2)                            |
| U22          | 74LS74  | FLIP FLOP TIPO D (2)                             |
| U15          | 74LS86  | OR EXC. 2 ENTRADAS (4)                           |
| U20          | 74LS00  | NAND DE 2 ENTRADAS (4)                           |
| U18          | 74LS74  | FLIP FLOP TIPO D (2)                             |
| U26          | 74LS166 | REGISTRO DE CORRIMIENTO<br>8 BITS PARALELO/SERIE |
| U25          | 2716    | EPROM 2KBYTES                                    |
| Q1, Q2       | 2N2222A | TRANSISTORES                                     |
| R1           | 180     | RESISTENCIAS                                     |
| R2           | 3.3K    | RESISTENCIAS                                     |
| R3           | 5.6K    | RESISTENCIAS                                     |
| R4, R9,      | 4.7K    | RESISTENCIAS                                     |
| R5, R12      |         | RESISTENCIAS                                     |
| R6           | 100     | RESISTENCIAS                                     |
| R7           | 220     | RESISTENCIAS                                     |
| R8           | 27      | RESISTENCIAS                                     |
| R10          | 390     | RESISTENCIAS                                     |
| R11          | 680     | RESISTENCIAS                                     |
| C27          | 100pF   | CAPACITORES                                      |
| C1-C16       | .01uF   | CAPACITORES                                      |

Tabla III.6.6 COMPONENTES

## CAPITULO IV

### IV.- SOFTWARE

#### IV.1.- INTRODUCCION

En este capitulo se presentan las rutinas de programación necesarias para el funcionamiento del equipo de Adquisición de Datos.

Debido a que este trabajo está pensado para propósito general sólo son presentadas rutinas de inicialización de cada uno de los módulos del equipo. En forma general se describen a continuación mediante un diagrama a bloques, la estructura del programa.

#### IV.2.- ESTRUCTURA GENERAL

La figura IV.2 muestra el diagrama a bloques de la estructura general del programa para el funcionamiento de cualquier equipo que sea adaptado.

Cada bloque es explicado brevemente para un mayor entendimiento sobre lo que se pretende en esta tesis, de tal manera que sea útil en cualquier aplicación.

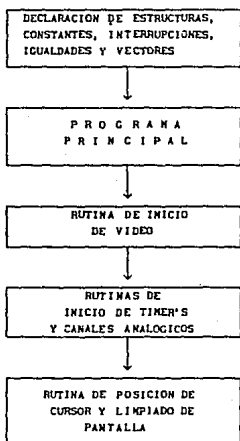


figura IV.2.- Diagrama a bloques del equipo aplicado a un S.A.D.

#### IV.2.1.- Declaración de estructuras, constantes, interrupciones, igualdades y vectores.

En este punto se declaran todas las variables que serán usadas en forma general en todo el programa, además de la declaración de constantes, igualdades, interrupciones y vectores.

#### IV.2.2.- Programa principal.

Esta es una parte fundamental del programa ya que aquí es donde parte todo el contenido. El programa fué realizado en lenguaje "C", debido a que es un lenguaje de medio nivel, que

combina algunas ventajas de los lenguajes de alto nivel y la facilidad en la programación a bajo nivel.

El programa puede ser aplicado en forma general con los debidos cambios que sean pertinentes para una aplicación en particular, por este motivo sólo se presentan las rutinas de inicialización.

En esta parte del programa son llamadas las rutinas de inicialización de timer's y canales analógicos, además de video. De la misma manera se accesa a las rutinas de limpiado de pantalla y posicionamiento del cursor.

#### IV.2.3.- Rutina de inicio de video.

Esta rutina fué realizada en lenguaje ensamblador, debido a que es necesario una mayor velocidad en tiempo de ejecución. El circuito al cual se le incorporó esta rutina es el MC6845 (Controlador de Tubo de Rayos Catódicos), que junto con otros dispositivos, se encargan de la presentación de la información en monitor.

#### IV.2.4.- Rutinas de inicio de Timer's y canales analógicos

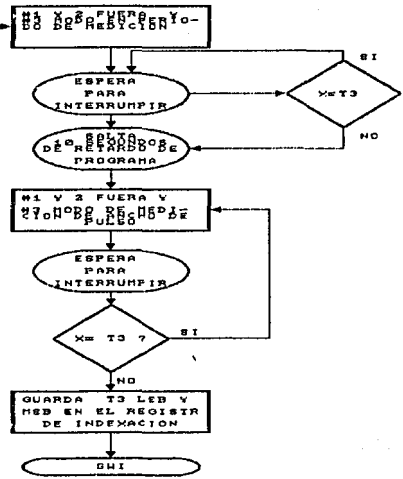
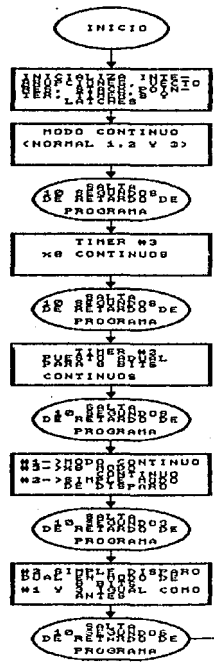
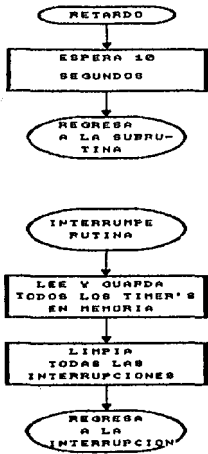
Primero son inicializados los tres timer's del módulo al cual se hizo referencia, éstos trabajan como contadores de pulsos y generadores de frecuencias.

Se inicializan los canales analógicos en los cuales pueden ser involucrados los parámetros que se deseen supervisar, lo único que se tiene que modificar son las constantes de ingeniería para cada canal, ya que las presentadas en el programa son algunos ejemplos. Como el programa es de propósito general se tienen que calcular estas constantes y hacer los cambios que sean convenientes.

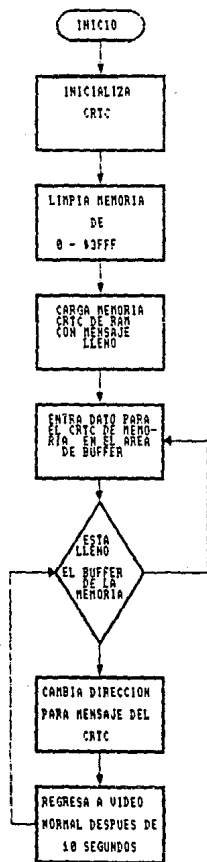
#### IV.2.5.- Rutina de posición de cursor y limpiado de pantalla

Estas rutinas fueron realizadas para que el usuario tenga las herramientas necesarias para tener un limpiado de pantalla y posicionamiento de cursor. De esta manera sólo se tiene que preocupar por aplicar las rutinas de acuerdo a sus necesidades.

A continuación se muestran los diagramas de flujo de las rutinas de inicio para cada módulo utilizado en este trabajo de tesis.









```
"ASM_FILE ON"
"INIT_ZEROES OFF"
```

```
/* =====
=
=          DECLARACION DE ESTRUCTURAS DEL PROGRAMA
=
= =====
```

```
struct sensor{
    int suma_ana[10];
    long conv;
    unsigned long direcc;
    double kcte;
    unsigned int canal;
    int raw_val;
    float valing; };
```

```
typedef struct sensor *p_sensor;
```

```
struct timer {
    unsigned short ct13,ct2st;
    unsigned int cn1,cn2,cn3;};
typedef struct timer *p_timer;
```

```
struct ana_ent {
    unsigned short inconvst[16];
    unsigned short lsb,msb;};
```

```
/* =====
=
=          CONSTANTES UTILIZADAS
=
= ===== *
```

```
#define INIVID    0x24000    /* INICIO DE VIDEO    */
#define FINVID    0x25FFF    /* FIN DE VIDEO      */
#define NINV      0          /* VIDEO NO INVERSO   */
#define INV       128        /* VIDEO INVERSO      */
#define INIRAM    0x18000    /* INICIO DE RAM      */
#define FINRAM    0x19FFF    /* FIN DE RAM         */
#define ADC1210   0x28100    /* CONVERTIDOR A/D    */
#define TIM1      0x28500    /* TIMER NUM 1        */
#define TIM2      0x28600    /* TIMER NUM 2        */
#define TIM3      0x28700    /* TIMER NUM 3        */
#define MC6845    0x27FFE    /* CONTROLADOR DE VIDEO
#define NRENG 23    /* NUMERO DE RENGLONES
#define NCOL 40     /* NUMERO DE COLUMNAS
```

```

"C"
"68008"
#include ESTRUCTUR
#include DIRECCION
#include DEC_STR_LIB
#include DEC_NUM_LIB

extern setcursor();
extern char *pcursor;
extern desmen();
static p_timer point3;
static short a=0;
static int i;
int t=0,inc=15;

```

```

/* =====
=
=                INTERRUPCIONES
=
= ===== */

"INTERRUPT ON"
ErrBus()                                /* Error en el bus */
{
    setcursor(1,22);
    desmen("BUS",NINV);
}

ErrAdd()                                /* Error en direccion */
{
    setcursor(5,22);
    desmen("DIR",NINV);
}

InsIle()                                /* Instruccion ilegal */
{
    setcursor(9,22);
    desmen("ILE",NINV);
}

VioPriv()                                /* Violacion de prioridad */
{
    setcursor(17,22);
    desmen("PRI",NINV);
}

VecInt()                                /* Vector interno */
{
    setcursor(21,22);
    desmen("VEC",NINV);
}

IntSp()                                  /* Stack Pointer */
{
    setcursor(25,22);
    desmen("SPU",NINV);
}

```

```

perif()                /* Interrupcion por algun periferico */
{
    point3=TIM1;
    if (point3->ct2st&0X80)
    {
        a=1;
        if (point3->ct2st&0x02)
        {
            setcursor(15,21);
            desmen("epm1",NINV);
            seremb1();
        }

        else if (point3->ct2st&0x01)
        {
            setcu )
        }
    }
    a=0;
}
nmi()                  /* Interrupcion no mascarable */
{
    setcursor(1,23);
    desmen("nmi",NINV);
    num2++;
    if (numero(num2,8,mens2))
    {
        setcursor(4,23);
        desmen(mens2,NINV);
    }
}

```

68008"

\*\*\*\*\*  
 \* IGUALDADES UTILIZADAS  
 \*\*\*\*\*

| STACKS   | EQU     | 19FFEH | STACK POINTER DE SISTEMA |
|----------|---------|--------|--------------------------|
| EXTERNAL | ENTRA   |        |                          |
| EXTERNAL | ErrBus  |        |                          |
| EXTERNAL | ErrAdd  |        |                          |
| EXTERNAL | InsIle  |        |                          |
| EXTERNAL | VioPriv |        |                          |
| EXTERNAL | VecInt  |        |                          |
| EXTERNAL | IntSp   |        |                          |
| EXTERNAL | perif   |        |                          |
| EXTERNAL | nmi     |        |                          |

```

*****
*****
*****
*                               VECTORES
*****
*****

```

```

ORG 0H
DC.L   STACKS           STACKS Y RESET
DC.L   ENTRa
ORG 08H
DC.L   ErrBus
ORG 0CH
DC.L   ErrAdd
ORG 10H
DC.L   InsIle
ORG 20H
DC.L   VicPriv
ORG 3CH
DC.L   VecInt
ORG 60H
DC.L   IntSp
ORG 68H
DC.L   perif
ORG 7CH
DC.L   nmi

```

```

C"
"68008"
#$ENTRY OFF$
#include ESTRUCTUR
#include DIRECCION
#include DEC_STR_LIB

#include DEC_SYS_LIB

#define CEROS    0x0000
#define BLANCOS  0x2020

/* =====
   =
   =   DECLARACION DE VARIABLES Y ESTRUCTURAS EXTERNAS   =
   =
   ===== */

extern char *pcursor;
extern struct sensor V1,V2,V3,V4,V5,V6,V7,V8;

/* =====
   =
   =   PROGRAMA PRINCIPAL   =
   =
   ===== */

main()
{
    int x,j;
    unsigned int i;

    cls();          /* limpia la pantalla de video          *
    initbase();     /* funcion para inicializar timer's y canales *
    j=1;
    setcursor(0,0); /* Coloca el cursor en la posicion de inicio */
    do
    {
        analog(j);          /* Realiza conversion de los canales
        if (j==9) j=0;
        else j++;
        cls();
    }while(1);
}

```

```

/* =====
=
=          PROGRAMA PARA LA RUTINA DE INICIO DE VIDEO          =
=
===== */

```

68008"

```

*=====
*          IGUALDADES UTILIZADAS
*=====

```

```

INIVID EQU 24000H
FINVID EQU 25FFFH
MC6845 EQU 27FFFH
STACKS EQU 19FFE0H          STACK POINTER DE SISTEMA
RELATIVO EQU 18000H
INIRAM EQU 18000H
FINRAM EQU 19FFFH

```

EXTERNAL main

PROG

ENTRA

```

MOVE.W #02700H,SR          ;modo SUPERVISOR int. des.
MOVEA.L #RELATIVO,A5;
MOVEA.L #0,A6;
MOVEA.L #STACKS,A7

```

;Programa el controlador de video.

```

MOVE.L #MC6845,A0          ;A0=MC6845
                          ;for (D0=0;D0<0x10;D0++)

```

CLR.L D0

main01

```

CMPI.W #00010H,D0
BGE main02

```

MOVE.B D0,[A0]

```

;
; A0->regdir=D0
; A0->regdat=DATOS[D0]

```

```

LEA Dstatic,A1
MOVE.B 0(A1,D0.L),1[A0]

```

```

ADDQ.W #1,D0
BRA.S main01

```

main02

;Borra memoria RAM de video

```

;for(A0=INIVID;A0<=FINVID;A++)

```

MOVE.L #INIVID,A0

main03

```

CMP.L #FINVID,A0
BHI main04
MOVE.W #02020H,[A0]
ADDQ.W #2,A0
BRA.S main03

```

```

; *A0=0x2020;

```

```

main04
;Verifica ram
    MOVE.B    #000AAH,D0
                                ;D0=0xaa;
                                ;for(A0=INIRAM;A0<=FINRAM;A0++)
    MOVE.L    #INIRAM,A0
verif01
    CMP.L     #FINRAM,A0
    BHI      verific08

    MOVE.B    [A0],D3
                                ;(
                                ;   D3=*A0;
    MOVE.B    D0,[A0]
                                ;   *A0=D0;
    MOVE.L    #INIVID+46,A1
                                ;   A1=INIVID+46;
    MOVE.L    A0,D1
                                ;   D1=A0;
verif02
                                ;   do
                                ;   {
                                ;       D2=D1*16+'0';

    MOVE.B    D1,D2
    ANDI.L    #00000000FH,D2
    ADDI.L    #000000030H,D2
                                ;       if(D2>0x39) D2+=7;

    CMPI.B    #00039H,D2
    BLS      verific03
    ADDQ.B    #7,D2
verif03
                                ;       *A1--=D2;

    MOVE.B    D2,[A1]
    SUB.L    #1,A1
                                ;   }while((D1/=16)>0);

    LSR.L    #4,D1
    TST.L    D1
    BGT.S    verific02
                                ;   while(A1>INIVID+42) *A1--='0';
verif04
    CMP.L     #INIVID+42,A1
    BLS      verific05
    MOVE.B    #00030H,[A1]
    SUB.L    #1,A1
    BRA.S    verific04

verif05
                                ;   if(*A0!=D0)

    MOVE.B    [A0],D1
    CMP.B    D0,D1
    BEQ      verific07
                                ;   {
                                ;       A1=INIVID+48;
    MOVE.L    #INIVID+48,A1
                                ;       *A1++='E';
    MOVE.B    #00045H,[A1]+
                                ;       *A1++='r';
    MOVE.B    #00072H,[A1]+
                                ;       *A1='r';
    MOVE.B    #00072H,[A1]
                                ;

verif06
    BRA.S    verific06
                                ;   while(1);

```

```

; )
verif07
  MOVE.B D3,[A0]      ; *A0=D3;
  NOT.B D0            ; DO=D0;
                    ;)
  ADDQ.L #1,A0
  BRA    verif01

verif08

;Verifica respaldo.
  MOVE.L #FINRAM-1,A0      ;A0=FINRAM-1;
                          ;if(*A0!=0xaa55)
  MOVE.W [A0],D0
  CMPI.W #0AA55H,D0
  BEQ    vr02

                          ;(
  MOVE.L #INIVID+48,A1    ; A1=INIVID+48;
  MOVE.B #00041H,[A1]+   ; *A1++='A';
  MOVE.B #00072H,[A1]+   ; *A1++='r';
  MOVE.B #00072H,[A1]+   ; *A1++='r';
  MOVE.B #00046H,[A1]    ; *A1='F';
  MOVE.W #0AA55H,[A0]    ; *A0=0xaa55;
; for(A0=INIRAM;A0<=FINRAM-2;A0++)
  MOVEA.L #INIRAM,A0
vr01
  CLR.W [A0]+           ; *A0=0;
  CMP.L #FINRAM-2,A0
  BLS    vr01
vr02
  JMP    main[PC]

Dstatic

DATOS
DC.B 51
DC.B 42
DC.B 43
DC.B 5
DC.B 65
DC.B 5
DC.B 25
DC.B 24
DC.B 2
DC.B 7
DC.B 0
DC.B 0
DC.B 0
DC.B 0
DC.B 0
DC.B 0
DC.B 0
DC.B 0

```



```
* PROREL HEX 0B,82,00,01,01,00,02,15,03,31,04,11,05,09,06,05,  
07,28,08,06,09,89  
PROREL HEX 0A,0C,0B,0A,0D,04,00,00  
habilita  
LINK A6,#0  
MOVE.W 8[A6],SR  
UNLK A6  
Rhabilita  
GLOBAL Rhabilita  
RTS  
GLOBAL habilita  
Ehabilita EQU W-1  
GLOBAL Ehabilita  
  
GLOBAL ENTRA  
GLOBAL DATOS  
GLOBAL PROREL  
END
```

```

)
/* =====
=
=          INICIALIZA TIMERS Y CANALES ANALOGICOS
=
===== */

initbase()
{
    int i,j;

    timer1();
    timer2();
    timer3();
    anainic();
    for(j=0;j<10;j++)
    {
        leeana(&V1,j);
        leeana(&V2,j);
        leeana(&V3,j);
        leeana(&V4,j);
        leeana(&V5,j);
        leeana(&V6,j);
        leeana(&V7,j);
        leeana(&V8,j);
    }
}

/* =====
=
=          INICIALIZA TIMER 1
=
===== */

timer1()
{
    p_timer point;

    point = TIM1;
    point->cn3 = 120;

    inittimer(0x48,0x49,0x82,(long)TIM1);
}

/* =====
=
=          INICIALIZA TIMER 2
=
===== */

timer2()
{
    unsigned long *p;
    p_timer point;
    point = TIM2;
    point->cn2 = 207;

    inittimer(0x48,0x81,0x49,(long)TIM2);
}

```

```

/* =====
=
=          INICIALIZA TIMER 3
=
===== */

timer3()
{
    p_timer point;
    point = TIM3;
    point->cn3 =120;
    point->cn2 = 35;
    point->cn1 =3125;

    inittimer(0x80,0x81,0x82,(long)TIM3);
}

/* =====
=
=          FUNCION PARA INICIALIZACION DE TIMER'S
=
===== */

inittimer(t1,t2,t3,dir)
unsigned short t1,t2,t3;
unsigned long dir;
{
    p_timer point;
    point = dir;
    point->ct13 = t3;
    point->ct2st= t2;
    point->ct13 = t1;
}

/* =====
=
=          INICIALIZA CANALES ANALOGICOS
=
===== */

ananic()
{
    int i;
    anachk((long)ADC1210,0,(double)0.4430,&V1); /* ESTOS VALORES PUEDE
    anachk((long)ADC1210,1,(double)0.4294,&V2); /* SER VARIABLES DEPEN
    anachk((long)ADC1210,2,(double)0.6105,&V3); /* DIENDO DE LAS NECES
    anachk((long)ADC1210,3,(double)0.1221,&V4); /* DADES DEL USUARIO.
    anachk((long)ADC1210,4,(double)0.1221,&V5);
    anachk((long)ADC1210,5,(double)0.1221,&V6);
    anachk((long)ADC1210,6,(double)0.1941,&V7);
    anachk((long)ADC1210,7,(double)0.8583,&V8);
}

```

```

/* =====
=
=          FUNCION PARA EL CONVERTIDOR A/D          =
=
===== */

```

```

anachk(direc,can,k,p)
unsigned long direc;
unsigned int can;
double k;
p_sensor p;
{
    p->direcc = direc;
    p->canal = can;
    p->kcte = k;
}

```

```

/* =====
=
=          LECTURA ANALOGICA          =
=
===== */

```

```

leeana(p,ind)
p_sensor p;
int ind;
{
    short inv=0;
    long temp;
    p_ana_ent point;
    union {
        unsigned int conv;
        struct {
            unsigned msb:8;
            unsigned lsb:8;
        }bytes;
    }convert;
    int timer;

    point = p->direcc;
    point->iniconvst[p->canal] = 0;
    for(timer=0;timer<30;timer++);
    convert.bytes.msb = point->msb & 0x3F;
    convert.bytes.lsb = point->lsb << 2;
    convert.conv = temp = convert.conv >> 2;
    p->conv = p->conv - p->suma_ana[ind];
    p->conv = p->conv + temp;
    p->suma_ana[ind] = temp;
    p->raw_val = p->conv/10;
}

```

```

/* =====
=
=          ENTRADA DE LOS CANALES ANALOGICOS
=
===== */

```

```

analog(anaind)
int -anaind;
{
    int i;

    anaent(&V1,anaind);
    anaent(&V2,anaind);
    anaent(&V3,anaind);
    anaent(&V4,anaind);
    anaent(&V5,anaind);
    anaent(&V6,anaind);
    anaent(&V7,anaind);
    anaent(&V8,anaind);
}

```

```

/* =====
=
=          ENTRADA POR CANAL ANALOGICO
=
===== */

```

```

anaent(p, ind)
p_sensor p;
int ind;
{
    leeana(p, ind);
    scale(p);
}

```

```

/* =====
=
=          RUTINA DE POSICION DE CURSOR Y LIMPIADO DE PANTALLA
=
===== */

```

```

desmen(pl, inv)
char pl[];
short inv;
{
    unsigned int D1;
    char *A1;
    A1 = pcursor;
    D1 = 0;
    while (pl[D1] != '\0' && A1<=INIVID+1006)
    {
        *A1 = pl[D1] + inv; A1++;D1++;
    }
    pcursor = A1;
}

```

```

/* =====
=
=          POSICION DEL CURSOR          =
=
===== */

```

```

setcursor(x,y)
register unsigned int x,y;
{
    pcursor = (INIVID + (42 * y)) + x;
}

```

```

/* =====
=
=          LIMPIADO DE PANTALLA          =
=
===== */

```

```

cls()
{
    unsigned int *A0,*A1;

    A0 = INIVID;
    A1 = FINIVID;
    while (A0 <= A1)
    {
        *A0 = BLANCOS;
        A0++;
    }
}

```

## V.- APLICACIONES

### V.1.- SISTEMA DE TELESUPERVISION DE LA PERFORACION PETROLERA (URIMP).

En la industria petrolera se han tenido grandes avances tecnológicos en la construcción de equipos que auxilian los procesos de la perforación petrolera.

El Instituto Mexicano del Petróleo como organismo de investigación cuenta con elementos necesarios para que la industria petrolera en México tenga sus propios equipos y no se cuente con la tecnología extranjera.

Uno de estos equipos es la Unidad Remota del Instituto Mexicano del Petróleo (URIMPII) que monitorea los diversos parámetros que se encuentran involucrados en el proceso de extracción de crudo. Este equipo fue diseñado tomando en cuenta todas las experiencias obtenidas hasta el momento en campo.

El principio básico de operación del equipo similar al de cualquier otro equipo de Adquisición de datos, pretendiendo brindar la máxima ayuda al personal encargado en campo en relación a la operación así como en mantenimiento.

Este equipo es modular ya que trabaja con un módulo principal, un módulo de intercomunicación, módulo de alarmas, monitor remoto, modulo de teclado, módulo del perforador ,módulo

de acondicionamiento de señales y módulo de radios.

Cada uno de estos módulos trabaja de la siguiente forma:

**-Módulo Principal.**

Es la parte más importante en el equipo, ya que si no trabaja adecuadamente esta etapa, todo el funcionamiento del sistema se vería afectado seriamente.

La importancia de dicha etapa radica en que cuenta con el microprocesador que ordenará todo el funcionamiento del equipo, además del convertidor A/D, la etapa de timer's para señales discretas y el encargado de presentar en pantalla todos los parámetros medibles, el CTRC en la tarjeta de Video.

**-Módulo de Acondicionamiento de Señales .**

Contiene la interconexión entre los canales analógico y el módulo principal. Está bloque es el encargado de acondicionar todas las señales provenientes de los transductores para que después las reciba el módulo principal y las procese.

**-Módulo de Alarma.**

Cuando alguno de los parámetros se sale del rango previamente establecido por el personal encargado en los pozos, estos tienen que ser alarmados para evitar que el proceso se descontrola y se provoque algún daño al equipo de perforación. De esta forma se pueden prevenir y controlar todos los parámetros teniendo como finalidad el adecuado funcionamiento del proceso.

**-Monitor Remoto.**

Siempre es conveniente que personal asignado en el mantenimiento de estos equipos, este enterado del funcionamiento y estado en que se encuentra el equipo y el proceso con el que se está trabajando, por tal motivo se cuenta con un monitor remoto conectado con el módulo principal para que se esté monitoreando constantemente todo el proceso.



**-Módulo de Teclado.**

Esté módulo en la etapa de comunicación hombre-maquina. De esta forma se establece una comunicación entre el equipo y el personal encargado de operarlo, sirviendo para establecer los límites de cada uno de los parámetros, activación de alarmas, indicación de ciertas funciones, entre otras cosas.

**-Monitor del Perforador.**

Esté monitor se encuentra en el piso de perforación y es con el que el perforador se da cuenta del estado del proceso. En este se visualizan todos los parámetros que se están supervisando en el pozo.

**-Módulo de Comunicación.**

El equipo se encuentra conectado a una estación central, teniendo la comunicación por vía radio para que la estación central esté enterada de los acontecimientos que se presenten en cada pozo que está conectado a ella.

De esta forma se tiene un ejemplo de como se puede aplicar el equipo en un sistema de adquisición de datos.

## VI.- CONCLUSIONES

En el desarrollo de esta tesis, se pueden observar los conocimientos adquiridos a través de la práctica y el estudio de cada uno de los componentes utilizados, dando con ello una semblanza de lo que representa un SISTEMA MINIMO DE ADQUISICION DE DATOS.

Muchos e innumerables conocimientos fueron necesarios, algunos de ellos, los básicos fueron aprendidos en la Facultad, pero es menester decir que por medio de la práctica fué donde se encontró la exacta esencia de la Ingeniería Electrónica, donde los manuales o libros ya no podían explicar ciertos fenómenos, donde se abría aquella gran brecha entre la teoría y la práctica.

Se trató de explicar el funcionamiento de los circuitos más importantes para la adecuada operación del equipo, tratándo de no ahondar en detalles de composición, debido a que existen temas de gran profundidad como Conversión Analógico Digital, Microprocesamiento, Video, Muestreo, etc., que serían motivo para la realización de una tesis.

Aún cuando no fué posible la presentación física del equipo, se asegura la funcionalidad como tal, teniendo como objetivo la implantación en un sistema de control y supervisión para la perforación de pozos petroleros para PEMEX.

Para la adaptación en otro tipo de tarea, se manejaron opciones como capacidad de memoria de 2 a 8 Kbytes de RAM ; tipo Video Configurable; 16 canales para conversión Analógico a Digital; 3 PTM (Timer's Programables) para el procesamiento de señales discretas; y como soporte para futuras implantaciones de tarjetas, un módulo de desarrollo.

**A P E N D I C E    A:**

**REFERENCIA DE PARTES**

## SECTION 8 ELECTRICAL SPECIFICATIONS

This section contains the electrical specifications and associated timing information for the MC68008.

### 8.1 MAXIMUM RATINGS

| Rating                      | Symbol           | Value        | Unit |
|-----------------------------|------------------|--------------|------|
| Supply Voltage              | V <sub>CC</sub>  | -0.3 to +7.0 | V    |
| Input Voltage               | V <sub>in</sub>  | -0.3 to +7.0 | V    |
| Operating Temperature Range | T <sub>A</sub>   | -40 to 70    | °C   |
| Storage Temperature         | T <sub>stg</sub> | -55 to 150   | °C   |

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields. However, it is advised that normal precautions be taken to avoid application of any voltages higher than maximum rated voltages to this high-impedance circuit. Reliability of operation is enhanced if unused inputs are tied to an appropriate logic voltage level (e.g., either ground or V<sub>CC</sub>).

### 8.2 THERMAL CHARACTERISTICS

| Characteristic              | Symbol          | Value | Rating |
|-----------------------------|-----------------|-------|--------|
| Thermal Resistance, Ceramic | θ <sub>JA</sub> | TBD   | °C/W   |

TBD - To be determined

### 8.3 POWER CONSIDERATIONS

The average chip-junction temperature, T<sub>J</sub>, in °C can be obtained from:

$$T_J = T_A + (P_D + P_{I/O}) \theta_{JA} \quad (1)$$

Where:

T<sub>A</sub> = Ambient Temperature, °C

θ<sub>JA</sub> = Package Thermal Resistance, Junction-to-Ambient, °C/W

P<sub>D</sub> = P<sub>INT</sub> + P<sub>I/O</sub>

P<sub>INT</sub> = I<sub>CC</sub> × V<sub>CC</sub>, Watts - Chip Internal Power

P<sub>I/O</sub> = Power Dissipation on Input and Output Pins - User Determined

For most applications P<sub>I/O</sub> < P<sub>INT</sub> and can be neglected.

An approximate relationship between P<sub>D</sub> and T<sub>J</sub> (if P<sub>I/O</sub> is neglected) is:

$$P_D = K \cdot (T_J + 273^\circ\text{C}) \quad (2)$$

Solving equations 1 and 2 for K gives:

$$K = P_D \cdot (T_A + 273^\circ\text{C}) + \theta_{JA} \cdot P_D^2 \quad (3)$$

Where K is a constant pertaining to the particular part. K can be determined from equation 3 by measuring P<sub>D</sub> at equilibrium for a known T<sub>A</sub>. Using this value of K, the values of P<sub>D</sub> and T<sub>J</sub> can be obtained by solving equations (1) and (2) iteratively for any value of T<sub>A</sub>.

The curve shown in Figure 8-1 gives the graphic solution to these equations for the specification power dissipation of 1.50 and 1.75 watts over the ambient temperature range of  $-55^{\circ}\text{C}$  to  $125^{\circ}\text{C}$  using a  $\theta_{JA}$  of  $45^{\circ}\text{C}/\text{W}$  for the ceramic (L suffix) package.

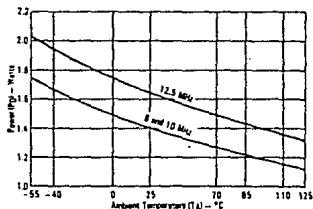


Figure 8-1. MCG8008 Power Dissipation ( $P_D$ ) vs Ambient Temperature ( $T_A$ )

#### 8.4 DC ELECTRICAL CHARACTERISTICS

( $V_{CC} = 5.0 \text{ Vdc} \pm 5\%$ ;  $V_{SS} = 0 \text{ Vdc}$ ;  $T_A = 0^{\circ}\text{C}$  to  $70^{\circ}\text{C}$ ; see Figures B-2, B-3, and B-4)

| Characteristic   | Symbol    | Min                    | Max                      | Unit          |
|--|-----------|------------------------|--------------------------|---------------|
| Input High Voltage   | $V_{IH}$  | 2.0                    | $V_{CC}$                 | V             |
| Input Low Voltage  | $V_{IL}$  | $V_{SS} - 0.3$         | 0.8                      | V             |
| Input Leakage Current @ 5.25 V<br>BENP, BR, DTACK, CLK, FCS, I/OE, VPA, HALT, RESET  | $I_{IN}$  | -                      | 20                       | $\mu\text{A}$ |
| Hi-Z (0V) State Input Current @ 2.4 V @ 4 V<br>AD A19, AS, DO-D7, FCS, FCS, DS, R/W  | $I_{IS1}$ | -                      | 20                       | $\mu\text{A}$ |
| Output High Voltage ( $I_{OH} = -400 \mu\text{A}$ )<br>E, AD A19, AS, EG, DO-D7, FCS, FCS, DS, R/W, VPA                                | $V_{OH}$  | $V_{CC} - 0.75$<br>2.4 | -                        | V             |
| Output Low Voltage<br>$I_{OL} = 1.6 \text{ mA}$<br>$I_{OL} = 3.2 \text{ mA}$<br>$I_{OL} = 5.0 \text{ mA}$<br>$I_{OL} = 5.3 \text{ mA}$ | $V_{OL}$  | -                      | 0.5<br>0.5<br>0.5<br>0.5 | V             |
| Power Dissipation (See Section 9) **   | $P_D$     | -                      | -                        | W             |
| Capacitance ( $V_{IN} = 0 \text{ V}$ , $T_A = 25^{\circ}\text{C}$ , Frequency = 1 MHz) ***   | $C_{IN}$  | -                      | 20.0                     | pF            |

\*\* With external pullup resistor of 1.1 kohms

\*\*\* During normal operation instantaneous  $V_{CC}$  current requirements may be as high as 1.5 A

\*\*\*\* Capacitance is periodically sampled rather than 100% tested

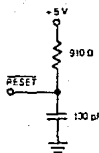


Figure 8-2. RESET Test Load

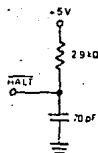


Figure 8-3. HALT Test Load

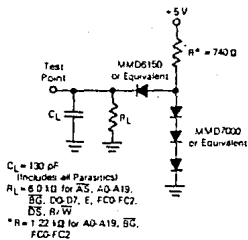


Figure 8-4. Test Loads

### 8.5 CLOCK TIMING (See Figure 8-5)

| Characteristic         | Symbol    | 8 MHz |     | 10 MHz |      | 12.5 MHz |      | Unit |
|------------------------|-----------|-------|-----|--------|------|----------|------|------|
|                        |           | Min   | Max | Min    | Max  | Min      | Max  |      |
| Frequency of Operation | f         | 2.0   | 8.0 | 2.0    | 10.0 | 4.0      | 12.5 | MHz  |
| Cycle Time             | $t_{cyc}$ | 125   | 500 | 100    | 500  | 80       | 250  | ns   |
| Clock Pulse Width      | $t_{CL}$  | 56    | 250 | 45     | 250  | 35       | 125  | ns   |
| Rise and Fall Times    | $t_{Cr}$  | —     | 10  | —      | 10   | —        | 5    | ns   |
|                        | $t_{Cf}$  | —     | 10  | —      | 10   | —        | 5    | ns   |

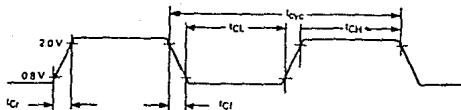


Figure 8-5. Input Clock Waveform

**8.6 AC ELECTRICAL SPECIFICATIONS — READ AND WRITE CYCLES**  
 (VCC = 5.0 Vdc ± 5%; VSS = 0 Vdc; TA = TL to TH; see Figures 8-6 and 8-7)

| Num.  | Characteristic                                      | Symbol             | 8 MHz |     | 10 MHz |     | 12.5 MHz |     | Unit   |
|-------|---|--------------------|-------|-----|--------|-----|----------|-----|--------|
|       |   |                    | Min   | Max | Min    | Max | Min      | Max |        |
| 1     | Clock Period  | t <sub>clk</sub>   | 125   | 500 | 100    | 500 | 80       | 250 | ns     |
| 2     | Clock Width Low                                     | t <sub>CLL</sub>   | 56    | 250 | 45     | 260 | 35       | 125 | ns     |
| 3     | Clock Width High                                    | t <sub>CLH</sub>   | 56    | 250 | 45     | 250 | 35       | 125 | ns     |
| 4     | Clock Fall Time                                     | t <sub>CF</sub>    | —     | 10  | —      | 10  | —        | 5   | ns     |
| 5     | Clock Rise Time                                     | t <sub>CR</sub>    | —     | 10  | —      | 10  | —        | 5   | ns     |
| 6     | Clock Low to Address Valid                          | t <sub>CLAV</sub>  | —     | 70  | —      | 80  | —        | 56  | ns     |
| 6A    | Clock High to FC Valid                              | t <sub>CHFCV</sub> | —     | 70  | —      | 60  | —        | 56  | ns     |
| 7     | Clock High to Address/Data High Impedance (Maximum) | t <sub>CHAZH</sub> | —     | 80  | —      | 70  | —        | 60  | ns     |
| 8     | Clock High to Address/FC Invalid (Minimum)          | t <sub>CHAZI</sub> | 0     | —   | 0      | —   | 0        | —   | ns     |
| 9     | Clock High to AS, DS Low (Maximum)                  | t <sub>CHSL</sub>  | —     | 60  | —      | 56  | —        | 56  | ns     |
| 10    | Clock High to AS, DS Low (Minimum)                  | t <sub>CHSLI</sub> | 0     | —   | 0      | —   | 0        | —   | ns     |
| 11A   | Address Valid to AS, DS (Read) Low/AS               | t <sub>AVSL</sub>  | 30    | —   | 20     | —   | 0        | —   | ns     |
| 11A.7 | FC Valid to AS, DS (Read) Low/AS (Write)            | t <sub>FCVSL</sub> | 60    | —   | 50     | —   | 40       | —   | ns     |
| 12    | Clock Low to AS, DS High                            | t <sub>CLSH</sub>  | —     | 36  | —      | 56  | —        | 50  | ns     |
| 13    | AS, DS High to Address/FC Invalid                   | t <sub>SHAZ</sub>  | 30    | —   | 20     | —   | 10       | —   | ns     |
| 14.5  | AS, DS Width Low (Read/AS Write)                    | t <sub>SL</sub>    | 270   | —   | 195    | —   | 160      | —   | ns     |
| 14A.7 | DS Width Low (Write)                                | t <sub>DSL</sub>   | 140   | —   | 96     | —   | 80       | —   | ns     |
| 15    | AS, DS Width High                                   | t <sub>SH</sub>    | 150   | —   | 106    | —   | 86       | —   | ns     |
| 16    | Clock High to AS, DS High Impedance                 | t <sub>CHSZ</sub>  | —     | 80  | —      | 70  | —        | 60  | ns     |
| 17    | AS, DS High to R/W High                             | t <sub>SHRH</sub>  | 40    | —   | 20     | —   | 10       | —   | ns     |
| 18    | Clock High to R/W High (Maximum)                    | t <sub>CHRH</sub>  | —     | 40  | —      | 60  | —        | 60  | ns     |
| 19    | Clock High to R/W High (Minimum)                    | t <sub>CHRH</sub>  | 0     | —   | 0      | —   | 0        | —   | ns     |
| 20    | Clock High to R/W Low                               | t <sub>CHRL</sub>  | —     | 40  | —      | 60  | —        | 60  | ns     |
| 20A.6 | AS Low to R/W Valid                                 | t <sub>ASRV</sub>  | —     | 20  | —      | 20  | —        | 20  | ns     |
| 21    | Address Valid to R/W Low                            | t <sub>AVRL</sub>  | 20    | —   | 0      | —   | 0        | —   | ns     |
| 21A.7 | FC Valid to R/W Low                                 | t <sub>FCVRL</sub> | 60    | —   | 50     | —   | 30       | —   | ns     |
| 22    | R/W Low to DS Low (Write)                           | t <sub>RLSL</sub>  | 80    | —   | 50     | —   | 30       | —   | ns     |
| 23    | Clock Low to Data Out Valid                         | t <sub>CLDO</sub>  | —     | 40  | —      | 56  | —        | 56  | ns     |
| 24    | Clock High to R/W                                   | t <sub>CHBZ</sub>  | —     | 80  | —      | 70  | —        | 60  | ns     |
| 25    | DS High to Data Out Invalid                         | t <sub>SHDO</sub>  | 50    | —   | 20     | —   | 15       | —   | ns     |
| 26    | Data Out Valid to DS Low (Write)                    | t <sub>DOSL</sub>  | 36    | —   | 20     | —   | 15       | —   | ns     |
| 27    | Data In to Clock Low (Setup Time)                   | t <sub>DICL</sub>  | 15    | —   | 10     | —   | 10       | —   | ns     |
| 28.5  | AS, DS High to DTACK High                           | t <sub>SHDPH</sub> | 0     | 245 | 0      | 190 | 0        | 150 | ns     |
| 29    | DS High to Data Invalid (Hold Time)                 | t <sub>SHDI</sub>  | 0     | —   | 0      | —   | 0        | —   | ns     |
| 30    | AS, DS High to BEH High                             | t <sub>SHBEH</sub> | 0     | —   | 0      | —   | 0        | —   | ns     |
| 31.5  | DTACK Low to Data Valid (Setup Time)                | t <sub>DALD</sub>  | —     | 90  | —      | 66  | —        | 50  | ns     |
| 32    | HALT and RESET Input Transition Time                | t <sub>INH</sub>   | 1     | 0   | 200    | 0   | 200      | 0   | ns     |
| 33    | Clock High to BG Low                                | t <sub>CHGL</sub>  | —     | 40  | —      | 60  | —        | 50  | ns     |
| 34    | Clock High to BG High                               | t <sub>CHGH</sub>  | —     | 40  | —      | 60  | —        | 50  | ns     |
| 35    | BA Low to BG Low                                    | t <sub>BRGL</sub>  | 1.5   | 3.5 | 1.5    | 3.5 | 1.5      | 3.5 | Ck Per |
| 36    | BA High to BG High                                  | t <sub>BRGH</sub>  | 1.5   | 3.5 | 1.5    | 3.5 | 1.5      | 3.5 | Ck Per |
| 38    | BG Low to Bus High Impedance (with AS High)         | t <sub>GLZ</sub>   | —     | 80  | —      | 70  | —        | 60  | ns     |
| 39    | BG Width High                                       | t <sub>GH</sub>    | 1.5   | —   | 1.5    | —   | 1.5      | —   | Ck Per |
| 41    | Clock Low to E Transition                           | t <sub>CLE</sub>   | —     | 50  | —      | 56  | —        | 45  | ns     |
| 42    | E Output Rise and Fall Time                         | t <sub>EL</sub>    | —     | 15  | —      | 25  | —        | 25  | ns     |
| 44    | AS, DS High to VBA High                             | t <sub>SHVPH</sub> | 0     | 120 | 0      | 90  | 0        | 70  | ns     |

— Continued



**8.6 AC ELECTRICAL SPECIFICATIONS – READ AND WRITE CYCLES (Continued)**  
 IVCC = 5.0 Vdc ± 5%; VSS = 0 Vdc; TA = TL to TH; see Figures 8-6 and 8-7

| Num.            | Characteristic   | Symbol  | 8 MHz |     | 10 MHz |     | 12.5 MHz |     | Unit    |
|-----------------|--|---------|-------|-----|--------|-----|----------|-----|---------|
|                 |  |         | Min   | Max | Min    | Max | Min      | Max |         |
| 45              | E Low to Address FC Invert                                       | TELAI   | 30    | —   | 10     | —   | 10       | —   | ns      |
| 47              | Asynchronous Input Setup Time                                    | TASL    | 10    | —   | 20     | —   | 20       | —   | ns      |
| 48 <sup>1</sup> | BERR Low to $\overline{\text{DACK}}$ Low                         | TRELOAL | 20    | —   | 20     | —   | 20       | —   | ns      |
| 49              | E Low to AS $\overline{\text{CS}}$ Invert                        | TEL51   | -80   | —   | -80    | —   | -80      | —   | ns      |
| 50              | E Width High   | TEH     | 450   | —   | 260    | —   | 200      | —   | ns      |
| 51              | E Width Low  | TEL     | 700   | —   | 560    | —   | 440      | —   | ns      |
| 52              | E Extended Rise Time   | TECHX   | —     | 80  | —      | 80  | —        | 80  | ns      |
| 53              | Data Hold from Clock High  | TCWDO   | 0     | —   | 0      | —   | 0        | —   | ns      |
| 54              | Data Hold from E Low (Write)                                     | TELD02  | 30    | —   | 20     | —   | 15       | —   | ns      |
| 55              | R/W to Data Bus Impedance Change                                 | TRLD03  | 30    | —   | 20     | —   | 10       | —   | ns      |
| 56 <sup>2</sup> | $\overline{\text{MALT}}$ , $\overline{\text{RESET}}$ Pulse Width | TRHPW   | 10    | —   | 10     | —   | 10       | —   | Clk Per |

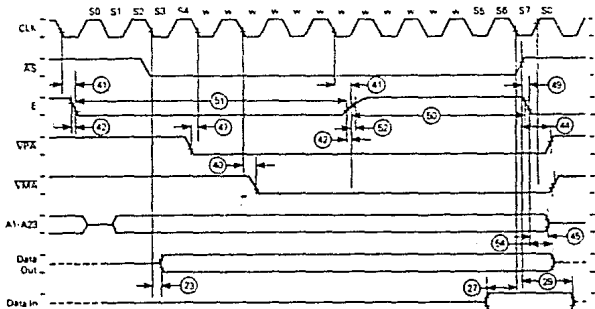
**NOTES:**

- For a loading capacitance of less than or equal to 50 picofarads, subtract 5 nanoseconds from the values given in these columns.
- Actual value depends on clock period.
- If #47 is satisfied for both  $\overline{\text{DACK}}$  and BERR, #48 may be 0 nanoseconds.
- For power up the MPU must be held in  $\overline{\text{RESET}}$  state for 100 microseconds to allow stabilization of on-chip circuitry. After the system is powered up, #56 refers to the minimum pulse width required to reset the system.
- If the asynchronous setup time (#47) requirements are satisfied, the  $\overline{\text{DACK}}$  low-to-data setup time (#31) requirement can be ignored. The data must only satisfy the data-in to clock-low setup time (#27) for the following cycle.
- When AS and R/W are equally loaded ( $\pm 20\%$ ), subtract 10 nanoseconds from the values in these columns.
- Setup time to guarantee recognition on next falling edge of clock.

Timing diagrams (Figures 8-6 and 8-7) are located on fold-out pages 1 and 2 at the end of this document.

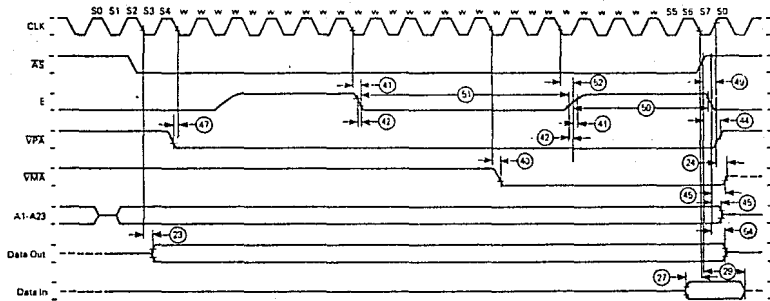
**8.7 AC ELECTRICAL SPECIFICATIONS — MC68008 TO M6800 PERIPHERAL**  
 (V<sub>CC</sub> = 5.0 Vdc ± 5%; V<sub>SS</sub> = 0 Vdc, T<sub>A</sub> = 0° to 70°C, Refer to Figures 8-8 and 8-9)

| Num. | Characteristic                    | Symbol                       | 8 MHz |     | 10 MHz |     | 12.5 MHz |     | Unit |
|------|-----------------------------------|------------------------------|-------|-----|--------|-----|----------|-----|------|
|      |                                   |                              | Min   | Max | Min    | Max | Min      | Max |      |
| 23   | Clock Low to Data Out Valid       | t <sub>CLDO</sub>            | —     | 70  | —      | 56  | —        | 56  | ns   |
| 27   | Data In to Clock Low (Setup Time) | t <sub>DICL</sub>            | 15    | —   | 10     | —   | 10       | —   | ns   |
| 41   | Clock Low to E Transition         | t <sub>CLC</sub>             | —     | 70  | —      | 56  | —        | 45  | ns   |
| 42   | E Output Rise and Fall Time       | t <sub>EF</sub>              | —     | 25  | —      | 25  | —        | 25  | ns   |
| 44   | AS, DS High to VPA High           | t <sub>SHVPH</sub>           | 0     | 120 | 0      | 90  | 0        | 70  | ns   |
| 45   | E Low to Address/FC Invalid       | t <sub>ELAI</sub>            | 30    | —   | 10     | —   | 10       | —   | ns   |
| 47   | Asynchronous Input Setup Time     | t <sub>ASI</sub>             | 20    | —   | 20     | —   | 20       | —   | ns   |
| 49   | E Low to AS, DS Invald            | t <sub>ELSI</sub>            | —     | 80  | —      | 80  | —        | 80  | ns   |
| 50   | E Width High                      | t <sub>EH</sub>              | 450   | —   | 360    | —   | 280      | —   | ns   |
| 51   | E Width Low                       | t <sub>EL</sub>              | 700   | —   | 560    | —   | 440      | —   | ns   |
| 52   | E Extended Rise Time              | t <sub>CEHX</sub>            | —     | 80  | —      | 80  | —        | 80  | ns   |
| 54   | Data Hold from E Low (Write)      | t <sub>ELD<sub>W</sub></sub> | 30    | —   | 20     | —   | 15       | —   | ns   |



NOTE: This timing diagram is included for those who wish to design their own circuit to generate VMA. It shows the best case possibly attainable.

Figure 8-8. MC68008 to M6800 Peripheral Timing — Best Case



NOTE: This timing diagram is included for those who wish to design their own circuit to generate VMA. It shows the worst case possible attainable.

Figure 8-9. MC68008 to M6800 Peripheral Timing — Worst Case

### 8.8 AC ELECTRICAL SPECIFICATIONS – BUS ARBITRATION

(V<sub>CC</sub> = 5.0 Vdc ± 5%; V<sub>SS</sub> = 0 Vdc; T<sub>A</sub> = 0° to 70°C; see Figure B-10)

| Num. | Characteristic  | Symbol             | 8 MHz |     | 10 MHz |     | 12.5 MHz |     | Unit   |
|------|---|--------------------|-------|-----|--------|-----|----------|-----|--------|
|      |   |                    | Min   | Max | Min    | Max | Min      | Max |        |
| 33   | Clock High to B <sub>0</sub> Low                                    | t <sub>CHGL</sub>  | –     | 70  | –      | 60  | –        | 50  | ns     |
| 34   | Clock High to B <sub>0</sub> High                                   | t <sub>CHGH</sub>  | –     | 70  | –      | 60  | –        | 50  | ns     |
| 35   | B <sub>R</sub> Low to B <sub>0</sub> Low                            | t <sub>BR/0L</sub> | 1.5   | 3.5 | 1.5    | 3.5 | 1.5      | 3.5 | Ck Per |
| 36*  | B <sub>R</sub> High to B <sub>0</sub> High                          | t <sub>BR/0H</sub> | 1.5   | 3.5 | 1.5    | 3.5 | 1.5      | 3.5 | Ck Per |
| 38   | B <sub>0</sub> Low to Bus High Impedance (with A <sub>S</sub> High) | t <sub>0LZ</sub>   | –     | 60  | –      | 70  | –        | 60  | ns     |
| 39   | B <sub>0</sub> Width High   | t <sub>0H</sub>    | 1.5   | –   | 1.5    | –   | 1.5      | –   | Ck Per |

\* If protocol is broken these maximums could be 4.0

These waveforms should only be referenced in regard to the edge-to-edge measurement of the timing specifications. They are not intended as a functional description of the input and output signals. Refer to other functional descriptions and their related diagrams for device operation.

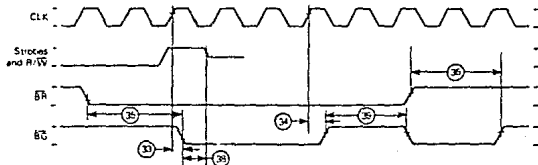


Figure B-10. AC Electrical Waveforms – Bus Arbitration

## SECTION 9 ORDERING INFORMATION

This section contains detailed information to be used as a guide when ordering the MC68008.

### 9.1 STANDARD MC68008 ORDERING INFORMATION

| <u>Package Type</u> | <u>Frequency (MHz)</u> | <u>Temperature</u> | <u>Order Number</u> | <u>Maximum Power Dissipation (Watts)</u> |
|---------------------|------------------------|--------------------|---------------------|--|
| Ceramic             | 8.0                    | 0°C to 70°C        | MC68008LB           | 1.50                                     |
| L Suffix            | 10.0                   | 0°C to 70°C        | MC68008L10          | 1.50                                     |
|                     | 12.5                   | 0°C to 70°C        | MC68008L12          | 1.75                                     |

### 9.2 "BETTER" PROCESSING -- STANDARD PRODUCT PLUS

#### Level I (Suffix S)

- 100% temperature cycling per MIL-STD-883A, Method 1010, ten cycles from -25°C to +150°C.
- 100% high temperature functional test at TA maximum.

#### Level II (Suffix D)

- 100% burn-in to MIL-STD-883A test conditions equivalent to 160 hours at +125°C.
- 100% post burn-in dc parametric test at 25°C.

#### Level III (Suffix DS)

- Combination of Levels I and II above.

When ordering the "BETTER" processing, identify the level desired by adding the appropriate suffix (indicated above in parenthesis) to the end of the part number.

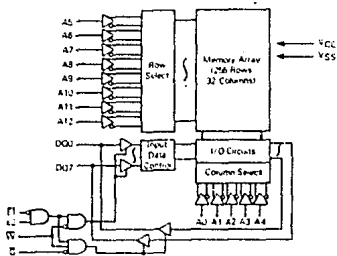
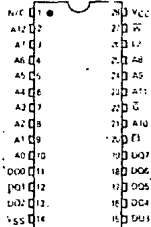
**MOTOROLA****Product Preview****64K BIT STATIC RANDOM ACCESS MEMORY**

The MCM6164H is a 65,536 bit Static Random Access Memory organized as 8192 words of 8 bits, fabricated using Motorola's second-generation, high performance, silicon-gate CMOS (HCMOS) technology. Static design eliminates the need for external clocks or timing strobes, while CMOS circuitry reduces power consumption and provides greater reliability.

The Chip Enable pins (E1 and E2) are not clocks. Either pin, when asserted false, causes the part to enter a low power standby mode. The part will remain in standby mode until both pins are asserted true again. The availability of positive and negative logic (E1) Chip Enable pins provides more system design flexibility than single Chip Enable devices.

The MCM6164H is available in a 16T and 28 pin plastic dual in-line package with the JEDEC standard pinout.

- Single 5V Supply
- 8K x 8 Organization
- Fully Static - No Clock or Timing Strobes Necessary
- Fast Access Time
- Low Power Dissipation

**BLOCK DIAGRAM****MCM6164H****HCMOS**  
COMPLEMENTARY MOS**8192 x 8 BIT  
STATIC  
RANDOM ACCESS MEMORY**P. SUFFIA  
PLATE 1, GRADE  
L45E70**PIN ASSIGNMENT****PIN NAMES**

| PIN    | NAME              | FUNCTION |
|--------|-------------------|----------|
| A0-A12 | Address           |          |
| W      | Write Enable      |          |
| E1, E2 | Chip Enable       |          |
| D      | Output Enable     |          |
| D0-D7  | Data Input/Output |          |
| VCC    | +5V Power         |          |
| VSS    | Ground            |          |

This document contains information on a product under development. Motorola reserves the right to change specifications without notice.

**MOTOROLA****MCM6116****16K BIT STATIC RANDOM ACCESS MEMORY**

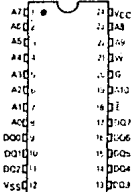
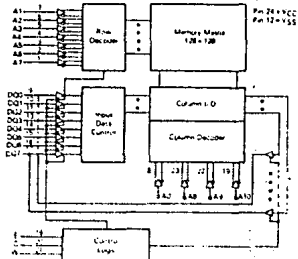
The MCM6116 is a 16,384-bit Static Random Access Memory organized as 2048 words by 8 bits, fabricated using Motorola's high-performance silicon gate CMOS (HCMOS) technology. It uses a design approach which provides the simple timing features associated with fully static memories and the reduced power associated with CMOS memories. This means low standby power without the need for clocks nor reduced data rates due to cycle times that exceed clock time.

Chip Enable (CE) controls the power down feature. It is not a clock but rather a chip control that affects power consumption. In less than a cycle time after Chip Enable (CE) goes high, the part automatically reduces its power requirements and remains in this low power standby as long as the Chip Enable (CE) remains high. The automatic power down feature causes no performance degradation.

The MCM6116 is in a 24-pin dual in-line package with the industry standard JEDEC approved pinout and is pinout compatible with the industry standard 16K EPROM/ROM.

- Single +5 V Supply
- 2048 Words by 8 Bit Operation
- HCMOS Technology
- Fully Static: No Clock or Timing Straps Required
- Maximum Access Time: MCM6116-12 — 120 ns  
MCM6116-15 — 150 ns  
MCM6116-20 — 200 ns
- Power Dissipation: 70 mA Maximum (Active)  
15 mA Maximum (Standby-TTL Level)  
2 mA Maximum (Standby)
- Low Power Version Also Available — MCM6116
- Low Voltage Data Retention (MCM6116-3 only)  
50  $\mu$ A Maximum

**HCMOS**  
 (COMPLEMENTARY MOS)  
**2,048 x 8 BIT**  
**STATIC RANDOM**  
**ACCESS MEMORY**

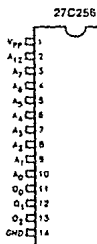
 P-SUFFIX  
 PLASTIC PACKAGE  
 DATE PM
**PIN ASSIGNMENTS****BLOCK DIAGRAM**

| PIN NAMES |                   |
|-----------|-------------------|
| A0-A10    | Address Input     |
| DO0-DO7   | Data Input/Output |
| W         | Write Enable      |
| E         | Output Enable     |
| VCC       | Supply Voltage    |
| VSS       | Power to GND      |

## Pin Names

|                                 |               |
|---------------------------------|---------------|
| A <sub>0</sub> -A <sub>14</sub> | ADDRESSES     |
| O <sub>0</sub> -O <sub>7</sub>  | OUTPUTS       |
| OE                              | OUTPUT ENABLE |
| CE                              | CHIP ENABLE   |
| N.C.                            | NO CONNECT    |
| D.U.                            | DON'T USE     |

| 27512<br>27C512 | 27128A<br>27C128 | 2764A<br>27C64<br>87C64 | 2732A          | 27512          |
|-----------------|------------------|-------------------------|----------------|----------------|
| A <sub>15</sub> | V <sub>PP</sub>  | V <sub>DD</sub>         |                |                |
| A <sub>12</sub> | A <sub>12</sub>  | A <sub>12</sub>         |                |                |
| A <sub>7</sub>  | A <sub>7</sub>   | A <sub>7</sub>          | A <sub>7</sub> | A <sub>7</sub> |
| A <sub>6</sub>  | A <sub>6</sub>   | A <sub>6</sub>          | A <sub>6</sub> | A <sub>6</sub> |
| A <sub>5</sub>  | A <sub>5</sub>   | A <sub>5</sub>          | A <sub>5</sub> | A <sub>5</sub> |
| A <sub>4</sub>  | A <sub>4</sub>   | A <sub>4</sub>          | A <sub>4</sub> | A <sub>4</sub> |
| A <sub>3</sub>  | A <sub>3</sub>   | A <sub>3</sub>          | A <sub>3</sub> | A <sub>3</sub> |
| A <sub>2</sub>  | A <sub>2</sub>   | A <sub>2</sub>          | A <sub>2</sub> | A <sub>2</sub> |
| A <sub>1</sub>  | A <sub>1</sub>   | A <sub>1</sub>          | A <sub>1</sub> | A <sub>1</sub> |
| A <sub>0</sub>  | A <sub>0</sub>   | A <sub>0</sub>          | A <sub>0</sub> | A <sub>0</sub> |
| O <sub>7</sub>  | O <sub>7</sub>   | O <sub>7</sub>          | O <sub>7</sub> | O <sub>7</sub> |
| O <sub>6</sub>  | O <sub>6</sub>   | O <sub>6</sub>          | O <sub>6</sub> | O <sub>6</sub> |
| O <sub>5</sub>  | O <sub>5</sub>   | O <sub>5</sub>          | O <sub>5</sub> | O <sub>5</sub> |
| O <sub>4</sub>  | O <sub>4</sub>   | O <sub>4</sub>          | O <sub>4</sub> | O <sub>4</sub> |
| O <sub>3</sub>  | O <sub>3</sub>   | O <sub>3</sub>          | O <sub>3</sub> | O <sub>3</sub> |
| O <sub>2</sub>  | O <sub>2</sub>   | O <sub>2</sub>          | O <sub>2</sub> | O <sub>2</sub> |
| O <sub>1</sub>  | O <sub>1</sub>   | O <sub>1</sub>          | O <sub>1</sub> | O <sub>1</sub> |
| O <sub>0</sub>  | O <sub>0</sub>   | O <sub>0</sub>          | O <sub>0</sub> | O <sub>0</sub> |
| Gnd             | Gnd              | Gnd                     | Gnd            | Gnd            |



| 2716            | 2732A              | 2764A<br>27C64<br>87C64 | 27128A<br>27C128 | 27512<br>27C512    |
|-----------------|--------------------|-------------------------|------------------|--------------------|
|                 |                    | V <sub>DD</sub>         | V <sub>DD</sub>  | V <sub>DD</sub>    |
| V <sub>DD</sub> | V <sub>DD</sub>    | N.C.                    | PGM              | A <sub>15</sub>    |
| A <sub>6</sub>  | A <sub>6</sub>     | A <sub>6</sub>          | A <sub>6</sub>   | A <sub>6</sub>     |
| A <sub>5</sub>  | A <sub>5</sub>     | A <sub>5</sub>          | A <sub>5</sub>   | A <sub>5</sub>     |
| V <sub>PP</sub> | A <sub>11</sub>    | A <sub>11</sub>         | A <sub>11</sub>  | A <sub>11</sub>    |
| CE              | OE/V <sub>PP</sub> | OE                      | OE               | OE/V <sub>PP</sub> |
| A <sub>10</sub> | A <sub>10</sub>    | A <sub>10</sub>         | A <sub>10</sub>  | A <sub>10</sub>    |
| OE              | OE                 | OE                      | OE               | OE                 |
| O <sub>7</sub>  | O <sub>7</sub>     | O <sub>7</sub>          | O <sub>7</sub>   | O <sub>7</sub>     |
| O <sub>6</sub>  | O <sub>6</sub>     | O <sub>6</sub>          | O <sub>6</sub>   | O <sub>6</sub>     |
| O <sub>5</sub>  | O <sub>5</sub>     | O <sub>5</sub>          | O <sub>5</sub>   | O <sub>5</sub>     |
| O <sub>4</sub>  | O <sub>4</sub>     | O <sub>4</sub>          | O <sub>4</sub>   | O <sub>4</sub>     |
| O <sub>3</sub>  | O <sub>3</sub>     | O <sub>3</sub>          | O <sub>3</sub>   | O <sub>3</sub>     |
| O <sub>2</sub>  | O <sub>2</sub>     | O <sub>2</sub>          | O <sub>2</sub>   | O <sub>2</sub>     |

290044-2

Figure 2. Pin Configuration

## NOTE:

Intel "Universal Site"-Compatible EPROM Pin Configurations are Shown in the Blocks Adjacent

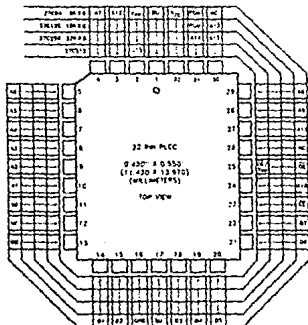


Figure 3. PLCC Lead Configuration

4-76

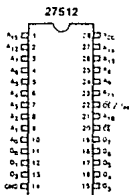
290044-10



## Pin Names

|                                 |                  |
|---------------------------------|------------------|
| A <sub>0</sub> -A <sub>15</sub> | Addresses        |
| CE                              | Chip Enable      |
| OE/We                           | Output Enable/We |
| O <sub>0</sub> -O <sub>7</sub>  | Outputs          |
| D.U.                            | Don't Use        |

|                 |                  |                 |                |                |
|-----------------|------------------|-----------------|----------------|----------------|
| 2723A<br>27C23A | 27323A<br>27C123 | 2784A<br>27C84  | 2732A          | 27512          |
| Y <sub>00</sub> | Y <sub>00</sub>  | Y <sub>00</sub> |                |                |
| A <sub>12</sub> | A <sub>12</sub>  | A <sub>12</sub> |                |                |
| A <sub>11</sub> | A <sub>11</sub>  | A <sub>11</sub> | A <sub>1</sub> | A <sub>1</sub> |
| A <sub>8</sub>  | A <sub>8</sub>   | A <sub>8</sub>  | A <sub>4</sub> | A <sub>4</sub> |
| A <sub>6</sub>  | A <sub>6</sub>   | A <sub>6</sub>  | A <sub>2</sub> | A <sub>2</sub> |
| A <sub>4</sub>  | A <sub>4</sub>   | A <sub>4</sub>  | A <sub>0</sub> | A <sub>0</sub> |
| A <sub>2</sub>  | A <sub>2</sub>   | A <sub>2</sub>  | A <sub>3</sub> | A <sub>3</sub> |
| A <sub>1</sub>  | A <sub>1</sub>   | A <sub>1</sub>  | A <sub>2</sub> | A <sub>2</sub> |
| A <sub>0</sub>  | A <sub>0</sub>   | A <sub>0</sub>  | A <sub>1</sub> | A <sub>1</sub> |
| O <sub>6</sub>  | O <sub>6</sub>   | O <sub>6</sub>  | O <sub>6</sub> | O <sub>6</sub> |
| O <sub>5</sub>  | O <sub>5</sub>   | O <sub>5</sub>  | O <sub>5</sub> | O <sub>5</sub> |
| O <sub>4</sub>  | O <sub>4</sub>   | O <sub>4</sub>  | O <sub>4</sub> | O <sub>4</sub> |
| O <sub>3</sub>  | O <sub>3</sub>   | O <sub>3</sub>  | O <sub>3</sub> | O <sub>3</sub> |
| GND             | GND              | GND             | GND            | GND            |



271066-2

Figure 2. Pin Configurations

|                 |                 |                         |                        |                        |
|-----------------|-----------------|-------------------------|------------------------|------------------------|
| 2718            | 2732A           | 2784A<br>27C84<br>87C84 | 27128<br>27128A        | 2756<br>27C56          |
|                 |                 | V <sub>CC</sub><br>PGM  | V <sub>CC</sub><br>PGM | V <sub>CC</sub><br>PGM |
| V <sub>CC</sub> | V <sub>CC</sub> | N.C.                    | A <sub>13</sub>        | A <sub>13</sub>        |
| A <sub>8</sub>  | A <sub>8</sub>  | A <sub>8</sub>          | A <sub>4</sub>         | A <sub>4</sub>         |
| A <sub>6</sub>  | A <sub>6</sub>  | A <sub>6</sub>          | A <sub>2</sub>         | A <sub>2</sub>         |
| A <sub>4</sub>  | A <sub>4</sub>  | A <sub>4</sub>          | A <sub>1</sub>         | A <sub>1</sub>         |
| Y <sub>00</sub> | A <sub>15</sub> | OE                      | A <sub>11</sub>        | A <sub>11</sub>        |
| OE              | OE/We           | OE                      | OE                     | OE                     |
| A <sub>15</sub> | A <sub>15</sub> | A <sub>15</sub>         | A <sub>10</sub>        | A <sub>10</sub>        |
| CE              | CE              | CE                      | CE                     | CE                     |
| O <sub>7</sub>  | O <sub>7</sub>  | O <sub>7</sub>          | O <sub>7</sub>         | O <sub>7</sub>         |
| O <sub>6</sub>  | O <sub>6</sub>  | O <sub>6</sub>          | O <sub>6</sub>         | O <sub>6</sub>         |
| O <sub>5</sub>  | O <sub>5</sub>  | O <sub>5</sub>          | O <sub>5</sub>         | O <sub>5</sub>         |
| O <sub>4</sub>  | O <sub>4</sub>  | O <sub>4</sub>          | O <sub>4</sub>         | O <sub>4</sub>         |
| O <sub>3</sub>  | O <sub>3</sub>  | O <sub>3</sub>          | O <sub>3</sub>         | O <sub>3</sub>         |

**EXTENDED TEMPERATURE (EXPRESS) EPROMs**

The Intel EXPRESS EPROM family is a series of electrically programmable read only memories which have received additional processing to enhance product characteristics. EXPRESS processing is available for several densities of EPROM, allowing the choice of appropriate memory size to match system applications. EXPRESS EPROM products are available with 168 ± 8 hours, 125°C dynamic burn-in using Intel's standard bias configuration. This process exceeds or meets most industry specifications of burn-in. The standard EXPRESS EPROM operating temperature range is 0°C to 70°C. Extended operating temperature range (-40°C to +85°C) EXPRESS products are available. Like all Intel EPROMs, the EXPRESS EPROM family is inspected to 0.1% electrical AQL. This may allow the user to reduce or eliminate incoming inspection testing.

**EXPRESS EPROM PRODUCT FAMILY**
**PRODUCT DEFINITIONS**

| Type | Operating Temperature | Burn-in 125°C (hr) |
|------|-----------------------|--------------------|
| Q    | 0°C to +70°C          | 168 ± 8            |
| T    | -40°C to +85°C        | None               |
| L    | -40°C to +85°C        | 168 ± 8            |

**EXPRESS OPTIONS**
**27512 VERSIONS**

| Packaging Options |         |
|-------------------|---------|
| Speed Versions    | Cerdip  |
| -2                | Q       |
| -STD, -25, -30    | Q, T, L |
| -3                | L       |



National  
Semiconductor  
Corporation

## ADC1210, ADC1211 12-Bit CMOS A/D Converters

### General Description

The ADC1210, ADC1211 are low power, medium speed, 12-bit successive approximation, analog-to-digital converters. The devices are complete converters requiring only the application of a reference voltage and a clock for operation. Included within the device are the successive approximation logic, CMOS analog switches, precision laser trimmed thin-film R-2R ladder network and FET input comparator.

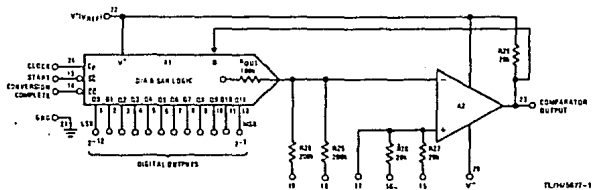
The ADC1210 offers 12-bit resolution and 12-bit accuracy, and the ADC1211 offers 12-bit resolution with 10-bit accuracy. The inverted binary outputs are directly compatible with CMOS logic. The ADC1210, ADC1211 will operate over a wide supply range, convert both bipolar and unipolar analog inputs, and operate in either a continuous conversion mode or logic-controlled START-STOP conversion mode. The devices are capable of making a 12-bit conversion in 100  $\mu$ s typ, and can be connected to convert 10 bits in 30  $\mu$ s.

Both devices are available in military and industrial temperature ranges.

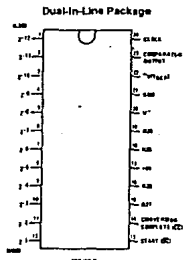
### Features

- 12-bit resolution
- $\pm 1/2$  LSB or  $\pm 2$  LSB nonlinearity
- Single +5V to  $\pm 15$ V supply range
- 100  $\mu$ s 12-bit, 30  $\mu$ s 10-bit conversion rate
- CMOS compatible outputs
- Bipolar or unipolar analog inputs
- 290 k $\Omega$  analog input impedance

### Block Diagram



### Connection Diagram



Order Number ADC1210HD,  
ADC1210HCD, ADC1211HD,  
ADC1211HCD  
See NS Package D24D

### Absolute Maximum Ratings

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/Distributors for availability and specifications.

|  |                    |
|--|--------------------|
| Maximum Reference Supply Voltage ( $V^+$ ) | 15V                |
| Maximum Negative Supply Voltage ( $V^-$ )  | -20V               |
| Voltage At Any Logic Pin                   | $V^+ + 0.3V$       |
| Analog Input Voltage                       | $\pm 15V$          |
| Maximum Digital Output Current             | $\pm 10\text{ mA}$ |
| Maximum Comparator Output Current          | 50 mA              |

|  |                 |
|--|-----------------|
| Comparator Output Short-Circuit Duration | 5 Seconds       |
| Power Dissipation                        | See Curves      |
| Operating Temperature Range              |                 |
| ADC1210HD, ADC1211HD                     | -55°C to +125°C |
| ADC1210HCD, ADC1211HCD                   | -25°C to +85°C  |
| Storage Temperature Range                | -65°C to +150°C |
| Lead Temperature (Soldering, 10 seconds) | 300°C           |
| ESD Susceptibility (Note 4)              | TBD V           |

### DC Electrical Characteristics (Notes 1 and 2)

| Parameter                | Conditions  | ADC1210 |     |                              | ADC1211 |     |              | Units         |
|--------------------------|---|---------|-----|------------------------------|---------|-----|--------------|---------------|
|                          |   | Min     | Typ | Max                          | Min     | Typ | Max          |               |
| Resolution               |   | 12      |     |                              | 12      |     |              | Bits          |
| Linearity Error          | (Note 3)<br>$f_{CLK} = 65\text{ kHz}$ , $T_A = 25^\circ\text{C}$<br>$f_{CLK} = 65\text{ kHz}$ |         |     | $\pm 0.0163$<br>$\pm 0.0366$ |         |     | $\pm 0.0468$ | % FS<br>% FS  |
| Full Scale Error         | $T_A = 25^\circ\text{C}$ , Unadjusted   |         |     | 0.20                         |         |     | 0.50         | % FS          |
| Zero Scale Error         | $T_A = 25^\circ\text{C}$ , Unadjusted   |         |     | 0.20                         |         |     | 0.50         | % FS          |
| Quantization Error       |   |         |     | $\pm 1/2$                    |         |     | $\pm 1/2$    | LSB           |
| Input Resistor Values    | R27, R28  |         | 20  |                              |         | 20  |              | $\Omega$      |
| Input Resistor Values    | R25, R26  |         | 200 |                              |         | 200 |              | $\Omega$      |
| Input Resistor Ratios    | R25/R26, R27/R28  |         |     | 0.8                          |         |     | 0.8          | %             |
| Logic "1" Input Voltage  |   | B       |     |                              | B       |     |              | V             |
| Logic "0" Input Voltage  |   |         |     | 2                            |         |     | 2            | V             |
| Logic "1" Input Current  | $V_{IN} = 10.24V$   |         |     | 1                            |         |     | 1            | $\mu\text{A}$ |
| Logic "0" Input Current  | $V_{IN} = 0V$   |         |     | -1                           |         |     | -1           | $\mu\text{A}$ |
| Logic "1" Output Voltage | $I_{OUT} \leq -1\ \mu\text{A}$  | 9.2     |     |                              | 9.2     |     |              | V             |
| Logic "0" Output Voltage | $I_{OUT} \leq 1\ \mu\text{A}$   |         |     | 0.5                          |         |     | 0.5          | V             |
| Positive Supply Current  | $V^+ = 15V$ , $f_{CLK} = 65\text{ kHz}$ ,<br>$T_A = 25^\circ\text{C}$                         |         | 5   | 8                            |         | 5   | 8            | mA            |
| Negative Supply Current  | $V^- = -15V$ , $T_A = 25^\circ\text{C}$   |         | 4   | 6                            |         | 4   | 6            | mA            |

### AC Electrical Characteristics $T_A = 25^\circ\text{C}$ , (Notes 1 and 2)

| Parameter   | Conditions                       | Min | Typ | Max | Units         |
|---|----------------------------------|-----|-----|-----|---------------|
| Conversion Time   |                                  |     | 100 | 200 | $\mu\text{s}$ |
| Maximum Clock Frequency                                 |                                  |     | 130 | 65  | MHz           |
| Clock Pulse Width                                       |                                  | 100 | 50  |     | ns            |
| Propagation Delay From Clock to Data Output (Q0 to Q11) | $t_r \leq t_f \leq 10\text{ ns}$ |     | 60  | 150 | ns            |
| Propagation Delay from Clock to Conversion Complete     | $t_r \leq t_f \leq 10\text{ ns}$ |     | 60  | 150 | ns            |
| Clock Rise and Fall Time                                |                                  |     |     | 5   | $\mu\text{s}$ |
| Input Capacitance                                       |                                  |     | 10  |     | pF            |
| Start Conversion Set-Up Time                            |                                  |     | 30  |     | ns            |

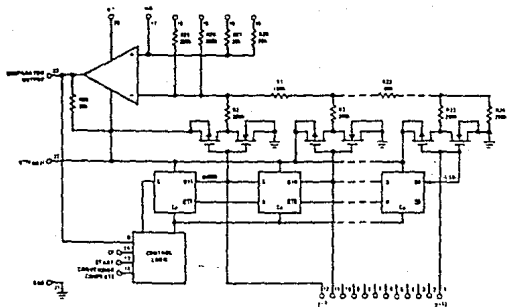
Note 1: Unless otherwise noted, these specifications apply for  $V^+ = 10.240V$ ,  $V^- = -15V$ , over the temperature range  $-55^\circ\text{C}$  to  $+125^\circ\text{C}$  for the ADC1210HD, and  $-25^\circ\text{C}$  to  $+85^\circ\text{C}$  for the ADC1210HCD, ADC1211HD.

Note 2: All typical values are for  $T_A = 25^\circ\text{C}$ .

Note 3: Unless otherwise noted, the specification applies over the temperature range  $-25^\circ\text{C}$  to  $+85^\circ\text{C}$ . Provision is made to adjust zero scale error in the scale to 10.2375V during testing. Standard accuracy test circuit is shown in Figure 5a.

Note 4: Human body model, 100 pF discharged through a 1.5 k $\Omega$  resistor.

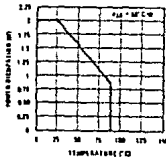
## Schematic Diagram



Notes: 3 bits shown for clarity.

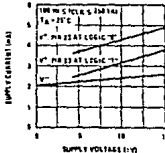
TLV5477-3

Power Dissipation vs Temperature



TLV5477-4

Supply Current vs Supply Voltage



TLV5477-5

## 1.5 THEORY OF OPERATION

The ADC1210, ADC1211 are successive approximation analog-to-digital converters, i.e., the conversion takes place 1 bit at a time by comparing the output of the internal D/A to the (unknown) input voltage. The START input (pin 13), when taken low, causes the register to reset synchronously on the next CLOCK low-to-high transition. The MSB, Q11, is set to the low state, and the remaining bits, Q0 through Q10, will be set to the high state. The register will remain in this state until the SC input is taken high. When START goes high, the conversion will begin on the low-to-high transition of the CLOCK pulse. Q11 will then assume the state of pin 23. If pin 23 is high, Q11 will be high; if pin 23 is low, Q11 will remain low. At the same time, the next bit Q10 is set low. All remaining bits, Q0-Q9 will remain unchanged (high). This process will continue until the LSB (Q0) is found. When

the conversion process is completed, it is indicated by CONVERSION COMPLETE (CC) (pin 14) going low. The logic levels at the data output pins (pins 1-12) are the complemented-binary representation of the converted analog signal with Q11 being the MSB and Q0 being the LSB. The register will remain in the above state until the SC is again taken low.

An application example is shown in Figure 1. In this case, a 0 to -10.2375V input is being converted using the ADC1210 with  $V^+ = 10.240V$ ,  $V^- = -15V$ . Figure 1b is the timing diagram for full scale input. Figure 1c is the timing diagram for zero scale input. Figure 1d is the timing diagram for -3.4125V input (010101010101 = output).

3

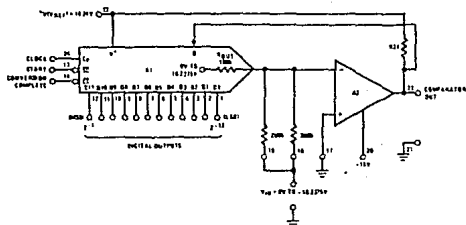
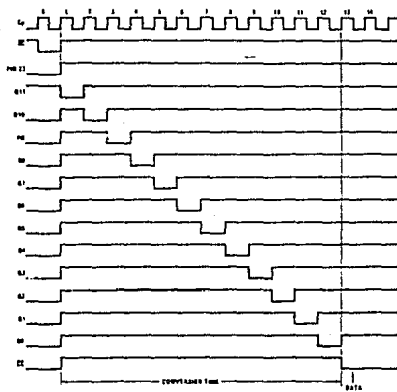
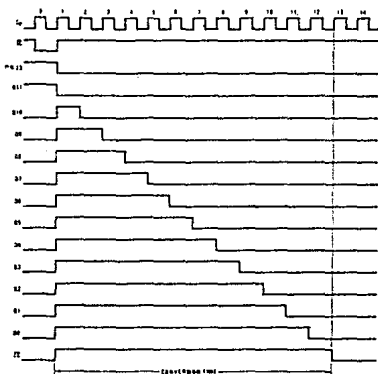


FIGURE 1a. ADC1210 Connected for 0V to -10.2375V (Natural Binary Output)

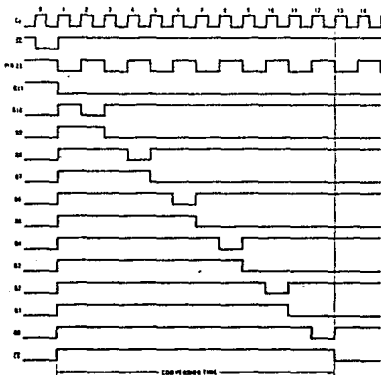
TLV3377-4

FIGURE 1b. Timing Diagram for  $V_{IN} = \text{Full Scale Input}$ 

TLV3377-7

FIGURE 1c. Timing Diagram for  $V_{IN} = \text{Zero Scale}$ 

TLV45477-8

FIGURE 1d. Timing Diagram for  $V_{IN} = -3.4125V$  (010101010101)

TLV45477-8

# 74HC/HCT4538

## Dual Retriggerable Precision Monostable Multivibrator

## Objective Specification

## HCMOS Products

## FEATURES

- Separate reset inputs
- Triggering from leading or trailing edge
- Output capability: standard
- I<sub>CC</sub> category: MSI

## GENERAL DESCRIPTION

The 74HC/HCT4538 are high-speed Si gate CMOS devices and are pin compatible with "4538" of the "4000B" series. They are specified in compliance with JEDEC standard no. 7.

The 74HC/HCT4538 are dual retriggerable resettable monostable multivibrators. Each multivibrator has an active LOW trigger/retrigger input ( $\bar{A}_0$ ), an active HIGH trigger/retrigger input ( $A_1$ ), an overriding active LOW direct reset input ( $\bar{R}_D$ ), an output ( $Q$ ) and its complement ( $\bar{Q}$ ), and two pins ( $nC_{TC}$  and  $nRC_{TC}$ ) for connecting the external timing components  $C_1$  and  $R_1$ . Typical pulse width variation over temperature range is  $\pm 0.2\%$ .

The "4538" may be triggered by either the positive or the negative edges of the input pulse. The duration and accuracy of the output pulse are determined by the external timing components  $C_1$  and  $R_1$ . The output pulse width ( $T$ ) is equal to  $0.7 \times R_1 \times C_1$ . The linear design techniques guarantee precise control of the output pulse width.

A LOW level at  $n\bar{R}_D$  terminates the output pulse immediately. The minimum reset pulse width depends on the value of the external timing capacitor  $C_1$ .

Schmitt-trigger action in the trigger inputs makes the circuit highly tolerant to slower rise and fall times.

| SYMBOL                                 | PARAMETER   | CONDITIONS                                      | TYPICAL |     | UNIT |
|--|---|---|---------|-----|------|
|  |   |   | HC      | HCT |      |
| t <sub>PHL</sub> /<br>t <sub>PLH</sub> | propagation delay<br>n $\bar{A}_0$ , n $A_1$ to n $Q$ , n $\bar{Q}$ | C <sub>L</sub> = 15 pF<br>V <sub>CC</sub> = 5 V | 23      | 25  | ns   |
| C <sub>1</sub>                         | input capacitance   |   | 3.5     | 3.5 | pF   |
| C <sub>PD</sub>                        | power dissipation<br>capacitance per<br>multivibrator               | notes 1 and 2                                   | -       | -   | pF   |

GND = 0 V; T<sub>amb</sub> = 25°C; t<sub>r</sub> = t<sub>f</sub> = 6 ns

## Notes

1. C<sub>PD</sub> is used to determine the dynamic power dissipation (P<sub>D</sub> in  $\mu$ W):

$$P_D = C_{PD} \times V_{CC}^2 \times (f_1 + \sum (C_L \times V_{CC}^2 \times f_0)) \text{ where:}$$

- f<sub>1</sub> = input frequency in MHz      C<sub>L</sub> = output load capacitance in pF  
f<sub>0</sub> = output frequency in MHz      V<sub>CC</sub> = supply voltage in V  
 $\sum (C_L \times V_{CC}^2 \times f_0)$  = sum of outputs

2. For HC, the condition is V<sub>I</sub> = GND to V<sub>CC</sub>  
For HCT the condition is V<sub>I</sub> = GND to V<sub>CC</sub> - 1.5 V

## ORDERING INFORMATION / PACKAGE OUTLINES

74HC/HCT4538-4 16-pin plastic DIP, NJ1 package  
74HC/HCT4538D 16-pin SO-16, DJ1 package

## PIN DESCRIPTION

| PIN NO. | SYMBOL                                | NAME AND FUNCTION                            |
|---------|---------------------------------------|--|
| 1, 15   | 1C <sub>TC</sub> , 2C <sub>TC</sub>   | external capacitor connections               |
| 2, 14   | 1RC <sub>TC</sub> , 2RC <sub>TC</sub> | external resistor/capacitor connections      |
| 3, 13   | 1 $\bar{R}_D$ , 2 $\bar{R}_D$         | direct reset inputs (active LOW)             |
| 4, 12   | 1A <sub>1</sub> , 2A <sub>1</sub>     | trigger inputs (LOW-to-HIGH, edge-triggered) |
| 5, 11   | 1 $\bar{A}_0$ , 2 $\bar{A}_0$         | trigger inputs (HIGH-to-LOW, edge-triggered) |
| 6, 10   | 1Q, 2Q                                | pulse outputs                                |
| 7, 9    | 1 $\bar{Q}$ , 2 $\bar{Q}$             | complementary pulse outputs                  |
| 8       | GND                                   | ground (0 V)                                 |
| 16      | V <sub>CC</sub>                       | positive supply voltage                      |

## Dual Retriggerable Precision Monostable Multivibrator

74HC/HCT4538

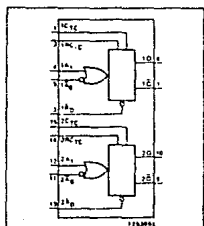
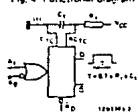


Fig. 4 Functional diagram



(1) Connect  $C_1$  (pins 1 and 15) to GND (pin 8)

(2) Connection of the external timing components  $R_1$  and  $C_1$

FUNCTION TABLE

| INPUTS       |              |              | OUTPUTS |            |
|--------------|--------------|--------------|---------|------------|
| $\bar{n}A_0$ | $\bar{n}A_1$ | $\bar{n}R_D$ | $nQ$    | $\bar{n}Q$ |
| L            | L            | H            |         |            |
| H            | L            | H            |         |            |
| X            | X            | L            |         |            |

H = HIGH voltage level  
 L = LOW voltage level  
 X = don't care  
 ↑ = LOW-to-HIGH transition  
 ↓ = HIGH-to-LOW transition  
 = one HIGH level output pulse  
 = one LOW level output pulse

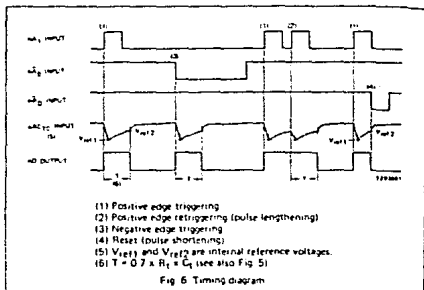
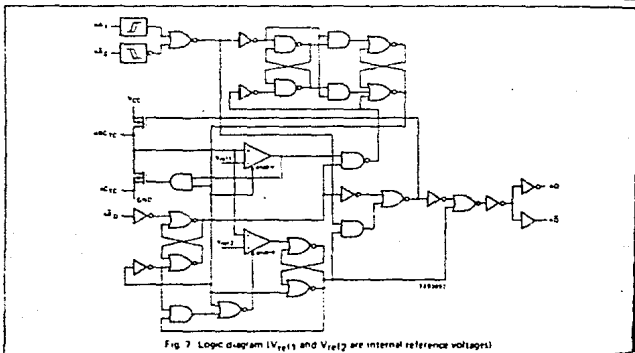


Fig. 6 Timing diagram

Fig. 7 Logic diagram ( $V_{ref1}$  and  $V_{ref2}$  are internal reference voltages)





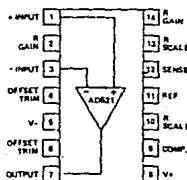
# Integrated Circuit Precision Instrumentation Amplifier

## AD521

### FEATURES

Programmable Gains from 0.1 to 1000  
Differential Inputs  
High CMRR: 110dB min  
Low Drift:  $2\mu\text{V}/^\circ\text{C}$  max (L)  
Complete Input Protection, Power ON and Power OFF  
Functionally Complete with the Addition of Two Resistors  
Internally Compensated  
Gain Bandwidth Product: 40MHz  
Output Current Limited: 25mA  
Very Low Noise:  $0.5\mu\text{V}$  pp, 0.1Hz to 10Hz, RTI @  $G = 1000$   
Chips are Available

### AD521 PIN CONFIGURATION



### PRODUCT DESCRIPTION

The AD521 is a second generation, low cost, monolithic IC instrumentation amplifier developed by Analog Devices. As a true instrumentation amplifier, the AD521 is a gain block with differential inputs and an accurately programmable input/output gain relationship.

The AD521 IC instrumentation amplifier should not be confused with an operational amplifier, although several manufacturers (including Analog Devices) offer op amps which can be used as building blocks in variable gain instrumentation amplifier circuits. Op amps are general-purpose components which, when used with precision-matched external resistors, can perform the instrumentation amplifier function.

An instrumentation amplifier is a precision differential voltage gain device optimized for operation in a real world environment, and is intended to be used wherever acquisition of a useful signal is difficult. It is characterized by high input impedance, balanced differential inputs, low bias currents and high CMR.

As a complete instrumentation amplifier, the AD521 requires only two resistors to set its gain to any value between 0.1 and 1000. The ratio matching of these resistors does not affect the high CMRR (up to 120dB) or the high input impedance ( $3 \times 10^9 \Omega$ ) of the AD521. Furthermore, unlike most operational amplifier-based instrumentation amplifiers, the inputs are protected against overvoltages up to  $\pm 15$  volts beyond the supplies.

The AD521 IC instrumentation amplifier is available in four different versions of accuracy and operating temperature range. The economical "J" grade, the low drift "K" grade, and the lower drift, higher linearity "L" grade are specified from 0 to

$+70^\circ\text{C}$ . The "S" grade guarantees performance to specification over the extended temperature range:  $-55^\circ\text{C}$  to  $+125^\circ\text{C}$ .

### PRODUCT HIGHLIGHTS

1. The AD521 is a true instrumentation amplifier in integrated circuit form, offering the user performance comparable to many modular instrumentation amplifiers at a fraction of the cost.
2. The AD521 has low guaranteed input offset voltage drift ( $2\mu\text{V}/^\circ\text{C}$  for L grade) and low noise for precision, high gain applications.
3. The AD521 is functionally complete with the addition of two resistors. Gain can be preset from 0.1 to more than 1000.
4. The AD521 is fully protected for input levels up to 15V beyond the supply voltages and 30V differential at the inputs.
5. Internally compensated for all gains, the AD521 also offers the user the provision for limiting bandwidth.
6. Offset nulling can be achieved with an optional trim pot.
7. The AD521 offers superior dynamic performance with a gain-bandwidth product of 40MHz, full peak response of 100kHz (independent of gain) and a settling time of 5 $\mu\text{s}$  to 0.1% of a 10V step.

INSTRUMENTATION AMPLIFIERS 4-15

## NOTES:

- Gains below 1 and above 1000 are realized by simply adjusting the gain setting resistors. For best results, voltage at either input should be restricted to  $\pm 10V$  for gains equal to or less than 1.
- Nonlinearity is defined as the ratio of the deviation from the "best straight line" through a full scale output range of 19 volts. With a combination of high gain and  $\pm 10$  volt output swing, distortion may increase to as much as 0.3%.
- Full Peak Response is the frequency below which a typical amplifier will produce full output swing.
- Differential Overload Recovery is the time it takes the amplifier to recover from a pulsed 30V differential input with 15V of common mode voltage, to within 10mV of final value. The test input is a 30V, 10 $\mu$ s pulse at a 1kHz rate. (When a differential signal of greater than 11V is applied between the inputs, transistor clamps are activated which drop the excess input voltage across internal input resistors. If a continuous overload is maintained, power dissipated in these resistors causes temperature gradients and a corresponding change in offset voltage, as well as added thermal time constant, but will not damage the device.)
- Common Mode Step Recovery is the time it takes the amplifier to recover from a 30V common mode input with zero volts of differential signal to within 10mV of final value. The test input is 30V, 10 $\mu$ s pulse at a 1kHz rate. (When a com-

mon mode signal greater than  $V_S - 0.5V$  is applied to the inputs, transistor clamps are activated which drop the excessive input voltage across internal input resistors. Power dissipated in these resistors causes temperature gradients and a corresponding change in offset voltage, as well as an added thermal time constant, but will not damage the device.)

- Output Offset Voltage versus Power Supply Change is a constant 0.005 times the unloaded output offset per percent change in either power supply. If the output offset is nulled, the output offset change versus supply change is substantially reduced.
- Differential Input Impedance is the impedance between the two inputs.
- Common Mode Input Impedance is the impedance from either input to the power supplies.
- Maximum Input Voltage (differential or at either input) is 30V when using  $\pm 15V$  supplies. A more general specification is that neither input may exceed either supply (even when  $V_S = 0$ ) by more than 15V and that the difference between the two inputs must not exceed 30V. (See also Notes 4 and 5.)
- 0.1Hz to 10Hz Peak-to-Peak Voltage Noise is defined as the maximum peak-to-peak voltage noise observed during 2 of 3 separate 10 second periods with the test circuit of Figure 8.

## DESIGN PRINCIPLE

Figure 1 is a simplified schematic of the AD521. A differential input voltage,  $V_{IN}$ , appears across  $R_C$  causing an imbalance in the currents through  $Q_1$  and  $Q_2$ ,  $\Delta I = V_{IN}/R_C$ . That imbalance is forced to flow in  $R_5$  because the collector currents of  $Q_3$  and  $Q_4$  are constrained to be equal by their biasing (current mirror). These conditions can only be satisfied if the differential voltage across  $R_5$  (and hence the output voltage of the AD521) is equal to  $\Delta I \times R_5$ . The feedback amplifier,  $A_{FB}$

performs that function. Therefore,  $V_{OUT} = \frac{V_{IN}}{R_C} \times R_5$  or  $\frac{V_{OUT}}{V_{IN}} = \frac{R_5}{R_C}$ .

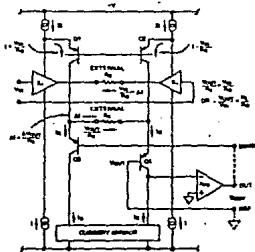


Figure 1. Simplified AD521 Schematic



National  
Semiconductor  
Corporation

## LF198/LF298/LF398, LF198A/LF398A Monolithic Sample and Hold Circuits

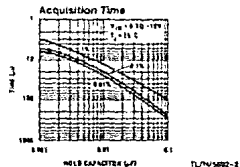
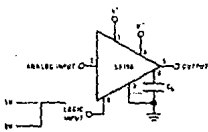
### General Description

The LF198/LF298/LF398 are monolithic sample and hold circuits which utilize BIFET technology to obtain ultra-high dc accuracy with fast acquisition of signal and low droop rate. Operating as a unity gain follower, dc gain accuracy is 0.002% typical and acquisition time is as low as 5  $\mu$ s to 0.01%. A bipolar input stage is used to achieve low offset voltage and wide bandwidth. Input offset adjust is accomplished with a single pin, and does not degrade input offset drift. The wide bandwidth allows the LF198 to be included inside the feedback loop of 1 MHz op amps without having stability problems. Input impedances of  $10^{10}\Omega$  allows high source impedances to be used without degrading accuracy. P-channel junction FET's are combined with bipolar devices in the output amplifier to give droop rates as low as 5 mV/min with a 1  $\mu$ F hold capacitor. The JFET's have much lower noise than MOS devices used in previous designs and do not exhibit high temperature instabilities. The overall design guarantees no feed-through from input to output in the hold mode, even for input signals equal to the supply voltages.

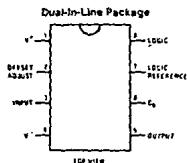
### Features

- Operates from  $\pm 5$ V to  $\pm 18$ V supplies
  - Less than 10  $\mu$ s acquisition time
  - TTL, PMOS, CMOS compatible logic input
  - 0.5 mV typical hold step at  $C_H = 0.01 \mu$ F
  - Low input offset
  - 0.002% gain accuracy
  - Low output noise in hold mode
  - Input characteristics do not change during hold mode
  - High supply rejection ratio in sample or hold
  - Wide bandwidth
- Logic inputs on the LF198 are fully differential with low input current, allowing direct connection to TTL, PMOS, and CMOS. Differential threshold is 1.4V. The LF198 will operate from  $\pm 5$ V to  $\pm 18$ V supplies. It is available in an 8-lead TO-5 package.
- An "A" version is available with tightened electrical specifications.

### Typical Connection and Performance Curve

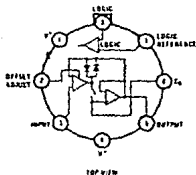


### Connection Diagrams



Order Number LF398H or LF398AH  
See NS Package Number N08E

### Metal Can Package



Order Number LF198H, LF298H,  
LF398H, LF198AH or LF398AH  
See NS Package Number H08C

TL74562-11

LF198/LF298/LF398/LF198A/LF398A

**MOTOROLA****MC6840****PROGRAMMABLE TIMER MODULE (PTM)**

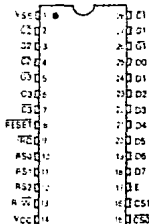
The MC6840 is a programmable subsystem component of the MC6800 family designed to provide a time system timer module.

The MC6840 has an 8-bit binary counters, three nonreturning control registers, and a status register. These counters are under software control and may be used to count system interrupts and to generate output signals. The MC6840 may be used for such tasks as frequency measurements, event counting, interval measuring, and time delay. The device may be used for square wave generation, pulse delay signals, single pulses of one-pulse duration, and pulse width modulation as well as system interrupts.

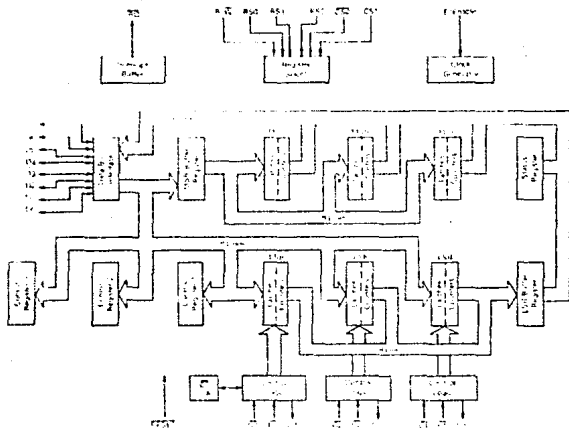
- Operates from a Single 5 Volt Power Supply
- Fully TTL Compatible
- Single System Clock Required (Master)
- On-Chip Prescaler on Timer 0 (Up to 4 MHz for the MC6840, 6 MHz for the MC6845) and a Prescaler (MC6845)
- Programmable Interrupt (INT) Output to MPU
- Readable Counter Number Indicates Counts to Go Until Time-Out
- Selectable Gating for Frequency or Pulse Width Comparison
- RESET Input
- Three Anunciators (External Clock and Gate, Free-Run, Input, Output) for the Counter
- Three Monitor Outputs

**MOS**IN-CHANNEL SILICON GATE  
DEPLETION LOAD**PROGRAMMABLE TIMER**L SUFFIX  
CERAMIC PACKAGE  
CASE 719P SUFFIX  
PLASTIC PACKAGE  
CASE 710S SUFFIX  
DIP PACKAGE  
CASE 732**ORDERING INFORMATION**

| Package Type        | Frequency | Temperature Range | Order Number |
|---------------------|-----------|-------------------|--------------|
| Ceramic<br>L Suffix | 10 MHz    | 0°C to 70°C       | MC6840L      |
|                     | 10 MHz    | -40°C to +85°C    | MC6840CL     |
|                     | 15 MHz    | 0°C to 70°C       | MC6840L5     |
|                     | 15 MHz    | -40°C to +85°C    | MC6840CL5    |
|                     | 20 MHz    | 0°C to 70°C       | MC6840L20    |
| Plastic<br>P Suffix | 10 MHz    | 0°C to 70°C       | MC6840P      |
|                     | 10 MHz    | -40°C to +85°C    | MC6840CP     |
|                     | 15 MHz    | 0°C to 70°C       | MC6840P15    |
|                     | 15 MHz    | -40°C to +85°C    | MC6840CP15   |
|                     | 20 MHz    | 0°C to 70°C       | MC6840P20    |
| DIP<br>S Suffix     | 10 MHz    | 0°C to 70°C       | MC6840S      |
|                     | 10 MHz    | -40°C to +85°C    | MC6840CS     |
|                     | 15 MHz    | 0°C to 70°C       | MC6840S15    |
|                     | 15 MHz    | -40°C to +85°C    | MC6840CS15   |
|                     | 20 MHz    | 0°C to 70°C       | MC6840S20    |

**PIN ASSIGNMENT**

## BLOCK DIAGRAM



## POWER CONSIDERATIONS

The ambient temperature dependence of  $T_{jmax}$  is as follows:

$$T_{jmax} = T_a + P_{PD} \theta_{JA}$$

(1)

where

$T_a$  = Ambient Temperature, °C

$\theta_{JA}$  = Package Thermal Resistance (see Appendix A), °C/W

$T_{jmax}$  =  $T_{jmax}(T_a)$

$P_{PD} = I_{CC} \times V_{CC}$  Max. = Chip Power

$P_{PD} = I_{CC} \times V_{CC}$  Max. = User Determined

The user controls  $I_{CC}$  and  $V_{CC}$  and can be assured  $P_{PD} < P_{PD}(T_a)$  because signified if the device is configured to meet the table of test conditions.

The approximate relationship between  $P_{PD}$  and  $T_{jmax}$  if  $P_{PD}(T_a)$  is regulated is

$$P_{PD} = (T_{jmax} - T_a) / \theta_{JA}$$

(2)

Solving equations 1 and 2 for  $T_a$  gives

$$T_a = P_{PD} \theta_{JA} + T_{jmax} - \theta_{JA} P_{PD}$$

(3)

Where  $\theta_{JA}$  is an instant parameter to the particular part.  $\theta_{JA}$  can be determined from equation 3 by measuring  $P_{PD}$  (at equilibrium) and  $T_a$  and  $T_{jmax}$ . The values of  $\theta_{JA}$  and  $T_a$  can be determined by solving equations (1) and (2) iteratively for any value of  $T_a$ .

## MAXIMUM RATINGS

| Rating  | Symbol           | Value        | Unit |
|---|------------------|--------------|------|
| Supply Voltage  | V <sub>CC</sub>  | -0.3 to +7.0 | V    |
| I/O Voltage   | V <sub>IO</sub>  | -0.3 to +7.0 | V    |
| Operating Temperature Range (MCM6840, MCM6841, MCM6842) | T <sub>OP</sub>  | 0 to +70     | °C   |
| Maximum Power Dissipation (MCM6840, MCM6841, MCM6842)   | P <sub>JA</sub>  | -40 to +85   | °C   |
| Storage Temperature Range                               | T <sub>STG</sub> | -55 to +150  | °C   |

## THERMAL CHARACTERISTICS

| Characteristic     | Symbol          | Value | Unit |
|--------------------|-----------------|-------|------|
| Thermal Resistance |                 |       |      |
| Case               | θ <sub>JA</sub> | 65    | °C/W |
| Package            |                 | 115   |      |
| Lead               |                 | 60    |      |

This device contains circuitry to protect the device against damage due to high static voltages or electric fields. However, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V<sub>IO</sub> and V<sub>CC</sub> be not allowed to rise above V<sub>CC</sub> + 0.5 V or V<sub>IO</sub> + 0.5 V. Recovery of operation is enhanced if unused inputs are tied to an appropriate logic voltage level (e.g., either V<sub>CC</sub> or V<sub>IO</sub>).

DC ELECTRICAL CHARACTERISTICS (V<sub>CC</sub> = 5.0 V ± 5%, V<sub>IO</sub> = 0, I<sub>A</sub> = I<sub>B</sub> or I<sub>O</sub> unless otherwise noted)

| Characteristic  | Symbol           | Min                   | Typ | Max                   | Unit |
|---|------------------|-----------------------|-----|-----------------------|------|
| Input High Voltage  | V <sub>IH</sub>  | V <sub>CC</sub> - 0.3 | —   | V <sub>CC</sub>       | V    |
| Input Low Voltage   | V <sub>IL</sub>  | V <sub>CC</sub> - 0.3 | —   | V <sub>CC</sub> - 0.8 | V    |
| Input Leakage Current (I <sub>IL</sub> = 0 to 5 V)  | I <sub>IL</sub>  | —                     | 1.0 | 2.5                   | µA   |
| H-Z I/O State Input Current (I <sub>IO</sub> = 0 to 2.4 V)  | I <sub>IO</sub>  | -1.5                  | —   | 2.0                   | µA   |
| Output High Voltage<br>(I <sub>OL</sub> = 0 mA)<br>(I <sub>OL</sub> = 20 mA)<br>(I <sub>OL</sub> = 20 mA) | V <sub>OH</sub>  | V <sub>CC</sub> - 2.4 | —   | —                     | V    |
| Output Low Voltage<br>(I <sub>OH</sub> = 0 mA)<br>(I <sub>OH</sub> = 20 mA)<br>(I <sub>OH</sub> = 20 mA)  | V <sub>OL</sub>  | —                     | —   | V <sub>CC</sub> - 0.4 | V    |
| Output Leakage Current (I <sub>OH</sub> = 0 to 2.4 V)   | I <sub>OH</sub>  | —                     | —   | 1.0                   | µA   |
| Internal Power Dissipation (Measured at T <sub>A</sub> = T <sub>OP</sub> )                                | P <sub>DIS</sub> | —                     | 470 | 700                   | mW   |
| Input Capacitance<br>(V <sub>IO</sub> = 0 V, f = 20°C, f = 1.0 MHz)                                       | C <sub>IN</sub>  | —                     | —   | 12.5                  | pF   |
| Output Capacitance<br>(V <sub>IO</sub> = 0 V, f = 1.0 MHz)  | C <sub>OUT</sub> | —                     | —   | 5.0                   | pF   |

## AC OPERATING CHARACTERISTICS (See Figures 2-7)

| Characteristic   | Symbol                            | MCM6840                              |                  | MCM6841                              |                   | MCM6842                              |                    | Unit |
|--|-----------------------------------|--------------------------------------|------------------|--------------------------------------|-------------------|--------------------------------------|--------------------|------|
|  |                                   | Min                                  | Max              | Min                                  | Max               | Min                                  | Max                |      |
| Mean High and Low Times<br>(Figures 4 and 5; C <sub>IN</sub> and RESET)                  | t <sub>PH</sub>                   | —                                    | 1.0 <sup>1</sup> | —                                    | 1.60 <sup>2</sup> | —                                    | 0.500 <sup>3</sup> | µs   |
| Input Pulse Width Low (Figure 4)<br>(Arbitrary Logic Input)<br>C <sub>IN</sub> and RESET | t <sub>PL</sub>                   | 1.00 <sup>1</sup> + 1.0 <sup>2</sup> | —                | 1.00 <sup>1</sup> + 1.0 <sup>2</sup> | —                 | 1.00 <sup>1</sup> + 1.0 <sup>2</sup> | —                  | ns   |
| Input Pulse Width High (Figure 5)<br>(Arbitrary Logic Input) C <sub>IN</sub>             | t <sub>PH</sub>                   | 1.00 <sup>1</sup> + 1.0 <sup>2</sup> | —                | 1.00 <sup>1</sup> + 1.0 <sup>2</sup> | —                 | 1.00 <sup>1</sup> + 1.0 <sup>2</sup> | —                  | ns   |
| Input Setup Time (Figure 6)<br>(Synchronous Input)<br>C <sub>IN</sub> and RESET          | t <sub>SI</sub>                   | 200                                  | —                | 120                                  | —                 | 75                                   | —                  | ps   |
| Input Hold Time (Figure 6)<br>(Synchronous Input)<br>C <sub>IN</sub> and RESET           | t <sub>HD</sub>                   | 50                                   | —                | 50                                   | —                 | 50                                   | —                  | ps   |
| Input Setup/hold System Time (Figure 7)<br>C <sub>IN</sub> - B Message Mode Data         | t <sub>SH</sub>                   | 200                                  | —                | 200                                  | —                 | 175                                  | —                  | ns   |
| Input Pulse Width<br>C <sub>IN</sub> - B Preamble Mode Data                              | t <sub>PL</sub> , t <sub>PH</sub> | 120                                  | —                | 80                                   | —                 | 60                                   | —                  | ns   |
| Output Delay (Fig. 2) (Figure 7)<br>I <sub>OH</sub> = 2.4 V, I <sub>OL</sub> = 0 mA      | t <sub>PL</sub>                   | 50                                   | 100              | —                                    | 450               | —                                    | 340                | ns   |
| I <sub>OH</sub> = 2.4 V, I <sub>OL</sub> = 0 mA  | t <sub>HL</sub>                   | —                                    | 450              | —                                    | 450               | —                                    | 340                | ns   |
| I <sub>OH</sub> = 2.4 V, I <sub>OL</sub> = 0 mA  | t <sub>PHL</sub>                  | —                                    | 2.0              | —                                    | 1.25              | —                                    | 1.0                | µs   |
| Output Propagation Delay<br>I <sub>OH</sub> = 2.4 V, I <sub>OL</sub> = 0 mA              | t <sub>PL</sub>                   | 50                                   | 1.2              | —                                    | 1.7               | —                                    | 1.7                | µs   |

BUS TIMING CHARACTERISTICS (See Figures 1, 2, and 3)

| Item Number | Characteristic                         | Symbol     | MC6840 |     | MC6840A |     | MC6840B |     | Unit |
|-------------|--|------------|--------|-----|---------|-----|---------|-----|------|
|             |  |            | Min    | Max | Min     | Max | Min     | Max |      |
| 1           | Cycle Time                             | $t_{CYC}$  | 140    | 10  | 167     | 13  | 15      | 10  | ns   |
| 2           | Flash Output Enable                    | $t_{FWE}$  | 430    | 950 | 280     | 950 | 210     | 950 | ns   |
| 3           | Flash Output Enable                    | $t_{FWE}$  | 430    | 950 | 250     | 950 | 220     | 950 | ns   |
| 4           | Clock Rise/Fall Time                   | $t_{CR/F}$ | -      | 25  | -       | 25  | -       | 20  | ns   |
| 9           | Address Hold Time                      | $t_{AH}$   | 10     | -   | 10      | -   | 10      | -   | ns   |
| 13          | Address Setup Time before $t_{CS}$     | $t_{AS}$   | 80     | -   | 60      | -   | 40      | -   | ns   |
| 14          | Chip Select Setup Time before $t_{CS}$ | $t_{CS}$   | 80     | -   | 60      | -   | 40      | -   | ns   |
| 15          | Chip Select Hold Time                  | $t_{CH}$   | 13     | -   | 10      | -   | 10      | -   | ns   |
| 16          | Read Data Hold Time                    | $t_{RDH}$  | 20     | 50* | 20      | 50* | 20      | 50* | ns   |
| 21          | Write Data Hold Time                   | $t_{WDH}$  | 10     | -   | 10      | -   | 10      | -   | ns   |
| 33          | Program Output Data Delay Time         | $t_{DDB}$  | -      | 250 | -       | 180 | -       | 150 | ns   |
| 31          | Program Output Data Setup Time         | $t_{DWS}$  | 10     | -   | 10      | -   | 10      | -   | ns   |

\*The data bus output buffers are no longer sourcing or sinking current by 100ns max (high impedance)

## NOTES

- Not all signals are applicable to every part.
- Voltage levels shown are 0 V, 0.4 V, Max 2.4 V, unless otherwise specified.
- Min/max values shown are 0.8 V and 2.0 V, unless otherwise specified.

FIGURE 1 - BUS TIMING

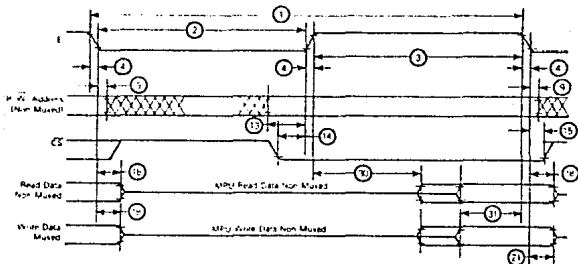


FIGURE 2 - INPUT PULSE WIDTH LOW

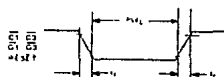
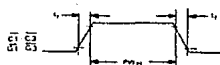


FIGURE 3 - INPUT PULSE WIDTH HIGH



**MOTOROLA****MC6821****PERIPHERAL INTERFACE ADAPTER (PIA)**

The MC6821 Peripheral Interface Adapter provides the universal means of interfacing peripheral equipment to the M6800 family of microprocessors. This device is capable of interfacing the MPU to peripherals through two 8 bit bidirectional peripheral data buses and four control lines. No external logic is required for interfacing to most peripheral devices.

The functional configuration of the PIA is programmed by the MPU during system initialization. Each of the peripheral data lines can be programmed to act as an input or output, and each of the four control/intercept lines may be programmed for one of several control modes. This allows a high degree of flexibility in the overall operation of the interface.

- 8 Bit Bidirectional Data Bus for Communication with the MPU
- Two Bidirectional 8 Bit Buses for Interface to Peripherals
- Two Programmable Control Registers
- Two Programmable Data Direction Registers
- Four Individually Configured Interrupt Input Lines. Two Usable as Peripheral Control Outputs
- Handshake Control Logic for Input and Output Peripheral Activities
- High Impedance Three-State and Direct Transistor Drive Peripheral Lines
- Program Controlled Interrupt and Interrupt Disable Capability
- CMOS Drive Capability on Side A Peripheral Lines
- Two TTL Drive Capability on A and B Side Buffers
- TTL Compatible
- Static Operation

**MOS**IN-CHANNEL, SILICON-GATE,  
DEPLETION LOAD**PERIPHERAL INTERFACE  
ADAPTER****L SUFFIX  
CERAMIC PACKAGE  
CASE 715****S SUFFIX  
CEROP PACKAGE  
CASE 724****P SUFFIX  
PLASTIC PACKAGE  
CASE 711****ORDERING INFORMATION**

| Package Type        | Frequency (MHz) | Temperature   | Order Number |
|---------------------|-----------------|---------------|--------------|
| Ceramic<br>L Suffix | 1.5             | 0°C to 70°C   | MC6821L      |
|                     | 1.0             | 40°C to 85°C  | MC6821EL     |
|                     | 1.5             | 0°C to 85°C   | MC6821LL     |
|                     | 1.5             | -40°C to 85°C | MC6821CL     |
|                     | 2.0             | 0°C to 70°C   | MC6821L      |
| L-120P<br>S Suffix  | 1.0             | 0°C to 70°C   | MC6821S      |
|                     | 1.0             | 40°C to 85°C  | MC6821ES     |
|                     | 1.5             | -40°C to 85°C | MC6821SS     |
|                     | 1.5             | 0°C to 85°C   | MC6821CS     |
|                     | 2.0             | 0°C to 70°C   | MC6821S      |
| Plastic<br>P Suffix | 1.0             | 0°C to 70°C   | MC6821P      |
|                     | 1.0             | -40°C to 85°C | MC6821EP     |
|                     | 1.5             | 0°C to 70°C   | MC6821PP     |
|                     | 1.5             | 40°C to 85°C  | MC6821CP     |
|                     | 2.0             | 0°C to 70°C   | MC6821P      |

**PIN ASSIGNMENT**

|     |    |    |       |
|-----|----|----|-------|
| VEE | 1  | 40 | CA1   |
| PA0 | 2  | 39 | CA2   |
| PA1 | 3  | 38 | IRA   |
| PA2 | 4  | 37 | IR00  |
| PA3 | 5  | 36 | IR50  |
| PA4 | 6  | 35 | IR51  |
| PA5 | 7  | 34 | RESET |
| PA6 | 8  | 33 | DO    |
| PA7 | 9  | 32 | DI    |
| PBC | 10 | 31 | DI2   |
| PB1 | 11 | 30 | DI3   |
| PB2 | 12 | 29 | DI4   |
| PB3 | 13 | 28 | DI6   |
| PB4 | 14 | 27 | DI6   |
| PB5 | 15 | 26 | DI7   |
| PB6 | 16 | 25 | DI8   |
| PB7 | 17 | 24 | CS1   |
| CB1 | 18 | 23 | CS2   |
| CC1 | 19 | 22 | CS0   |
| VCC | 20 | 21 | IR/VW |

3-307



## MAXIMUM RATINGS

| Characteristics  | Symbol           | Value                              | Unit |
|--|------------------|------------------------------------|------|
| Supply Voltage   | V <sub>CC</sub>  | -0.3 to +7.0                       | V    |
| Input Voltage  | V <sub>I</sub>   | -0.3 to +7.5                       | V    |
| Operating Temperature Range<br>MICRO1, MICROA31, MICROB21<br>MICRO1C, MICROA21C<br>MICRO21C, MICROA21C | T <sub>A</sub>   | -40 to 75<br>0 to 75<br>-40 to +85 | °C   |
| Storage Temperature Range  | T <sub>stg</sub> | -55 to +150                        | °C   |

## THERMAL CHARACTERISTICS

| Characteristic                                     | Symbol          | Value           | Unit |
|--|-----------------|-----------------|------|
| Thermal Resistance<br>Ceramic<br>Plastic<br>Carada | θ <sub>JA</sub> | 50<br>100<br>60 | °C/W |

## POWER CONSIDERATIONS

The average chip junction temperature, T<sub>J</sub>, in °C can be obtained from

$$T_J = T_A + (P_{DCH} \theta_{JA}) \quad (1)$$

Where

T<sub>A</sub> = Ambient Temperature, °C

θ<sub>JA</sub> = Package Thermal Resistance, Junction to Ambient, °C/W

P<sub>DCH</sub> = P<sub>INT</sub> + P<sub>EXT</sub>

P<sub>INT</sub> = V<sub>CC</sub> × V<sub>CC</sub> Watts = Chip Internal Power

P<sub>EXT</sub> = P<sub>OUT</sub> Power Dissipation, Watts = User Determined

For most applications P<sub>EXT</sub> < P<sub>INT</sub> and can be neglected. P<sub>INT</sub> may become significant if the device is configured in one-Dramion buses or some LRU buses.

An approximate relationship between P<sub>DCH</sub> and T<sub>J</sub> of Equation (1) can be written as

$$P_D = K - (T_J + 273)^2 \quad (2)$$

Solving equations (1) and (2) for K gives

$$K = P_D(\theta_{JA} + 273)^2 + \theta_{JA} T_J^2 \quad (3)$$

Where K is a constant pertaining to the particular part, K can be determined from equation (3) by measuring P<sub>D</sub> (at equilibrium) for a known T<sub>A</sub>. Using this value of K, the values of P<sub>D</sub> and T<sub>J</sub> can be obtained by solving equations (1) and (2) iteratively for the value of T<sub>A</sub>.

These maximum ratings apply to long-term (2000 hours) operation. Damage due to high voltage, voltages or electric fields. However, it is assumed that normal operations be taken as a basis. Repetitions of any voltage higher than maximum rated values for the long-term operation will not be permitted. It is recommended that V<sub>CC</sub> and V<sub>I</sub> be limited to the range -0.3V to +7.5V V<sub>CC</sub>.

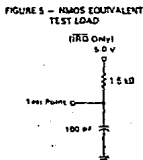
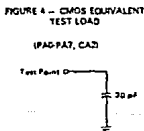
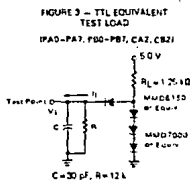
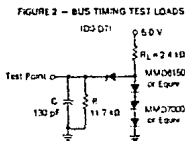
Unless specified, all pins must be held to their designated logic voltage level (i.e., either GND or V<sub>CC</sub>).

DC ELECTRICAL CHARACTERISTICS (V<sub>CC</sub> = 5.0 Vdc ± 5%, V<sub>SS</sub> = 0, T<sub>A</sub> = 25°C, 10 MHz unless otherwise noted)

| Characteristics  | Symbol           | Min                   | Typ | Max                   | Unit |
|--|------------------|-----------------------|-----|-----------------------|------|
| <b>BUS CONTROL INPUTS (A1-V, Enable, RESET, ASL, AS1, CS0, CS1, CS2)</b> |                  |                       |     |                       |      |
| Input High Voltage   | V <sub>IH</sub>  | V <sub>SS</sub> + 0.3 | -   | V <sub>CC</sub>       | V    |
| Input Low Voltage  | V <sub>IL</sub>  | V <sub>SS</sub> - 0.3 | -   | V <sub>SS</sub> + 0.8 | V    |
| Input Leakage Current (I <sub>IL</sub> ) = 0 to 5.25 V <sub>I</sub>      | I <sub>IL</sub>  | -                     | 10  | 25                    | μA   |
| Capacitance (C <sub>IN</sub> ) = 0, T <sub>A</sub> = 25°C, f = 1.0 MHz   | C <sub>IN</sub>  | -                     | -   | 7.5                   | pF   |
| <b>INTERRUPT OUTPUTS (M2SA, M2SB)</b>                                    |                  |                       |     |                       |      |
| Output Low Voltage (I <sub>OL</sub> = 10 mA)                             | V <sub>OL</sub>  | -                     | -   | V <sub>CC</sub> / 4   | V    |
| Output Leakage Current   | I <sub>OL</sub>  | -                     | 10  | 10                    | μA   |
| Capacitance (C <sub>OUT</sub> ) = 0, T <sub>A</sub> = 25°C, f = 1.0 MHz  | C <sub>OUT</sub> | -                     | -   | 5.0                   | pF   |
| <b>DATA BUS (DD-D2)</b>  |                  |                       |     |                       |      |
| Input High Voltage   | V <sub>IH</sub>  | V <sub>SS</sub> + 0.3 | -   | V <sub>CC</sub>       | V    |
| Input Low Voltage  | V <sub>IL</sub>  | V <sub>SS</sub> - 0.3 | -   | V <sub>SS</sub> + 0.8 | V    |
| Input Leakage Current (I <sub>IL</sub> ) = 0.4 to 2.4 V <sub>I</sub>     | I <sub>IL</sub>  | -                     | 10  | 10                    | μA   |
| Output High Voltage (I <sub>OH</sub> = 20 μA)                            | V <sub>OH</sub>  | V <sub>SS</sub> + 2.4 | -   | V                     | V    |
| Output Low Voltage (I <sub>OL</sub> = 1.8 mA)                            | V <sub>OL</sub>  | -                     | -   | V <sub>SS</sub> + 0.4 | V    |
| Capacitance (C <sub>IN</sub> ) = 0, T <sub>A</sub> = 25°C, f = 1.0 MHz   | C <sub>IN</sub>  | -                     | -   | 7.5                   | pF   |

| PERIPHERAL TIMING CHARACTERISTICS ( $V_{CC}=5.0V \pm 5\%$ , $V_{SS}=0V$ , $T_A=T_C$ to the values otherwise specified) |            |        |      |         |       |         |       |                    |
|--|------------|--------|------|---------|-------|---------|-------|--------------------|
| Characteristic   | Symbol     | MC6821 |      | MC68A21 |       | MC68B21 |       | Reference Fig. No. |
|  |            | Min    | Max  | Min     | Max   | Min     | Max   |                    |
| Data Setup Time  | $t_{DS}$   | 2.0    | —    | 1.0     | —     | 1.0     | —     | ns 6               |
| Data Hold Time   | $t_{DH}$   | 0      | —    | 0       | —     | 0       | —     | ns 6               |
| Delay Time, Enable Negative Transition to CA2 Negative Transition  | $t_{CA2}$  | —      | 1.0  | —       | 0.67C | —       | 0.50D | ns 2, 7, 8         |
| Delay Time, Enable Negative Transition to CB2 Positive Transition  | $t_{CB2}$  | —      | 1.0  | —       | 0.67C | —       | 0.50D | ns 3, 7            |
| Rise and Fall Times for CA1 and CA2 Input Signals  | $t_r, t_f$ | —      | 1.0  | —       | 1.0   | —       | 1.0   | ns 8               |
| Delay Time from CA1 Active Transition to CA2 Positive Transition   | $t_{AC2}$  | —      | 2.0  | —       | 1.0   | —       | 1.0   | ns 3, 9            |
| Delay Time, Enable Negative Transition to Data Read  | $t_{DRW}$  | —      | 1.0  | —       | 0.67C | —       | 0.5   | ns 3, 9, 10        |
| Delay Time, Enable Negative Transition to EMDS Data Valid (PA0-PA7, CA2)   | $t_{EMDS}$ | —      | 2.0  | —       | 1.0   | —       | 1.0   | ns 4, 9            |
| Delay Time, Enable Positive Transition to CB2 Negative Transition  | $t_{CB2}$  | —      | 1.0  | —       | 0.67C | —       | 0.5   | ns 7, 11, 12       |
| Delay Time, Data Valid to CB2 Negative Transition  | $t_{DC}$   | 20     | —    | 20      | —     | 20      | —     | ns 3, 10           |
| Delay Time, Enable Positive Transition to CB2 Positive Transition  | $t_{CB2}$  | —      | 1.0  | —       | 0.67C | —       | 0.5   | ns 3, 11           |
| Control Output Pulse Width, CA2/CB2  | $PW_{CA2}$ | 50     | —    | 30      | —     | 250     | —     | ns 3, 11           |
| Rise and Fall Time for CB1 and CB2 Input Signals   | $t_r, t_f$ | —      | 1.0  | —       | 1.0   | —       | 1.0   | ns 12              |
| Delay Time, CB1 Active Transition to CB2 Positive Transition   | $t_{AC2}$  | —      | 2.0  | —       | 1.0   | —       | 1.0   | ns 3, 12           |
| Interrupt Release Time (IRDA and IRDB)   | $t_{IR}$   | —      | 1.00 | —       | 1.10  | —       | 0.85  | ns 5, 14           |
| Interrupt Response Time  | $t_{RS}$   | —      | 1.0  | —       | 1.0   | —       | 1.0   | ns 5, 12           |
| Interrupt Input Pulse Time   | $t_{PI}$   | 100    | —    | 500     | —     | 500     | —     | ns 13              |
| RESET Low Time*  | $t_{R1}$   | 1.0    | —    | 0.66    | —     | 0.5     | —     | ns 15              |

\*The RESET line must be high a minimum of 1.0  $\mu$ s before addressing the PIA.



**MOTOROLA****MC6845****CRT CONTROLLER (CRTC)**

The MC6845 CRT controller performs the interface between an MPU and a raster scan CRT display. It is intended for use in MPU-based computers for CRT terminals in stand-alone or cluster configurations.

The CRTC is optimized for the modems and software balances required for maximum flexibility. All hybrid functions, reads, writes, cursor movements, and editing are under processor control. The CRTC provides video timing and refresh memory addressing.

- Useful in Monochrome or Color CRT Applications
- Applications include "Glass-Teletext," Smart, Programmable, Intelligent CRT Terminals, Video Games, Information Displays
- Alpha-Numeric, Semi-Graphic, and Full-Graphic Capability
- Fully Programmable via Processor Data Bus. Timing May Be Generated for Any Width, Aspect, or Line Screen Format (e.g., 80 x 24, 72 x 24, 132 x 24)
- Single +5 V Supply
- MC6800 Compatible Bus Interface
- TTL-Compatible Inputs and Outputs
- Start Address Register Provides Hardware Scroll by Page or Character
- Programmable Cursor Register Allows Control of Cursor Format and Blink Rate
- Light Pen Register
- Refresh (Scroll) Memory May Be Multiplexed Between the CRTC and the MPU Thus Removing the Requirements for Line Buffers or External DMA Devices
- Programmatic Interface of Non-Interlace Scan Modes
- 14 Bit Refresh Address Allows Up to 16K of Refresh Memory for Use in Character or Smeared Graphics Displays
- 5 Bit Row Address Allows Up to 32 Scan-Line Character Blocks
- By Utilizing Both the Refresh Addresses and the Row Addresses, a 512K Address Space is Available for Use in Graphics Systems
- Refresh Addresses are Provided During Refresh, Allowing the CRTC to Provide Row Addresses to Refresh Dynamic RAMs
- Pin Compatible with the MC6845C

**MOS**  
IN CHANNEL, SILICON-GATED**CRT CONTROLLER**  
(CRTC)


L SUFFIX  
CERAMIC PACKAGE  
CASE 715



S SUFFIX  
CERDIP PACKAGE  
CASE 734



P SUFFIX  
PLASTIC PACKAGE  
CASE 711

**ORDERING INFORMATION**

| Package Type        | Frequency (MHz) | Temperature   | Order Number |
|---------------------|-----------------|---------------|--------------|
| Ceramic<br>L Suffix | 1.0             | 0°C to 70°C   | MC6845L      |
|                     | 1.0             | -40°C to 85°C | MC6845CL     |
|                     | 1.5             | 0°C to 70°C   | MC6845SL     |
|                     | 1.5             | -40°C to 85°C | MC6845SCL    |
|                     | 2.0             | 0°C to 70°C   | MC6845SL     |
| Ceramic<br>S Suffix | 1.0             | 0°C to 70°C   | MC6845S      |
|                     | 1.0             | -40°C to 85°C | MC6845CS     |
|                     | 1.5             | 0°C to 70°C   | MC6845SL     |
|                     | 1.5             | -40°C to 85°C | MC6845CSL    |
|                     | 2.0             | 0°C to 70°C   | MC6845SL     |
| Plastic<br>P Suffix | 1.0             | 0°C to 70°C   | MC6845P      |
|                     | 1.0             | -40°C to 85°C | MC6845CP     |
|                     | 1.5             | 0°C to 70°C   | MC6845SP     |
|                     | 1.5             | -40°C to 85°C | MC6845SCP    |
|                     | 2.0             | 0°C to 70°C   | MC6845SP     |

**FN ASSIGNMENT**

|        |    |   |     |
|--------|----|---|-----|
| CLOCK  | 1  | A | CLK |
| RESET  | 2  | B | RES |
| LPSTB  | 3  | C | RA0 |
| MAC0   | 4  | D | RA1 |
| MA10   | 5  | E | RA2 |
| MA20   | 6  | F | RA3 |
| MA30   | 7  | G | RA4 |
| MA40   | 8  | H | DO  |
| MA50   | 9  | J | DI  |
| MA60   | 10 | K | DD  |
| MA70   | 11 | L | DD  |
| MA80   | 12 | M | DD  |
| MA90   | 13 | N | DD  |
| MA100  | 14 | P | DD  |
| MA110  | 15 | Q | DD  |
| MA120  | 16 | R | DD  |
| MA130  | 17 | S | DD  |
| DL     | 18 | T | DE  |
| CURSOR | 19 | U | R/W |
| VCC    | 20 | V | CLK |



# MC6845

## POWER CONSIDERATIONS

The average chip junction temperature,  $T_J$ , in °C can be obtained from:

$$T_J = T_A + (P_D \theta_{JA}) \quad (1)$$

Where

$T_A$  = Ambient Temperature, °C

$\theta_{JA}$  = Package Thermal Resistance, Junction to Ambient, °C/W

$P_D = P_{INT} + P_{PORT}$

$P_{INT} = I_{CC} \times V_{CC}$ , Watts = Chip Internal Power

$P_{PORT}$  = Port Power Dissipation, Watts = User Determined

For most applications  $P_{PORT} \ll P_{INT}$  and can be neglected.  $P_{PORT}$  may become significant if the device is configured to drive Darlington bases or sink LED loads.

An approximate relationship between  $P_D$  and  $T_J$  if  $P_{PORT}$  is neglected is:

$$P_D = K \cdot (T_J - 273) \quad (2)$$

Solving equations 1 and 2 for  $K$  gives

$$K = P_D / (T_A - 273) - \theta_{JA} P_D^2 \quad (3)$$

Where  $K$  is a constant pertaining to the particular part.  $K$  can be determined from equation 3 by measuring  $P_D$  (at equilibrium) for a known  $T_A$ . Using this value of  $K$ , the values of  $P_D$  and  $T_J$  can be obtained by solving equations (1) and (2) iteratively for one value of  $T_A$ .

### DC ELECTRICAL CHARACTERISTICS ( $V_{CC} = 5.0$ Vdc $\pm 5\%$ , $V_{SS} = 0$ , $T_A = 0$ to $70^\circ\text{C}$ , unless otherwise noted, see Figures 2-4)

| Characteristic  | Symbol                 | Min             | Typ        | Max        | Unit          |   |
|---|------------------------|-----------------|------------|------------|---------------|---|
| Input High Voltage  | $V_{IH}$               | 2.0             | —          | $V_{CC}$   | V             |   |
| Input Low Voltage   | $V_{IL}$               | 0.3             | —          | 0.8        | V             |   |
| Input Leakage Current   | $I_{in}$               | —               | 0.1        | 2.5        | $\mu\text{A}$ |   |
| MC State Input Current ( $V_{CC} = 5.25$ V, $V_{in} = 0.4$ to $2.4$ V)            | $I_{IS}$               | —               | 10         | —          | $\mu\text{A}$ |   |
| Output High Voltage<br>$I_{OZH} = 200 \mu\text{A}$<br>$I_{OZH} = 100 \mu\text{A}$ | D0-D7<br>Other Outputs | V <sub>OH</sub> | 2.4<br>2.4 | 3.0<br>3.0 | V             |   |
| Output Low Voltage ( $I_{OZH} = 10 \mu\text{A}$ )                                 |                        | $V_{OL}$        | —          | 0.3        | 0.4           | V |
| Internal Power Dissipation (Measured at $T_A = 0^\circ\text{C}$ )                 | $P_{INT}$              | —               | 600        | 750        | mW            |   |
| Input Capacitance   | D0-D7<br>All Others    | $C_{in}$        | —          | 12.5       | pF            |   |
| Output Capacitance  | All Outputs            | $C_{out}$       | —          | 10         | pF            |   |



MOTOROLA

**DESCRIPTION** - Three metal bus transceivers are designed for asynchronous two-way communication between data buses. Control function requirements including a common timing requirement. These devices allow data transfer from the A bus to B or from the B bus to A and depending upon the logic level of the direction control (DIR) input. Enable input (EN) can disable the device so that if A buses are effectively isolated.

| DEVICE | OUTPUT         | LOGIC              |
|--------|----------------|--------------------|
| LS640  | 3 State        | Inverting          |
| LS641  | Open Collector | True               |
| LS642  | Open Collector | Inverting          |
| LS643  | 3 State        | True and Inverting |
| LS644  | Open Collector | True and Inverting |
| LS645  | 3 State        | True               |

**SN54LS/74LS640  
thru  
SN54LS/74LS645**

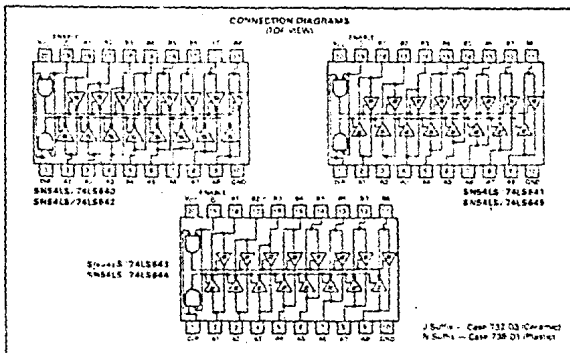
**OCTAL BUS TRANSCEIVERS**  
  
**LOW POWER SCHOTTKY**

**FUNCTION TABLE**

| CONTROL |       | OPERATION       |                 |                 |                 |
|---------|-------|-----------------|-----------------|-----------------|-----------------|
| INPUTS  | LS640 | LS641           | LS643           |                 | LS644           |
| Q DIR   | LS642 | LS645           | LS644           |                 |                 |
| L       | 1     | A data to B bus | B data to A bus | B data to A bus | B data to A bus |
| L       | H     | A data to B bus | A data to B bus | A data to B bus | A data to B bus |
| H       | X     | High-Z          | Isolation       | Isolation       | Isolation       |

H = High level, L = Low level, X = unspecified

**CONNECTION DIAGRAMS  
(TOP VIEW)**



MOTOROLA SCHOTTKY TTL DEVICES

4-334

**MOTOROLA**

**SN54LS74/74LS240**  
**SN54LS74/74LS241**  
**SN54LS74/74LS244**

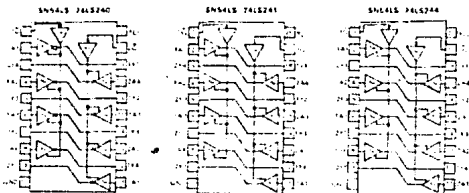
**DESCRIPTION** - The SN54LS74/74LS240, 241 and 244 are Octal Buffers and Line Drivers designed to be employed as memory address drivers, clock drivers and bus oriented tri-state buffers, etc. which provide improved PCB board density.

- HYSTERESIS AT INPUTS TO IMPROVE NOISE MARGINS
- J STATE OUTPUTS DRIVE BUS LINES OR BUFFER MEMORY ADDRESS REGISTERS
- INPUT CLAMP DIODES LIMIT HIGH SPEED TERMINATION EFFECTS

**OCTAL BUFFER/LINE DRIVER  
 WITH 3-STATE OUTPUTS**

LOW POWER SCHOTTKY

**LOGIC AND CONNECTION DIAGRAMS DIP - TOP VIEW**



**TRUTH TABLES**

**SN54LS74/74LS240**

| INPUTS |   | OUTPUT |
|--------|---|--------|
| 1G     | D |        |
| L      | L | H      |
| L      | H | L      |
| H      | X | (Z)    |

**SN54LS74/74LS241**

| INPUTS |   | OUTPUT         |
|--------|---|----------------|
| 1G     | D |                |
| L      | L | 1              |
| L      | H | 0              |
| H      | X | Z <sub>1</sub> |

**SN54LS74/74LS244**

| INPUTS |   | OUTPUT | INPUTS |   | OUTPUT |
|--------|---|--------|--------|---|--------|
| 1G     | D |        | 2G     | D |        |
| L      | L | L      | H      | L | L      |
| L      | H | H      | H      | H | H      |
| H      | X | (Z)    | L      | X | (Z)    |

H = HIGH Voltage Level  
 L = LOW Voltage Level  
 X = Don't Care  
 Z = HIGH IMPEDANCE

J 3076 - Case 742113 (Ceramic)  
 M 3076 - Case 742113 (Plastic)

MOTOROLA SCHOTTKY TTL DEVICES

4-211



**DESCRIPTION:** The SN54LS245 is an Octal-Bus Transceiver Receiver designed for 8-bit asynchronous bus data transfer between data buses. Direction input (DIR) controls transmission of data from bus A to bus B or bus B to bus A, depending upon its logic level. The Enable input (EN) can be used to isolate the buses.

- HYSTERESIS INPUTS TO IMPROVE NOISE IMMUNITY
- 2-WAY ASYNCHRONOUS DATA BUS COMMUNICATION
- INPUT DIODES LIMIT HIGH-SPEED TERMINATION EFFECTS

TRUTH TABLE

| INPUTS |     | OUTPUT              |
|--------|-----|---------------------|
| S      | DIR |                     |
| L      | L   | Bus B Data to Bus A |
| L      | H   | Bus A Data to Bus B |
| H      | X   | Isolation           |

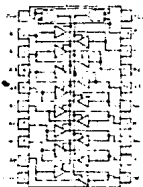
L = 0 (Logic Low)  
H = 1 (Logic High)  
X = Indifferent

SN54LS245  
SN74LS245

OCTAL BUS TRANSCEIVER

LOW POWER SCHOTTKY

LOGIC AND CONNECTION DIAGRAM  
DIP (TOP VIEW)



J-Suffix - Case 732 (30 Leads)  
N-Tube - Case 738 (16 Leads)

MOTOROLA SCHOTTKY TTL DEVICES

4-217



**A P E N D I C E   B:**

**REFERENCIAS BIBLIOGRAFICAS**

## BIBLIOGRAFIA

Schildt, Hebert. Programación en Turbo C  
Ed. Mc.Graw-Hill, 1988.

Schildt, Hebert. Turbo C ,the complete reference.  
Borland Osborne/ Mc. Graw-Hill. España, 1988.

Analog Product data Book Industrial/commercial. Vol 6  
Harris Semiconductor, 1988.

Data Conversions Products Databook. Analog Devices Inc.  
1988.

Linear Data Book. Vol. 1,2,3 National Semiconductor  
Corporation, 1988.

Motorola 8 Bit Microprocessor and Peripheral Data. 1986

Lógica Digital y Diseño de Computadoras, M. Morris Mano  
Prentice Hispanoamericana, S.A. 1990.

Memory Component's , Intel, Handbook, 1988.

Single Chip Microcomputer Data, Motorola.

Sistemas Digitales , Ronald J. Tocci, Prentice  
Hispanoamericana, 1988.

**A P E N D I C E    C:**

**REFERENCIAS DE COSTOS ESTIMATIVOS**

ESTIMACION DE COSTOS PARA EL EQUIPO EN UN SISTEMA  
DE ADQUISICION DE DATOS

| DISPOSITIVO                       | COSTO<br>EN DOLARES |
|-----------------------------------|---------------------|
| <b>A) Tarjeta CONVERTIDOR A/D</b> |                     |
| Circuitos integrados              | \$ 167.00           |
| Capacitores                       | 5.32                |
| Resistencias                      | 2.54                |
| Bases para circuito integrado     | 14.85               |
| Diodos                            | 2.57                |
| Conectores                        | 14.67               |
| Potenciómetros                    | 19.52               |
| Circuito impreso                  | 53.00               |
| TOTAL                             | \$ 279.47           |
| <br>                              |                     |
| <b>B) Tarjeta TIMER'S</b>         |                     |
| Circuitos integrados              | \$ 27.70            |
| Capacitores                       | 2.23                |
| Resistencias                      | 4.84                |
| Bases para circuito integrado     | 12.30               |
| Conectores                        | 14.00               |
| Circuito impreso                  | 53.00               |
| TOTAL                             | \$ 114.07           |
| <br>                              |                     |
| <b>C) Tarjeta CPU68008</b>        |                     |
| Circuitos integrados              | \$ 60.55            |
| Capacitores                       | 4.70                |
| Resistencias                      | 5.22                |
| Diodos                            | 0.39                |
| Bases para circuito integrado     | 20.00               |

|                           |                  |
|---------------------------|------------------|
| Botón normalmente abierto | 1.20             |
| Cristal de cuarzo         | 6.00             |
| Círculo impreso           | 53.00            |
| <b>TOTAL</b>              | <b>\$ 151.06</b> |

**D) Tarjeta VIDEO**

|                               |                  |
|-------------------------------|------------------|
| Circuitos integrados          | \$ 63.45         |
| Capacitores                   | 1.68             |
| Resistencias                  | 1.59             |
| Transistores                  | 0.92             |
| Cristal de cuarzo             | 14.73            |
| Conectores                    | 0.86             |
| Bases para circuito integrado | 11.30            |
| Círculo impreso               | 53.00            |
| <b>TOTAL</b>                  | <b>\$ 147.53</b> |