



1 201
Universidad Nacional Autónoma de México

Escuela Nacional de Estudios Profesionales
A R A G O N

Aplicaciones Industriales del
Microprocesador 8085A

T E S I S

Que para obtener el título de
INGENIERO EN COMPUTACION

P r e s e n t a

JAIME AYALA PEREZ

FALLA DE ORIGEN



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

CONTENIDO

CAPITULO :1

ARQUITECTURA BASICA DE MICROPROCESADORES	1	
I.1	Introduccion	2
I.2	Ventajas de un sistema digital basado en microprocesadores	2
I.2.1	Características generales de un microprocesador	3
I.3	Estructura base de un microprocesador	6
I.3.1	Contador de programa	6
I.3.2	Registro de instrucciones	7
I.3.3	Unidad aritmética y lógica	7
I.3.4	Acumulador	7
I.3.5	Unidad de control	7
I.3.6	Buses internos y "buffers" de E/S	8
I.4	Elementos auxiliares de un microprocesador	8
I.5	Funcionamiento de un microprocesador	9
I.6.	Sistemas de E/S	11
I.6.1	Funciones del sistema de interface	12
I.6.2	Software de E/S	12
I.6.3	Estructura de E/S	13
I.6.4	Clasificación de interfaces	14

CAPITULO II

SISTEMAS ELECTRONICOS BASADOS EN MICROPROCESADORES	15	
II.1	Introducción	16
II.2	Telefonia	18
II.3	Redes de computacion	22
II.4	Control de vehiculos	32
II.5	Control de velocidad de un motor de C.D.	43

CAPITULO III

ARQUITECTURA Y OPERACION DEL MICROPROCESADOR 8085A	46	
III.1	Introducción	47
III.2	Características del microprocesador 8085A	48
III.3	Arquitectura del microprocesador 8085A	50
III.3.1	Arreglo de registros	50
III.3.1.1	Contador de programa	50
III.3.1.2	Apuntador de stack (sp)	50
III.3.1.3	Registros de proposito general	50
III.3.1.4	Latch de dirección	51
III.3.2	Unidad aritmética y lógica (ALU)	51
III.3.2.1	Acumulador y registro temporal	51
III.3.2.2	Banderas de estado	51
III.3.2.3	Buffer del bus de datos	52
III.3.3	Registro de instrucción (RI)	52
III.3.4	Decodificador de instrucción	52

III.3.5	Sección de control y de tiempos	52
III.3.6	Control de las interrupciones y datos en serie	52
III.4	Señales de reloj y ciclos de la CPU	52
III.4.1	Ciclos de máquina	53
III.4.2	Estado de espera (TW)	53
III.4.3	Estado de alto (THH)	54
III.4.4	Estado de Hold (THD)	54
III.4.5	Estado de Reset (TR)	54
III.4.6	Ciclos del procesador	55
III.5	Instrucciones y modos de direccionamiento del 8085A	56
III.5.1	Conjunto de instrucciones del microprocesador 8085A	57
III.5.2	Modos de direccionamiento	57

CAPITULO IV

INTERFACES DIGITALES Y CIRCUITOS DE SOPORTE PARA EL MICROPROCESADOR 8085A		61
IV.1	Introducción	62
IV.2	Circuitos de soporte para el microprocesador 8085A	63
IV.2.1	Memoria RAM/Puertos de E-S/CONTADOR: C.I.8155	63
IV.2.2	Memoria EPROM y 2 Puertos de E/S: C.I.8755	65
IV.2.3.	Puerto de Interface en Paralelo: C.I. 8255	66
IV.2.4	Controlador de interrupciones Programable: C.I.8259	70
IV.3	Metodos de comunicacion	74

CAPITULO V

DESCRIPCION FUNCIONAL DE UN CONTROL DE VELOCIDAD CON EL MICROPROCESADOR 8085A		81
V.1	Introducción	82
V.2	Control de velocidad del motor electrico de C.D. con el microprocesador 8085A.	84
V.3	Principio del motor	89
V.4	Funcionamiento del motor	90
V.5	Tipos de motores de C.D.	95
V.5.1	Motor shunt	95
V.5.2	Motor serie	97
V.5.3	Motor compound	100
V.6	Control de velocidad del motor de C.D.	101
V.6.1	Control por resistencia del inducido	102
V.6.2	Voltaje de inducido constantes, excitación de campo controlada	102
V.6.3	Corriente de campo constante, voltaje de inducido controlado	102

CAPITULO VI**DISEÑO DE UN CONTROL DE VELOCIDAD DE UN MOTOR ELECTRICO
DE C.D. CON EL MICROPROCESADOR 8085A**

		103
VI.1	Introducción	104
VI.2	Planteamiento del problema	105
VI.2.1	Descripción del sistema motriz	106
VI.3	Arquitectura del sistema de un control de velocidad basado en el microprocesador 8085a	113
VI.3.1	Módulo del controlador de velocidad	113
VI.3.1.1	El CPU 8085A	113
VI.3.1.2	Demultiplexor de datos y direcciones	113
VI.3.1.3	Memoria EPROM 2716	114
VI.3.1.4	C.I. 8155 (RAM/IO/COUNTER)	114
VI.3.1.5	C.I. 8259 Interface/display	114
VI.3.1.6	Decodificador de direcciones	114
VI.3.1.7	Expansión del bus	114
VI.3.1.8	C.I. 8255 Puerto de interface paralelo	115
VI.3.2	Módulo intercambiador de vía	115
VI.3.3	Módulo de sensores de estación	117
VI.3.4	Módulo del control de velocidad del motor y rectificación de C.A. para el funcionamiento del motor de C.D. en serie.	119
VI.3.4.1	Decodificador	119
VI.3.4.2	Circuito monoestable "one shot"	120
VI.3.4.3	Acoplador óptico	122
VI.3.4.4	Rectificación y etapa de potencia	123
VI.4	Programación del controlador digital	126
VI.4.1	Programación	126
VI.4.2	Sub-rutinas	140
CONCLUSIONES		148
BIBLIOGRAFIA		149

INTRODUCCION

El presente trabajo tiene como finalidad el uso del microprocesador 8085A de 8 bits en algunas aplicaciones en donde su uso se hace indispensable, gracias a su gran capacidad de :

- 1.) Reducción de los costes de fabricación.
- 2.) Reducción de los costes de diseño.
- 3.) Comprensión del ciclo de diseño.
- 4.) Flexibilidad y rapidez de reacción ante las demandas del mercado.
- 5.) Mayor flexibilidad, mayor garantía y menor costo de mantenimiento.

Una de estas aplicaciones es el control de un motor eléctrico de C.D. por medio de un microprocesador, este motor forma parte de un tren eléctrico.

Un sistema digital programable automático por más eficaz, seguro, rápido que sea y tratándose para la operación, transportación y uso de personas jamás podrá ser operado por el sistema completamente, siempre requerirá de uno o varios operadores.

Este trabajo empieza, mencionando conceptos generales sobre microprocesadores de 8 bits.

En el capítulo II se mencionan algunas aplicaciones donde interviene el microprocesador como elemento de control como son: Telefonía, Redes de computadoras, Control de vehículos y Control de un motor eléctrico de C.D.

Los capítulos III y IV nos permiten conocer las características, funcionamiento y operación del microprocesador 8085A, así como algunos circuitos integrados que nos sirven de apoyo para este microprocesador.

Por último los capítulos V y VI nos muestran la aplicación del microprocesador para el control de un motor eléctrico de C.D. como parte del sistema motorizado.

CAPITULO : 1

ARQUITECTURA BASICA DE MICROPROCESADORES

I.1 Introducción

Uno de los elementos más importantes en el desarrollo de los sistemas electrónicos de control, es el microprocesador; El cual a provocado una revolución en el campo del diseño industrial alcanzándose actualmente sistemas más potentes, flexibles y de bajo costo, esto último gracias al desarrollo tecnológico utilizado en la fabricación de circuitos integrados.

El microprocesador forma parte de la tecnología de larga escala de integración (LSI), la cual permite manejar en un solo encapsulado (Chip) alrededor de 1000 o más componentes discretos.

I.2 Ventajas de sistemas digitales basados en microprocesadores

La utilización de sistemas controladores basados en microprocesadores desplazan a los que utilizan lógica cableada en aplicaciones sofisticadas de control.

Algunas de las ventajas de los sistemas digitales basados en microprocesadores con relación a los sistemas de lógica cableada son las siguientes:

a.) El microprocesador puede reemplazar un número elevado de Circuitos Integrados, lo cual representa ventajas en cuanto a facilidad y modularidad del diseño, reducción de costos, aumento de confiabilidad por el menor número de elementos e interconexiones y disminución de energía.

b.) El sistema resultante es más flexible, por lo que permite más opciones y/o modificaciones a la vez que posibilita futuras expansiones del sistema.

c.) Se puede trabajar con estructuras de información más desarrolladas, las operaciones aritméticas y lógicas pueden ser más complejas sobre palabras de longitud variable, y se aumenta la capacidad de decisión del sistema.

d.) Se posibilita el soporte de un sistema de entradas y salidas potente en cuanto a número y diversificación de accesos.

e.) Se simplifica el diagnóstico de fallas, las reparaciones y el mantenimiento.

f.) Se reduce el periodo de desarrollo y comercialización del equipo.

I.2.1 Características generales de un microprocesador

Un microprocesador es un Circuito Integrado (LSI) capaz de realizar la función de la unidad central de proceso (CPU) de un sistema digital, bajo el control de los programas almacenados en memoria al ritmo de los impulsos de reloj. También es capaz de realizar un cierto repertorio de operaciones (operaciones aritméticas y lógicas, controles de memoria, dispositivos de E/S, etc.).

Un microprocesador puede considerarse como un circuito lógico "multifunción", es decir, realiza un cierto repertorio de funciones lógicas. Por esto, se une a las propiedades combinacionales y secuenciales, la propiedad de ser programable.

En un instante dado el microprocesador efectúa, sobre un dato de entrada (e) una operación lógica combinatoria $X(e), Y(e)$ o $Z(e)$ dando en la salida un resultado:

$$S = X(e) \text{ o } Y(e) \text{ o } Z(e)$$

La salida S evoluciona en el curso del tiempo, a cada impulso de reloj. Esta evolución esta en función de "instrucciones" i enviadas secuencialmente de una memoria hacia una entrada del microprocesador, llamada "entrada de instrucciones". Esto en el sentido de que el microprocesador es programable, puesto que se pueden predisponer de sus funciones por medio de instrucciones colocadas en una memoria.

Cada operador X, Y o Z se realiza por una parte del microprocesador, es un instante dado, mientras que es válido, sobre un impulso de reloj por la señal ix, iy ó iz, correspondiente.

El microprocesador no pudiendo efectuar más que una operación a la vez, sobre una entrada dada, se comprende bien que un conjunto de operaciones no pueden efectuarse más que secuencialmente en el tiempo. Todo microprocesador debe pues, por una parte ser conducido por un reloj valorando sucesivamente cada mando i, aunado a que dispone de memorias donde estan almacenados los resultados intermedios. Por consiguiente, además de una memoria conteniendo las instrucciones, el microprocesador debe también comunicarse con una memoria de datos fig. 1.1.

Esta partición programable en el espacio y el tiempo da las operaciones a efectuar a partir de las instrucciones secuenciales por parte del microprocesador, permite aumentar considerablemente el número de combinaciones lógicas con relación a un circuito lógico cableado.

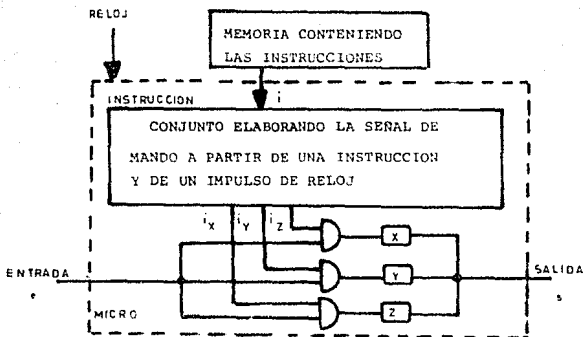


Fig. 1.1 Principio de validación de sucesivos operadores X, Y, Z.

Las características generales de un microprocesador son las siguientes:

1.) Aptitud para realizar un cierto número de operaciones lógicas o aritméticas, bajo el control secuencial de las instrucciones.

Una instrucción es un patrón de bits que se alojan en la memoria principal y sirve para indicarle a la CPU, la secuencia de actividades a realizar. Este código binario o patrón de bits debe estar disponible en las entradas del microprocesador en el preciso momento en el que éste espera una instrucción para interpretarla.

El formato general que debe tener una instrucción para que pueda ser procesada por la CPU es el siguiente:



Donde OP CODE (código de operación) indica las operaciones que se deben realizar sobre los operandos (OP1 y OP2). Una instrucción puede tener 0, 1 o 2 operandos dependiendo del tipo de instrucción.

2.) Utilización de memorias donde se depositan, programas y datos parciales y finales.

Los programas son almacenados en un conjunto de paquetes de bits (BIT=Digito binario) a cada uno de estos paquetes se le denomina palabra ó contenido de localidad de memoria; La cantidad de bits en cada una se llama Longitud de palabra; esta puede variar entre 4 y 32 bits, según el microprocesador utilizado.

Se puede pensar que la unidad de memoria, es una matriz de m renglones y n columnas, donde los renglones corresponden a las direcciones y las columnas al contenido de dichas direcciones.

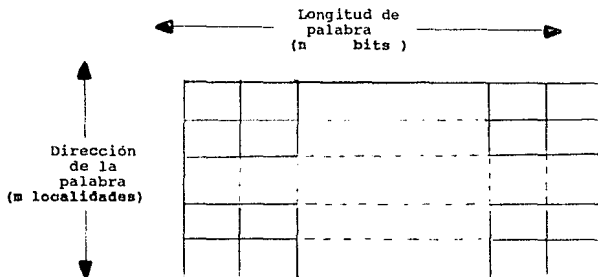


Fig. 1.2 Representación de la memoria principal en un sistema digital

En la fig. 1.2 existen m localidades con una longitud de palabra de n bits.

3.) Aptitud para comunicarse con el exterior.

La naturaleza de la información utilizada y tratada por el microprocesador, como para todo sistema digital, se presenta siempre bajo la forma de una palabra binaria. Existen dos tipos de palabra fundamentalmente:

- 1.) La palabra de direcciones.
- 2.) La palabra direccionada que pueden ser de:
 - Instrucciones
 - Datos

Salvo indicación contraria, se designarán en lo sucesivo las palabras de direcciones como palabras de (m) bits y la palabra direccionada (instrucciones o datos) como las palabras de (n) bits.

Esto corresponde al caso más general de los microprocesadores, donde el número de bits de direcciones (m) es diferente del número (n) de bits de instrucciones o de datos.

Paralelamente a esta distinción, entre palabras de direcciones y palabras direccionadas (instrucciones o datos), es preciso notar otra distinción fundamental. Siguiendo la naturaleza de la información provista por la palabra:

1.) Las direcciones y los datos son simplemente datos numéricos binarios.

--Una dirección es un número de una localidad de memoria.

--Un dato es un número a tratar (operando) o el resultado de una operación.

2.) Las instrucciones especifican las operaciones que deben ser realizadas por el microprocesador.

Desde un punto de vista simplificado todas las instrucciones pueden ser representadas como un código de operación, seguido de campos adicionales que contienen los operandos de la instrucción, generalmente constantes numéricas o direcciones.

Una instrucción puede proveer varias indicaciones simultáneamente, como son:

--Código de la operación a efectuar.

--Código indicando el operando a tratar.

El código de operación determina la actividad que se llevará a cabo. Además indica cuál es el contenido de las siguientes localidades de memoria en el programa, es decir, si contiene un dato, una dirección, un desplazamiento u otro código de operación.

De aquí la noción de " campos " de una instrucción: Cada campo es un conjunto de bits con un significado específico. Entre estos se pueden mencionar: El campo "código de operación" y el campo "código operando ".

I.3 Estructura base de un microprocesador

Vamos a mencionar los principales elementos básicos de un microprocesador. Fig. 1.3 .

I.3.1. Contador de programa (PC)

En este registro se almacena la dirección de la siguiente instrucción a ser ejecutada. Se incrementa automáticamente de modo tal que siempre contiene la dirección de memoria cuyo contenido se interpretará como la siguiente instrucción a ejecutar.

Al menos que se encuentre con una instrucción de salto, el programa en memoria se ejecutará tal como se encuentra almacenado, es decir, en una forma secuencial. La longitud del PC es igual a la longitud del bus de direcciones ya que ambos manejan precisamente direcciones.

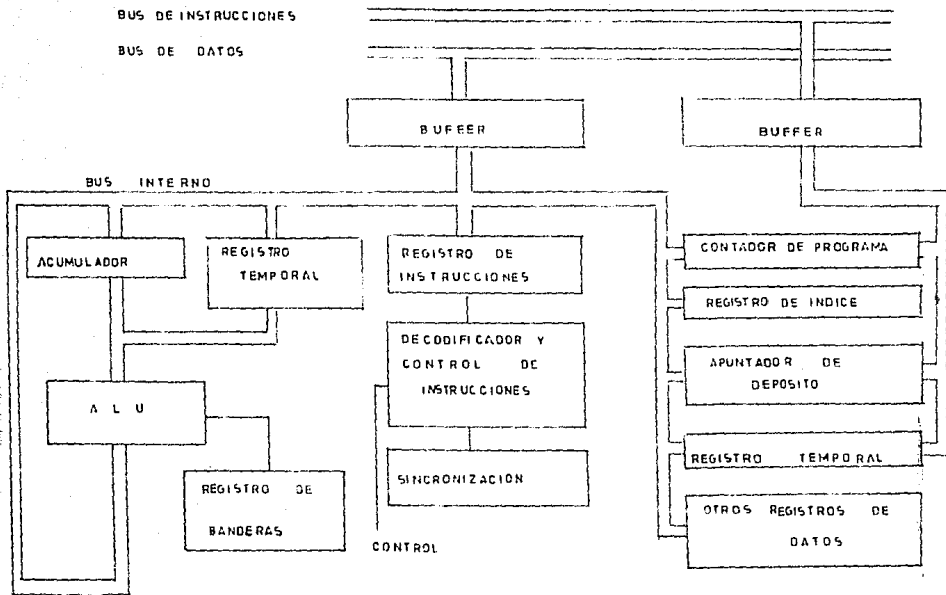


FIG. 1.3 ARQUITECTURA INTERNA DE UN MICROPROCESADOR DE 8 BITS

Quando se ejecuta una instrucción de salto o bifurcación el contenido del PC es cambiado por la dirección donde se encuentra la nueva instrucción a ejecutar.

I.3.2. Registro de instrucciones (RI)

Es un registro de n bits donde viene a colocarse cada instrucción recibida de la memoria durante el tiempo necesario para su ejecución.

I.3.3. Unidad aritmética y lógica

Esta unidad esta constituida por una red de circuitos lógicos que permiten realizar básicamente las siguientes tareas:

- Sumas y restas binarias
- Operaciones lógicas (AND, OR y NOT)
- Transferencias y desplazamientos.

I.3.4. Acumulador (A o AC)

Es un registro de n bits donde se colocan los datos intermedios en el curso de tratamiento; Debe pues de comunicarse con el ALU y las memorias de datos. Esta parte sirve como registro de desplazamiento.

En general, el acumulador se utiliza de la manera siguiente:

En el caso de una operación que lleva 2 operandos (suma), el primer operando se encuentra inicialmente en el acumulador, el segundo operando está localizado en la memoria de datos y su dirección m esta indicada por la instrucción de mando suma.

ADD m

donde:

ADD = " Código operación "
m = " dirección del segundo operando "

La instrucción de SUMA consiste pues en leer en memoria el segundo operando y sumarlo al contenido del acumulador (primer operando). El resultado de la suma puede entonces reemplazar al primer operando en el acumulador.

I.3.5. Unidad de control

Todas las acciones dentro de un microprocesador deben estar sincronizadas y seguir a las instrucciones de un programa. La unidad de control recibe las instrucciones codificadas en binario desde la memoria y decide: Cuando, como y que operaciones se deben ejecutar a continuación.

Por otra lado, la velocidad a la que se realizan las actividades definidas por el programa y controladas por la unidad de control, esta dada por la unidad de temporización (Timing unit), la cual esta constantemente generando una señal de reloj a

una determinada frecuencia que es a la que trabaja el microprocesador.

I.3.6. Buses internos y "buffera" de E/S

Los buses internos comunican los diferentes elementos del microprocesador. Los buffers de E/S, conectadas sobre los buses externos, sirven de intercambio entre el microprocesador y el exterior.

Se puede observar que el bus de direcciones es independiente del bus de datos. Es el caso de numerosos microprocesadores y la tendencia actual va en este sentido. Pero es preciso saber que no es el caso general. Los microprocesadores tienen un solo bus de E/S generalmente.

Esta fórmula reduce el número de hilos de conexiones, pero necesita una lógica para multiplexar, las direcciones, los datos o las señales de control.

I.4. Elementos auxiliares de un microprocesador

-- Señales de control encadenadas con el "exterior"

Permiten sincronizar y coordinar el funcionamiento del microprocesador con los dispositivos exteriores (memorias y periféricos), que en general son más lentos .

-- SYNCHRO

Son los impulsos generados por el microprocesador, del estado de las fases sucesivas y los ciclos.

-- STATUS

Son señales generadas por el microprocesador y enviadas hacia la lógica externa. Señalan las fases de ciclos e indican si el microprocesador está en paso de efectuar una operación interna o al contrario una lectura o escritura.

Las señales de status difieren según los microprocesadores; Pueden ser leídas directamente en las fases de ciclos o al contrario a la naturaleza de la operación en curso (lectura-escritura, u operación interna).

-- WAIT

Señal enviada por una memoria más lenta que el microprocesador, para solicitar a éste que suspenda el ciclo y se coloque en espera.

-- Interrupt

Señal enviada por un periférico para solicitar al microprocesador una suspensión del programa en forma parcial que el microprocesador esta efectuando y lo atienda a él.

-- Registros

Se ha visto que todo microprocesador dispone de un acumulador, registro de ordenamiento para datos en curso de tratamiento. Numerosos microprocesadores disponen de un conjunto

de registros volátiles que permiten almacenar datos provisionales sin tener que recurrir a una memoria externa.

-- **Indicadores de banderas ("flags")**

Son flip-flops que permiten memorizar un resultado significativo eventualmente comprobable, se pueden citar:

a.) Indicador de CARRY.

Señalando la aparición de un acarreo en una operación aritmética de la ALU.

b.) Indicador de OVERFLOW.

Señalando un desbordamiento de la capacidad de tratamiento de la ALU.

c.) Indicador de CERO.

Señalando que el resultado obtenido en el acumulador es nulo.

d.) Indicador de PARIDAD.

Indicando el bit de paridad del contenido del acumulador.

e.) Indicador de interrupción válida por la señal INTERRUPT.

Estos flip-flops se reagrupan a menudo, en un registro denominado **REGISTRO DE BANDERAS**.

-- **Apuntador de pila (STACK)**

Además de un contador de programa, la mayor parte de los microprocesadores disponen de una "pila" de registros volátiles, permitiendo colocar datos importantes o las direcciones provisionales para pasar a las subrutinas.

Un registro llamado "puntero de pila" (stack pointer) permite dirigir los registros de la "pila".

Una "pila" de N registros permite N niveles de subprogramas. Cuando se llama a un subprograma, la dirección de retorno en el programa que llama se almacena en un registro de la pila y se restituye en el contador de programa al final del subprograma.

-- **Registro de índice**

Numerosos microprocesadores incorporan un registro especial de direccionamiento, el "registro de índice", modificable por programa. Este registro permite el direccionamiento indexado de los operandos.

1.5 Funcionamiento de un microprocesador

Conociendo la organización física de un microprocesador (fig. 1.3), se puede ver en la fig. 1.4 cómo se ejecuta y se encadenan las instrucciones de un programa. Un microprocesador es sincrónico de la señal periódica de reloj, que valida sucesivamente cada operación particular del microprocesador.

Paso 1:

En un instante dado, el contador del programa contiene la dirección "d" de una instrucción a ejecutar. El microprocesador envía esta dirección a la memoria de direcciones.

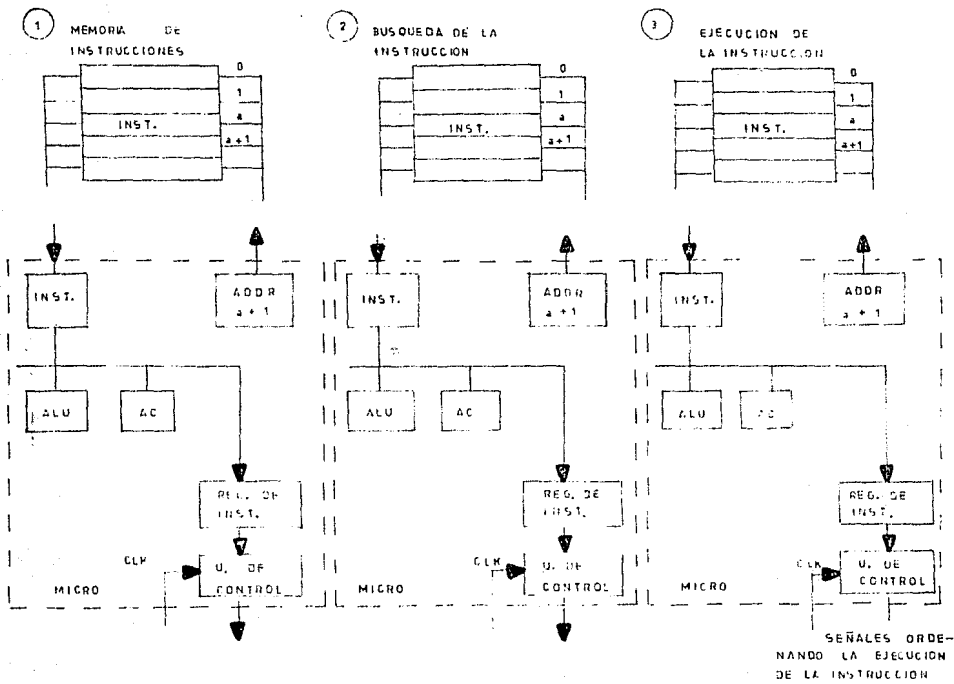


FIG. 2.4 PASOS EN LA REALIZACION DE UNA INSTRUCCION

Paso 2:

La memoria devuelve al microprocesador la instrucción direccionada de este modo:

La instrucción viene a colocarse en el registro de instrucción. Al mismo tiempo se incrementa el contador de programa. Se podrá observar que existen las instrucciones de "salto", que permiten ramificarse a una dirección cualquiera de un programa.

Paso 3:

Los bits de la instrucción son decodificados e interpretados por la unidad de control, que envía a los elementos ejecutivos los mandos necesarios para la ejecución de la instrucción.

Siguiendo la complejidad de la instrucción, su ejecución puede necesitar más o menos impulsos de reloj, una vez que la instrucción ha sido ejecutada, el mismo proceso recomienza con la instrucción siguiente pues la dirección contenida en el contador de programa ya se ha incrementado.

Podemos mencionar también que la realización de toda instrucción se descompone en dos tiempos sucesivos:

--La búsqueda de la instrucción (Ciclo fetch).

--La ejecución de instrucción.

Diagrama de tiempos

Se ha visto que un microprocesador está gobernado por un generador de impulsos, en general, este oscilador proporciona 2 señales periódicas ϕ_1 y ϕ_2 , del mismo período y defasadas el uno con relación al otro en el tiempo.

Se considera que el conjunto ϕ_1, ϕ_2 es equivalente a un impulso de reloj, que llamaremos "reloj elemental". Un período de este reloj constituye un "tiempo elemental".

Este reloj tiene verdaderamente una realidad física en la escala de los circuitos del microprocesador: Cada impulso válida una "operación elemental" del microprocesador.

Las diferentes fases descritas por los esquemas están determinadas por un impulso, generado por el microprocesador a partir del reloj elemental y más lento que éste. Cada período de reloj constituye una "fase" o "estado".

Este impulso de reloj es frecuentemente llamado impulso de sincronización (SINCRONO), pues permite sincronizar el "exterior" (memorias y periféricos) en función de las fases (estados) sucesivos del microprocesador.

La realización de una instrucción (Ciclo de instrucción) se puede realizar en el curso de un ciclo a 4 fases (T1 a T4):

Durante T1 y T2 se efectúa la búsqueda de la instrucción. Durante T3 y T4 se efectúa la ejecución de la instrucción.

Cada ciclo de instrucción consiste de 1 a 5 "ciclos de máquina". Un ciclo de máquina se requiere cada vez que el microprocesador accesa a la memoria o a un puerto de E/S. La duración de la ejecución de un ciclo de instrucción depende de la instrucción que se obtiene durante el FETCH.

Cada ciclo de máquina consiste de 3 a 6 "estados" o "ciclos de reloj". Un estado es la unidad más pequeña de actividad de procesamiento y se define como el intervalo entre dos transiciones de subida de reloj ϕ . Todas las actividades de procesamiento se refieren al periodo ϕ .

Podemos decir que un periodo de reloj marca un estado: De 3 a 6 estados constituyen un ciclo de máquina y de 1 a 5 ciclos de máquina forman un ciclo de instrucción.

Se ha visto que para la ejecución de una instrucción más o menos larga, según la complejidad de la misma, una instrucción puede necesitar más de un ciclo y rebasar los ciclos siguientes, en este caso, se puede simplemente decir que la instrucción siguiente comenzará en la fase T1 de un ciclo posterior.

I.6 Sistema de E/S

El sistema de E/S permite la comunicación del microprocesador con el sistema exterior (permiten el control de la comunicación entre el microprocesador y los dispositivos periféricos de E/S). Los sistemas digitales basados en microprocesadores deben contar, al menos, con un dispositivo periférico de entrada que le permitan al usuario enviar información al microprocesador y con un dispositivo de salida para que el microprocesador pueda mostrar los resultados de los procesamientos ordenados.

Se denomina interface al sistema hardware-software que permite la comunicación con un periférico determinado, es decir, el conjunto de circuitos (hardware) y programas (software) que se utilizan para establecer la comunicación.

La forma concreta de realizar una interface dependerá de las alternativas que se consideren. En principio, dentro del balance "hard-soft", se deberá potenciar el software ya que, en general, el incremento en costo de la memoria es inferior al incremento del hardware preciso para realizar la misma función, además de la mayor flexibilidad que permite el software.

Existen dos tipos de información en la comunicación microprocesador-periférico]

- 1.) DATOS: Entrada de información para proceso y salida de resultados.
- 2.) CONTROL: Salida de señales para el gobierno de los periféricos y entrada de información del estado de los mismos.

La flexibilidad en el tratamiento de esta información dependerá de varios factores:

- 1.) Instrucciones del microprocesador aplicables al sistema de E/S.
- 2.) Posibilidad de delegar las tareas de control de la transferencia a circuitos de adaptación externos al microprocesador y controladores de periféricos.
- 3.) Técnicas de transferencia utilizadas.

I.6.1 Funciones del sistema de interface

Las funciones que deberá realizar el sistema de interface son:

--Identificación de direcciones, a fin de establecer la conexión con el bus de datos y control cuando un acceso concreto de E/S es seleccionado.

--Interpretación de ordenes, en general, las ordenes enviadas directamente al sistema de E/S, por el microprocesador se reducen a señales de escritura y lectura, ya codificadas o que precisan un pretratamiento sencillo.

--Adaptación física entre los dos sistemas, microprocesador-periférico. Esta función es realizada por las transmisores y receptores de línea, convertidores tensión-corriente y viceversa.

Si la transmisión se realiza en serie, será preciso considerar, además, la conversión de formato de información en ambos sentidos.

--Temporización de la transferencia a fin de controlar el flujo de información entre sistema de forma ordenada y eficaz. En esta función intervienen los protocolos de comunicación y las técnicas de transferencia.

I.6.2 Software de entrada y salida

La gestión E/S en su aspecto de programación puede considerarse a dos niveles:

1.) Instrucciones de E/S:

Sirven para realizar la transferencia de información bajo el control de un programa.

2.) Rutinas de E/S:

Son tareas cuyas funciones están íntimamente ligadas al sistema de E/S, entre las que se pueden destacar:

Temporizadores por programa, rutinas relacionadas con el servicio de interrupciones, inicialización de transferencias por acceso directo a memoria, captura de datos de rutinas de empaquetamiento y desempaquetamiento de datos, rutinas de detección de errores, cambios de formato, etc.

En la mayoría de los microprocesadores no existen instrucciones específicas de E/S ya que no se diferencian entre memoria y registro de E/S, por lo que las mismas instrucciones que hacen referencia exclusiva al sistema de E/S y pueden ser de los tipos siguientes:

a.) Transferencia de datos en paralelo:

El código de operación indica si la operación de E/S y en general, indica de forma implícita el registro de la CPU que interviene en la transferencia.

b.) Transferencia seguida de una prueba de una línea externa y salto condicional según el resultado de la prueba.

Este tipo de instrucciones facilita el diálogo con el periférico en transferencias programadas.

c.) Modificación

Se ofrece la posibilidad de modificar algunos bits de registro de salida sin modificar el resto con una sola instrucción. Consiste en realizar operaciones lógicas entre vías de acceso-puertos y datos inmediatos.

d.) Envío de órdenes especiales a periféricos.

En este caso el código de operación contiene información que envía al periférico a fin de desencadenar una operación específica.

1.6.3 Estructura de E/S

En muchos microprocesadores tienen una estructura de E/S especializada disponiéndose de líneas de control dedicadas a la gestión de transferencias con el sistema de E/S e incluso con líneas particulares de datos y/o direcciones.

Interfaces programables

Varias familias de microprocesadores disponen de Circuitos integrados (LSI) compatibles con el resto de los elementos del sistema a fin de facilitar al sistema las E/S. Las características fundamentales de estos subsistemas son:

--Facilidad de interconexión a los buses de comunicación.

Por ser elementos compatibles con el resto del sistema en cuanto a señales y temporizaciones, es muy fácil conectarlos a los buses, requiriendo en general solamente un sistema de decodificación de direcciones.

--Posibilidad de programación

De esta forma se logra disponer de un cierto número de opciones de funcionamiento. En general, el modo de operación y la configuración de cada puerto se establecen por medio de comandos (palabras de control) apropiados, enviados a él registro de control asociado a ese puerto. Normalmente estas operaciones se realizan una sola vez en la fase de inicialización del programa, de manera que el resto del programa trabaja únicamente con los registros de datos de los puertos.

--Inteligencia distribuida

La posibilidad de que estos circuitos tengan o posean una cierta capacidad de decisión para desarrollar funciones de control, permita descargar al microprocesador de estas tareas, simplificando de esta manera el programa y/o posibilitando determinadas prestaciones del sistema que serian imposibles de conseguir si la unidad central tuviera que hacerse cargo de toda la gestión del sistema de E/S.

I.6.4 Clasificación de interfaces

Por la función que realizan, se puede dividir en 3 categorías:

1.) Interfaces dedicadas

Son circuitos especializados para una función específica, aunque en general, permite un cierto número de opciones.

2.) Interfaces generales

Son circuitos más universales que las anteriores tienen como misión posibilitar la transferencia y diálogo entre el microprocesador y los periféricos.

funcionalmente existen dos tipos distintos:

a.) Interfaces para transmisión paralelo.

b.) Interfaces para transmisión en serie.

3.) Microcomputadores especializados de E/S

En principio cualquier microprocesador puede considerarse a modo de "exclavo de otro, realizando tareas bajo control del "Director". Estas tareas pueden ser cualquiera y por lo tanto la gestión de entradas y salidas es una de ellas.

CAPITULO: II

SISTEMAS ELECTRONICOS BASADOS EN MICROPROCESADORES

II.1 Introducción

Los sistemas que emplean microprocesadores pueden dividirse en dos categorías:

- La de los que principalmente tienen el objetivo de computar, y
- La que su objetivo principal es el control.

En un sistema de computación el papel del microprocesador es producir datos $f(x)$ que son alguna función específica $f(x)$ de los datos de entrada (X). En el caso de un sistema de instrumentación o comunicación, $f(x)$ puede ser únicamente una forma modificada de (x). fig. 2.1a .

En un sistema de control, el objetivo del microprocesador es el de mantener dentro de los límites de funcionamiento algún otro sistema (S), sujeto a perturbaciones variables (D), que tienden a llevar a (S) fuera de su rango de funcionamiento aceptable. (S) facilita al sistema de control (C) ciertos datos (D'), indicándole la naturaleza de la perturbación (D). Esta información la utiliza C para calcular las señales de corrección (E), que son realimentados a (S) con objeto de contrarrestar la perturbación, fig. 2.1b .

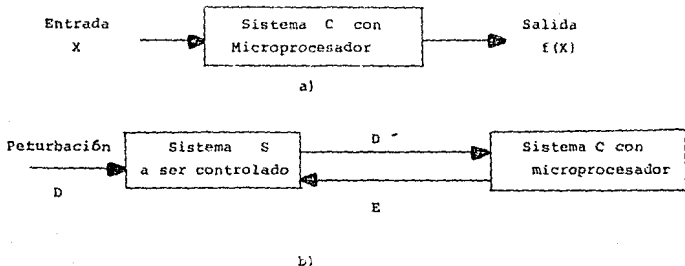


Fig. 2.1 Sistema de control con microprocesador

Los elementos de computación y control están íntimamente relacionados y frecuentemente son difíciles de separar. El sistema de control (C) basado en microprocesadores (ver fig.2.1b) puede considerarse como un sistema digital de entrada $x = D'$ y salida $f(x) = E$.

Los sistemas digitales usualmente contienen los siguientes subsistemas de importancia:

1. Subsistema de controlador C organizado como un sistema digital y está compuesto de componentes electrónicos digitales.

2. Dispositivos de E/S que permiten comunicar a C con su entorno.

3. Dispositivos auxiliares.

Los dispositivos de E/S utilizan diversas tecnologías físicas basadas en fenómenos eléctricos, mecánicos, ópticos o acústicos y pueden procesar señales tanto digitales como analógicas. En algunos casos, (C) se reduce a uno o dos C.I. que están específicamente diseñados para una aplicación particular.

Se puede mencionar que un sistema basado en microprocesador puede contener integrados en rangos de complejidad desde VLSI (Integración a muy gran escala) a SSI (integración a pequeña escala), sin olvidar los circuitos discretos. El tipo de componentes empleados está determinado por muchos factores dependientes de la aplicación.

La tabla I indica algunos usos representativos de los microprocesadores.

1. Automóviles
Inyección de la gasolina, la polución emitida, etc.
2. Juguetes y juegos electrónicos
3. Aplicaciones domésticas
Hornos, Lavadoras, Sistemas de aire acondicionado, etc.
4. Computadores personales Automátización de oficinas,
control de inventarios, etc.
5. Redes de computadoras
Redes locales de computadoras (LAN)
6. Calculadoras de bolsillo
7. Control de velocidad de un motor eléctrico
8. Equipos biomédicos
9. Controladores de procesos industriales
Máquinas herramientas, Robots, etc.
10. Equipos de navegación
Misiles
11. Terminal POS (terminal punto de venta)
12. Equipos de telecomunicaciones
Procesamiento de señales

El microprocesador como elemento fundamental de los sistemas digitales programables, proporciona un desarrollo extraordinario de las posibles aplicaciones de la electrónica dentro de múltiples sectores.

Pero fundamentalmente el microprocesador, está revolucionando por completo la productividad en la industria al entrar de lleno en la automatización de diversos procesos industriales, donde quedan englobados: Control de procesos, automóviles, computadoras personales, etc.

En este capítulo explicaremos el uso del microprocesador en diversas aplicaciones.

II.2 TELEFONIA

El uso de microprocesadores en aplicaciones telefónicas va en aumento, debido a la capacidad y bajo costo. Actualmente el microprocesador es utilizado entre otras aplicaciones :

- En el sistema telefónico conmutado
- La comunicación entre computadoras

Red automática conmutada

Con la red automática conmutada nos situamos en un sistema público para transmisión de datos. En consecuencia podrá conectarse quien quiera y dialogar con cualquier otro usuario, aunque cada uno de éstos desarrollará en su computador los controles necesarios para que sólo accedan los terminales autorizados, fig . 2.2 .

La estructura que se utiliza es la misma que el teléfono, basada en conmutación de circuitos, es decir, a través de distintas centrales telefónicas se van interconectando físicamente líneas de entrada y salida hasta constituir la unión emisor-receptor.

Cada usuario, ya sea terminal o computador, dispondrá de un número de teléfono y el emisor establece la conexión en la forma mencionada llamando al número remoto. En este proceso se presentan dos variantes.

a.) Manual

Requiere la intervención de un operador. El emisor marca el número del receptor, dando como resultado de este proceso, sonará el timbre telefónico. El operador puede descolgar el teléfono y dialogar con el que se realiza la llamada, o bien, dirigir la llamada hacia el terminal o computador vía modem, para iniciar la transmisión de datos.

Esta opción manual se suele utilizar en terminales sencillos, donde la identificación la realiza el operador así como la preparación del terminal receptor.

b.) Automática

Se suprime la intervención del operador en el receptor. Los equipos de transmisión canalizan directamente la llamada hacia el computador sin necesidad de operaciones adicionales. Será la forma normal de actuación en sistemas donde interviene un computador como receptor, de manera que no necesitamos operaciones previas o, que estas puedan realizarse desde el terminal remoto.

Un mayor grado de autonomía se consigue automatizando, también la marcación, que vendría gobernada por el propio terminal o computador. Ahora bien, esta opción requiere de unos medios más evolucionados, ya que extender el automatismo a ambos puntos, ya que supone terminales más completos en cuanto al gobierno de sus actividades.

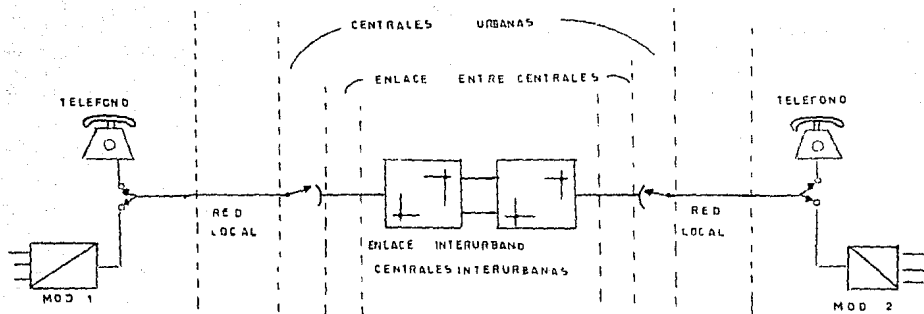


Fig. 2.2 Diagrama de una línea telefónica conmutada

Un sistema telefónico conmutado proporciona la comunicación de líneas entre líneas en respuesta a una petición del abonado. El rango en tamaño para una pequeña red privada automática rama de intercambio (PABX) con menos de 100 líneas, hacia una oficina central o sistema TANDEM .

Un diagrama a bloques de una oficina central del sistema conmutado se muestra en la fig. 2.3 .El diagrama muestra los principales elementos de el sistema, que son :

- La red conmutada
- El procesador central

La red conmutada permite seleccionar la interconexión de dos líneas por la unión de circuitos internos. La interconexión permite una trayectoria entre una estación del abonado y las conexiones a la terminal para oficinas centrales.

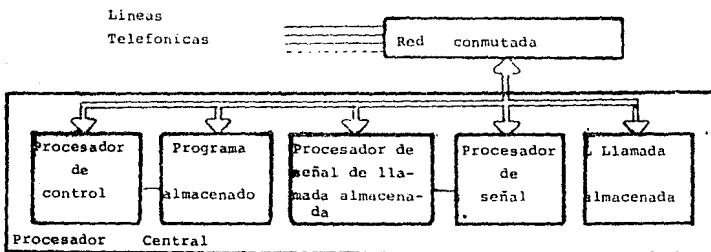


Fig. 2.3 Oficina de un sistema central conmutado

El microprocesador realiza las funciones de periférico y administrador de rutinas, dentro del sistema telefónico conmutado. Los microprocesadores pueden ser usados para llamadas especiales, como parte del sistema y para el control de rutinas de administración, las cuales periódicamente ejecutan el chequeo de diagnóstico para todas las partes del sistema hacia la determinación de la presencia de multifunciones.

El procesador central es utilizado como procesadora centralizada de datos, facilitando el uso hacia la implementación de varias funciones en un sistema telefónico como son mantenimiento y administración, el procesador central se divide en 5 partes elementales.

- 1.) Sistema de control o procesador principal
- 2.) Programa almacenado
- 3.) Almacenamiento de la llamada
- 4.) Procesador de señal (procesador auxiliar)
- 5.) Procesador de señal de llamada almacenada

El sistema de control esta compuesto de 3 partes funcionales:

- 1.) Procesamiento de datos
- 2.) Entrada/salida (conmutación)
- 3.) Mantenimiento

El sistema de control usualmente tiene dos controles independientes para confiabilidad. Los controles independientes son dispuestos para ejecutar todas las acciones del sistema, aunque en el modo usual los controles también llevan en las mismas funciones la base de duplicación de entrada de información. Solo uno de los dos controles quizá altere el status del sistema de ejecución de el control de la función telefónica en un instante dado.

Así, los dos controles independientes proporcionan la información de control y mantenimiento hacia el resto del sistema en una base exclusiva. El sistema de control ejecuta el funcionamiento de procesamiento de datos, en conformidad con las ordenes del programa en el control almacenado. En respuesta a las ordenes del programa, el sistema de proceso de control obtiene desde la llamada almacenada, genera y transmite señales de control hacia y de otras unidades del sistema.

La llamada almacenada es colocada en una memoria de trabajo RAM en la cual el sistema almacena la información. Esta información es almacenada en el interior y la lectura desde la llamada almacenada para el sistema de control. Entonces la información en la llamada almacenada es cargada en el sistema de velocidad normal, el sistema más volátil de información es almacenado. Esta información puede incluir:

- 1.) Información de señalización de la llamada.
- 2.) Información relacionada a los cambios en el número del directorio o número de equipo de la línea.
- 3.) Cambios en la clase del abonado.
- 4.) Administración del sistema.
- 5.) Abonado y troncal ocupado.
- 6.) Trayectoria de redes.
- 7.) Sistema de trabajo de listas o de colas.

El microprocesador puede ser implementado en varios puntos en el sistema de control hacia la ejecución de funciones específicas, las cuales son previamente ejecutadas por un procesador central. La señal del procesador es de proposito especial para facilitar el empleo de las salidas y las entradas repetidas y salidas del sistema las cuales, si son ejecutadas por un control central, limitan las capacidades de las llamadas de el sistema telefónico.

El procesador de señal aunque independiente, esta sujeto a el comando de control central y comunica hacia el control de información necesario hacia el funcionamiento de el procesamiento de datos requeridos para el procesamiento de la llamada y sistemas de mantenimiento.

El procesador de señal de llamadas es almacenado en una memoria RAM de trabajo. El programa controlador del procesador de señal y los datos con los cuales opera el procesador son almacenados. Cada procesador de señal comunicado a el sistema es asociado con el sistema de almacenamiento de llamadas por separado. La información en el procesador de almacenamiento de llamadas incluye:

-- El programa que controla el procesador de señal cuando el sistema procesador de señal no responde a los comandos desde el control.

-- La generación de datos utilizados por el sistema procesador de señal para operaciones programadas.

La información en el procesador de señal de almacenamiento de llamadas es una mezcla de palabra de instrucciones y palabras de datos. Entre los tipos de datos almacenados existen:

-- Información relacionada a llamadas, semejantes a la supervisión de cambios de estado de información (el cual es recibido desde la red conmutada) y administración de circuitos miscelaneos de el sistema conmutador.

-- Información relacionada a las llamadas las cuales son recibidas para el sistema de control para procesamiento por el sistema procesador de señal.

-- Sistema de trabajo en colas y en listas.

El microprocesador puede ser usado tambien para implementar muchas funciones del procesador de señal, particularmente: Prueba, supervisión y rutinas de administración.

Un número de buses y sistema de cables proporcionan la trayectoria de la comunicación para el transmisor de las señales de control y la información entre los elementos de el procesador central y las otras secciones de el sistema de conmutación.

Un sistema de buses usualmente incluida en dos buses duplicados denominados bus 0 y bus 1. Cada uno usa un número de pares conductores que hay en la transmisión y acoplamiento entre la fuente y el destino. Los datos son transmitidos en un bus en paralelo en la forma de pulsos cortos que llegan a el destino en un tiempo común.

Los buses proporcionan la comunicación bidireccional semejante entre las divisiones de el procesador central y otras divisiones de el sistema conmutador.

II.3 Redes de computadoras

En la actualidad muchas empresas operan en diferentes ubicaciones. No es de extrañarse que una organización tenga decenas de sitios donde ocurren sus operaciones. La administración de estas organizaciones debe tener un conocimiento actualizado de sus operaciones geográficamente dispersas para dar mejor servicio a sus clientes, hacer frente a la competencia y vigilar de cerca las actividades críticas. Para ello se necesita recolección, procesamiento y distribución veloces de la información comercial.

La evolución del microprocesador, las notables reducciones en el costo por operación junto con ideas creativas en las aplicaciones de los microprocesadores han incrementando el uso de sistemas de comunicaciones de datos para transmitir información entre ubicaciones comerciales ampliamente separadas y las computadoras y equipo terminal instalados en estas ubicaciones.

En esta forma es posible que la administración conozca en el término de unos segundos cuál es la situación en alguna sucursal u otra ubicación en cualquier parte del país.

En forma paralela, es necesario que los fabricantes de equipos de computación desarrollen arquitecturas para la realización de redes de computadoras, ya sea proporcionando todos los elementos para construir la red, ya sea permitiendo la utilización de servicios públicos de transmisión de datos, para la comunicación entre computadoras.

Las aplicaciones de procesamiento de comunicación de datos en un sistema incluye:

1.) La comunicación para el procesamiento.

La comunicación de mensajes determinan la capacidad del canal del sistema.

2.) Manejo del archivo.

El manejo del archivo permite el control de un archivo centralizado a otro archivo manipulador y procesamiento de funciones para una localidad remota.

3.) Averiguación/respuesta del sistema el cual es otra forma de que un sistema de archivo orientado a una estación remota, permite averiguar la centralización de un archivo.

4.) Colección de datos para el uso de una estación remota para proporcionar los datos al día o corriente de información hacia un archivo centralizado.

COMUNICACION DE DATOS

La comunicación entre los elementos del sistema se realiza mediante la transmisión de la información a través de un camino lógico que los une y consistirá en la transferencia de un conjunto finito de bits. Las características del camino (trayectoria) lógica utilizada impondrá en cada caso unas

determinadas reglas de estructuración de la información que, a través de él, se transmiten:

La comunicación de datos utiliza en poco porcentaje la red de la línea telefónica pública. Este porcentaje es afectado por los siguientes factores:

- Costo de la comunicación.
- La variedad de sistemas y procesamientos.
- Alternativas en la tecnologías de transmisión.
- Factores de regularidad y competitividad.

Hay dos tipos básicos de comunicación de datos:

- 1.) Transmisión directa de datos
- 2.) Transmisión concentrada de datos.

La transmisión directa de datos emplea una simple línea o canal para la transmisión de datos. Este sistema es el tipo más simple y es utilizado para el manejo de un predeterminado volumen de mensajes.

La transmisión concentrada de datos usa una técnica de almacena-adelante para el manejo de mensajes. Estas técnicas incluyen :

- Conmutación de mensajes.
- Conmutación de paquetes.

La comunicación de mensajes es la acumulación de un mensaje en un registro a otros dispositivos de almacenamiento hasta que un mensaje completo puede ser ensamblado en el cual el mensaje es transmitido en un solo tiempo hacia el destino cuando el canal de datos esta disponible.

La conmutación de paquetes se define como un procedimiento de transferencia de datos mediante paquetes provistos de direcciones, en el que la vía de comunicación se ocupa solamente durante el tiempo de transmisión de un paquete, quedando a continuación la vía disponible para la transmisión de otros paquetes.

La comunicación de mensajes es diferente desde el canal conmutado en el cual no hay acumulación o almacenamiento de datos, en un canal conmutado, si la línea o líneas de datos no esta disponible, el servicio de petición es repetido. La conmutación de paquetes usa la formación de mensajes hacia el interior de un paquete o grupo con una predeterminada longitud.

El papel de un microprocesador en la conmutación de datos es la de un procesador de comunicación. El microprocesador puede ser usado como una interface, o en un procesador anfitrión como se muestra en la fig. 2.4

CANAL DE
COMUNICACION

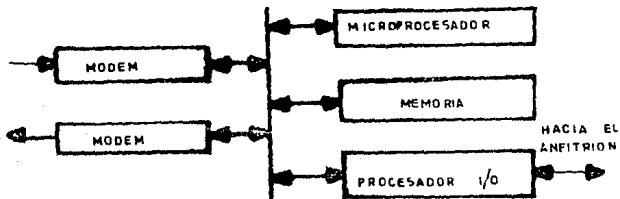
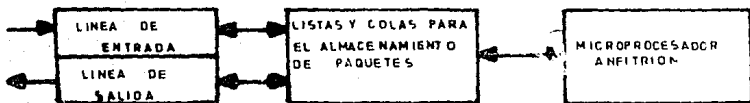
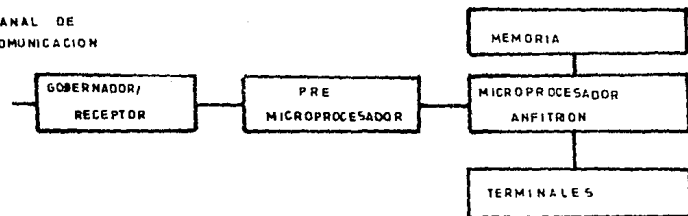


Fig. 2.4 Microprocesador utilizado como interface

CANAL DE
COMUNICACION

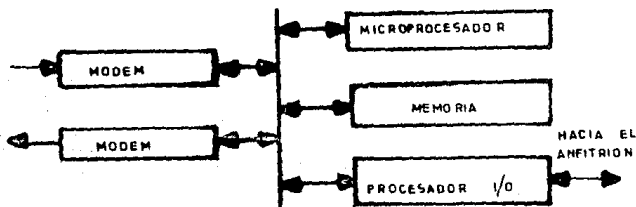
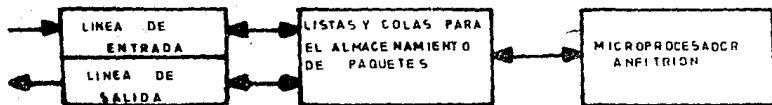
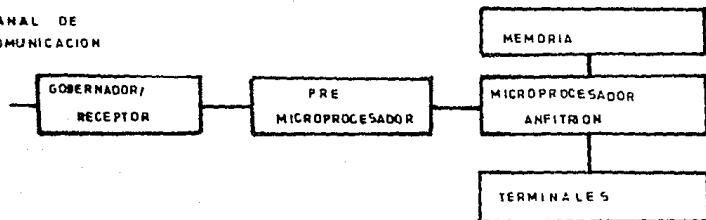


Fig. 2.4 Microprocesador utilizado como interface

Arquitectura de una red de conmutación de paquetes

Como toda red de paquetes, no existe ninguna restricción a la topología de la red obteniéndose así, ventajas especiales. En la fig. 2.5 se ilustra un esquema de esta arquitectura.

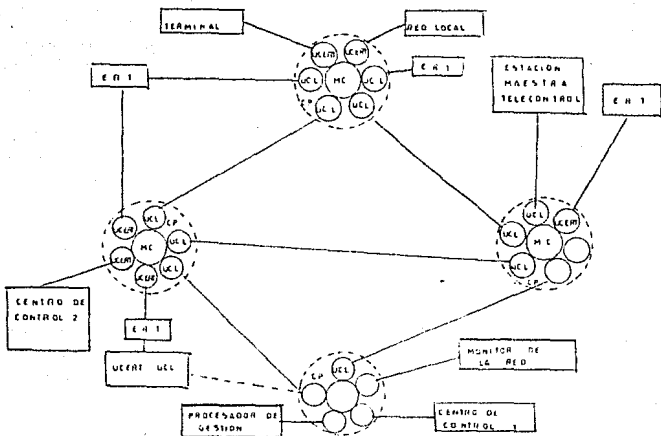


Fig. 2.5 Arquitectura de una Red de paquetes

En cada nodo de la red se encuentra instalado un conmutador de paquetes (CP) con estructura multiprocesador con memoria compartida (MC). Existe un microprocesador por cada línea de salida y por cada terminal u computador conectado a la red. Los microprocesadores de línea se llaman unidades de control de línea (UCL). Los microprocesadores que conectan terminales o computadores externos a la red se denominan Unidades externas (UE).

El tamaño máximo de un paquete es de 512 bits, al hecho de usar esta longitud máxima tan reducida se debe a la baja velocidad de los enlaces respecto a otras redes y a los tiempos de respuesta necesarios en la red.

La suma del número de líneas y terminales conectados a un CP no puede exceder de 16. Cualquier combinación de este número es posible. El terminal no es necesario que se encuentre próximo al CP si no que puede estar unido a él por un enlace de comunicaciones y situarse en cualquier parte.

Los tratamientos que se aplican a los mensajes según su naturaleza son:

-- Sin control de extremo a extremo.
-- Con control de extremo a extremo. En este caso existen dos variantes:

a.) Con establecimiento y desconexión del canal virtual mediante los correspondientes mensajes de conexión y desconexión.

b.) Con canales virtuales permanentes, es decir, sin que sea preciso establecer el canal virtual.

Las funciones básicas del conmutador de paquetes (entre parentesis se indica en que microprocesador residen) son :

-- Búsqueda y elección de rutas.
(algoritmo de encajamiento) (UE UCL).
-- Protocolo de línea (UCL).
-- Protocolo de enlace con los terminales (UE).
-- Control de tráfico de la red (UCL, UE).
-- Determinación de la conectividad de la red (UCL, UE).
-- Adecuación del formato de los mensajes (UE).
-- En algunos casos protocolo de extremo a extremo (UE).

Las funciones de apoyo del CP son:

-- Generación de alarmas (UCL, UE).
-- Elaboración de estadísticas (UC, UE).
-- Generación de tráfico de prueba (UCL, UE).

Cada microprocesador se ocupa del protocolo de comunicaciones de la línea o terminal al que se halla conectado. De esta forma la conexión de un terminal con un protocolo distinto afecta sólo al software (programación) de un microprocesador, pero no al resto.

ALGORITMO DE ENCAMINAMIENTO

El algoritmo de encaminamiento se ocupa de encontrar rutas óptimas que unen la estación origen con la de destino, para cada paquete de información. Dentro de la clasificación de métodos de encaminamiento de la referencia, el sistema usado por la red de conmutación de paquetes se puede clasificar como: DISTRIBUIDO, ADAPTATIVO Y DINAMICO.

DISTRIBUIDO

Significa que no existe ningún elemento central que calcule las rutas a seguir, sino que todos los procesadores colaboran en este cálculo sin que ninguno de ellos sea vital para esta función.

ADAPTATIVO

Significa que se acomoda a situaciones variantes tanto de topología como de carga en la red, usando, además, un método que permite el aprendizaje, cuando un paquete siga una trayectoria en bucle.

DINAMICO

La toma de decisiones de la ruta escogida por un paquete, las toma cada CP en el momento en que recibe el paquete y dependiendo de los valores instantáneos de las longitudes de las colas internas del nodo y de la información de encaminamiento recibida de sus vecinos.

El algoritmo de encaminamiento usado, trata de minimizar el retardo medio de un paquete dentro de la red.

Cada CP actualiza una matriz de la ruta (MR) cuyas entradas son las estaciones de destino (ED) y las líneas de salida del CP en cuestión.

La descripción del sistema de actualización de la MR es el siguiente.

--Cuando un CP recibe un paquete con destino ED_i calcula el valor mínimo de la columna de la MR correspondiente a ED_i y transmite este valor hacia el CP que la ha enviado el paquete, ya sea junto con la validación del mensaje o por cualquier otro medio.

--Al mensaje recibido se le asigna la salida correspondiente al valor mínimo de la columna ED_i de la MR.

--Los CP actualizan sus tablas calculando una función de la información recibida de los vecinos, de las colas internas y de la velocidad de los enlaces.

--También se actualizan las MR cada vez que un paquete entra o sale del CP.

Las ventajas de este método de actualización son las siguientes:

- No existen mensajes específicos de encaminamiento.
- La carga de cálculo del encaminamiento se distribuye en el tiempo.
- Se obtiene una partición del flujo muy efectiva entre rutas alternativas.
- En el sentido contrario al flujo de paquetes, las MR se actualizan a gran velocidad.
- No es necesario que los CP conozcan la topología de la red.
- Adaptación automática a los cambios topológicos.
- Gran flexibilidad de crecimiento y variación de la red.
Posibilidad de ajustar la seguridad de la misma a través de modificaciones en la topología.

ASIGNACION DE DIRECCIONES

Cada nodo de la red tiene una sola dirección y cada UCERT tiene asignada una subdirección que identifica el terminal, ordenador o sistema conectado a través de una salida.

Para acceder a la red se utiliza un sistema de direcciones virtuales existiendo, en las UCERT, una conversión de estas direcciones virtuales a las direcciones (DI) -subdirecciones (SDI) internas. Asimismo los elementos externos deben de poseer una tabla de conversión de sus códigos internos a las direcciones virtuales; de esta forma se independizan los códigos internos de la red de los externos.

La tabla de conversión de direcciones virtuales a DI-SDI asigna a cada dirección virtual dos DI-SDI internas, una primaria y otra secundaria. Normalmente se une sólo la dirección primaria; Sin embargo, y en caso de fallo de la línea que une un terminal a un CP, éste puede conectarse (sino lo estaba ya) a otro vecino, y en este caso el nodo correspondiente a la dirección primaria reenviará el mensaje a su correcta dirección secundaria.

Así mismo, al entrar un paquete en la red, si el CP de destino se encuentra fuera de servicio, el paquete se envía al CP secundario. Este método de asignar dos direcciones, una primaria y otra secundaria, aumenta la accesibilidad de los terminales y da más flexibilidad a la red.

ESTRUCTURA DEL CONMUTADOR DE PAQUETES

DESCRIPCION GENERAL

Una red de conmutador de paquetes, está compuesta por un conjunto de hasta 16 microprocesadores que comparten una memoria común. Desde el punto de vista del hardware existen sólo dos tipos de placas:

- La de las memoria común y
- La de las unidades externas

Cada microprocesador es una unidad de control de línea (UCL) o una UE. Las funciones de estos elementos se mencionaron anteriormente e incluyen el protocolo de línea, el algoritmo de encadenamiento, la adecuación del formato de los mensajes de la red, etc.

Esta estructura permite que los mensajes que entran por una línea serie pasen directamente a uno de los buffers disponibles de la memoria común del que no se mueven hasta salir por otra línea. Así la conmutación de mensajes se reduce a un cambio de punteros y se evitan las transferencias de memoria.

La memoria común, almacena las colas de mensajes, la matriz de rutas, la tabla para cálculos de CRC y otras variables y constantes que deben ser accesibles a todos los microprocesadores. En particular almacena la identificación de cada microprocesador dentro del CP.

Esta estructura permite una gran flexibilidad para adaptarse a diferentes necesidades. La conexión de una nueva línea sólo implica añadir una nueva UCL. Si un nuevo protocolo o función requiere de mayor potencia de cálculo, se pueden dedicar dos microprocesadores; uno realiza la adquisición y otro para realizar el tratamiento. Igualmente pueden coexistir diferentes tipos de microprocesadores en el mismo nodo debido a la sencillez del interface con la memoria común adaptable a cualquier tipo de microprocesador.

ASIGNACION DE MEMORIA

Cada microprocesador dispone de una memoria propia que contiene su programa, su propio stack y las variables locales.

El sistema de acceso a la memoria común es idéntico que el acceso a la memoria local desde el punto de vista de la programación. Únicamente el HARDWARE es diferente. Cuando en una UCL se detecta una lectura o escritura correspondiente a una dirección asignada a la memoria común, origina una petición de memoria y el microprocesador queda en estado de espera (wait) hasta que la petición es correspondida.

En este momento el bus de dirección y datos del microprocesador se asignan a la memoria común, hasta que acaba el ciclo de escritura o lectura. Un sistema de prioridades evita el conflicto de que varios microprocesadores pretendan acceder a la memoria al mismo tiempo.

SINCRONISMO ENTRE MICROPROCESADORES

Debida a la gran flexibilidad en el acceso a la memoria común es necesario un mecanismo que permita sincronizar los diferentes procesos de los microprocesadores. Esto es particularmente necesario para la asignación de "buffers". En esta operación se requiere que únicamente un microprocesador pueda modificar los punteros de una cola determinada.

Para ello se ha provisto en HARDWARE una instrucción de test and set, para acceder a la memoria común. Los últimos 32 bytes de la memoria común quedan definidos como semáforos.

Cuando un microprocesador lee un semáforo, la memoria común inicia un ciclo de lectura como lo haría cualquier posición de memoria pero a continuación efectúa otra de escritura dejando bloqueado el semáforo. Evidentemente, aunque haya peticiones de memoria más prioritarias no serán atendidas hasta que el ciclo de lectura/escritura haya terminado.

Para liberar el semáforo, el microprocesador que ha conseguido su asignación debe realizar un ciclo de escritura normal en el momento que haya terminado de realizar la función que requería el bloqueo.

Es interesante señalar que el bloqueo de un semáforo no supone el bloqueo de toda la memoria; Los mensajes pueden seguir entrando en los buffers ya asignados. La matriz de rutas sigue siendo accesible, etc.; Únicamente bloquea los punteros de una cola determinada, por lo que el retardo debido a la colisión de dos microprocesadores por un mismo semáforo es pequeño.

SISTEMA DE PROTECCION

Es bien sabido que la conmutación de paquetes tiene una protección contra los fallos de las líneas de comunicación, ya que un conmutador de paquetes puede mantener el servicio incluso cuando sólo le queda una línea de salida disponible, al menos para los mensajes de mayor prioridad.

Sin embargo la habilidad del hardware del nodo puede afectar a toda la red. Un fallo en CP desconecta todas las líneas de comunicaciones y en determinadas circunstancias un CP que este funcionando inadecuadamente podría, incluso, llegar a convertirse en un sumidero de mensajes.

Para conseguir la máxima fiabilidad se ha extremado las precauciones para la detección de fallos en el funcionamiento del nodo. Entre ellas se puede citar:

--Los paquetes se almacenan en la MC junto con un código ciclico de 16 bits que es comprobado a la salida de la misma. Con ellos se comprueba tanto la MC como las interfaces entre ella y los microprocesadores.

--La memoria común tiene un bit de paridad generado y comprobado por hardware. Los fallos son contabilizados y pueden provocar una reinicialización si los fallos no son permanentes.

--Cada microprocesador tiene una zona de memoria local asignada donde se almacena el programa; Si el contador de programa es enlazado fuera de esta zona provoca una inicialización.

--Cada microprocesador tiene un circuito de "watch-dog" que, si no es puesto en cero periódicamente, genera una inicialización.

--Los microprocesadores no tienen permitido (por hardware) hacer operaciones de stack en la memoria común.

Los dos últimos puntos evitan que por fallo en un microprocesador se destruya el contenido de la MC.

--Si un semáforo queda bloqueado, se inicia un test.

--Períodicamente se efectúa test del hardware, se comprueba el bit de paridad.

MONITOR DE LA RED DE CONMUTADORES DE PAQUETES

El monitor es la herramienta que permite controlar el funcionamiento de la red de conmutadores de paquetes. Por una parte facilita la localización de averías tanto en los CP como en las líneas de comunicación, lo cual es básica para la explotación de la red. Por otra parte permite realizar estudios de tipo estadístico sobre el comportamiento de los distintos algoritmos de red (encaminamiento, conectividad, etc) y conocer la utilización de la red medida a través de la saturación de los CP y del porcentaje de utilización de las líneas de comunicación, lo cual facilita las decisiones y ampliaciones del sistema.

Los parámetros que pueden ser medidos con el monitor y los procedimientos para obtenerlos son:

--Tiempo de respuesta de la red.

Se mide mediante los mensajes de eco. Estos mensajes cuando llegan al CP de destino, son devueltos al punto de origen. El tiempo que tardan entre su emisión y su recepción es la respuesta de la red para ese nodo y para la prioridad que se haya empleado.

--Índice de tráfico

Bajo la demanda del monitor se reciben una serie de estadísticas elaboradas por los microprocesadores que permiten conocer cada UE o UCL el estado de la línea que soportan, la calidad de la misma, su índice de ocupación y la longitud de la cola formada.

--Ocupación de memoria

La ocupación de memoria reservada para los mensajes se conoce desglosada en las longitudes de las colas correspondientes a cada línea de salida del CP. La vigilancia de este parámetro da el índice de congestión de cada CP.

--Matriz de rutas

La MR permite conocer cómo se comporta el algoritmo de encaminamiento y compararlo con los resultados simulados.

--Seguimiento de rutas

El monitor permite generar paquetes de control que, tras pasar por dos CP especificados en la cabecera de los paquetes, deben de retornar al monitor. Los CP encontrados en el trazado insertan su dirección en el texto de los paquetes de forma que el monitor puede supervisar los caminos seguidos entre cualquier par de CP de la red.

--Inicialización de CP

Cuando un CP se inicializa, genera un mensaje que es enviado al monitor el cual se encarga de registrarlos. Así mismo el monitor puede generar, bajo el control del operador, mensajes que obliguen a un microprocesador cualquiera a iniciarse.

II.4 Control de vehículos

El microprocesador puede emplearse para controlar en automóviles el instante de ignición, la inyección de la gasolina, la polución emitida, el frenado y el tablero de instrumentos. La confiabilidad y la eficiencia en este campo es muy alta, sin embargo existe un problema de control, y es debido a los diferentes tipos de sensores y visualizadores a utilizar.

Antes de comenzar con el estudio de un sistema especial, puede ser provechoso llegar a una definición de algunos términos de la función del computador. Obviamente, es algo en el cual el procesador realiza el tiempo de ajuste de la chispa en respuesta de la presión en el múltiple es ciertamente una función del microprocesador. Sin embargo la realización de programas para el microprocesador es una función muy importante en el planteamiento de un control digital en el automóvil.

CONTROL DE LA MAQUINA

Un diagrama a bloques que nos muestra las operaciones de un sistema de automóvil controlado por microprocesador, se muestra en la fig. 2.6 .

- 1 PRESION
- 2 TEMPERATURA
- 3 RPM
- 4 VALVULA DE POSICION ECR

- 5 CHISPA DE AVANCE
- 6 VALVULA DE CONTROL

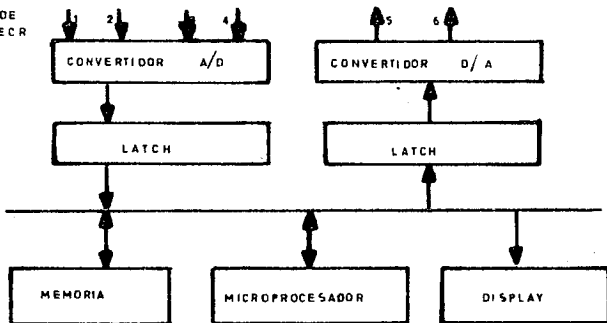


Fig. 2.6 Control del vehículo con microprocesador

Las entradas para el sistema del microprocesador son las siguientes:

- 1.) Presión
- 2.) Temperatura
- 3.) RPM
- 4.) EGR (expulsión del gas licuado) posición de la válvula.

Las entradas vienen de transductores o sensores localizados en la máquina o válvula EGR, estos proporcionan las señales de entrada y son convertidos en valores digitales para el uso del microprocesador. Estas señales de entrada son almacenadas en una entrada del LATCH hasta estar preparadas para la visualización o el proceso.

Las entradas al LATCH son conectadas a el microprocesador en forma directa por medio de un sistema de bus de datos. Las salidas puede ser a uno u otro actuador para el funcionamiento del control de operaciones de la máquina, o un visualizador para el control de las condiciones de la máquina y avizar de las condiciones criticas.

Como se indica el anticipo de la chispa y la posición de ajuste de la válvula EGR. Estos ajustes pueden depender en el tipo de automóvil y en el medio ambiente operado y pueden predeterminarse por el fabricante y usando parámetros específicos que están almacenados en una memoria ROM. El microprocesador responde con los ajustes que son requeridos por la máquina en las bases de la información almacenadas, al mismo tiempo con el sentido de las condiciones de operación.

En esta aplicación el microprocesador es utilizado en un sistema controlado de tiempo de la chispa, (fig.2.7). Los sensores proporcionan al microprocesador la información requerida. Las entradas incluyen el vacío de máquina, la posición del cigueñal, la referencia de tiempo y la temperatura de enfriamiento. La salida principal es la señal de regulación de tiempo hacia el distribuidor. Las otras dos salidas del sistema son estados de información.

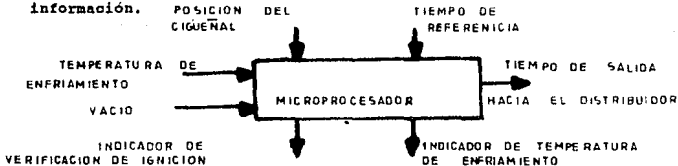


Fig. 2.7 Control de encendido con microprocesador

El sistema implementa una versión automatizada de vigilancia en la tabla de los mecanismos, mientras son depositados en las tablas para ser almacenados en memoria. Para cada condición externa medida por el sistema, y cuando el dato es encontrado en las tablas. Las técnicas de interpolación son usadas por el microprocesador para valores intermedios. Para realizar esto las instrucciones son almacenadas en la memoria del sistema.

Sistema de Control Electrónico

Reconocimiento de funciones

El llamado comando de control por microprocesador provee programas para el manejo de un número de operaciones y dispositivos (Fig.2.8). Las funciones particulares de este comando de control son:

1. Inyección de combustible/carburador.
2. Tiempo de la chispa.
3. Rápidez del motor.
4. Escape del gas recirculado.
5. Purga del bote.
6. Control de viaje o control de navegación.
7. Administración de aire.
8. Transmisión del convertidor del brazo del embraje.
9. Evaporización prematura del combustible.
10. Sistema de diagnóstico.

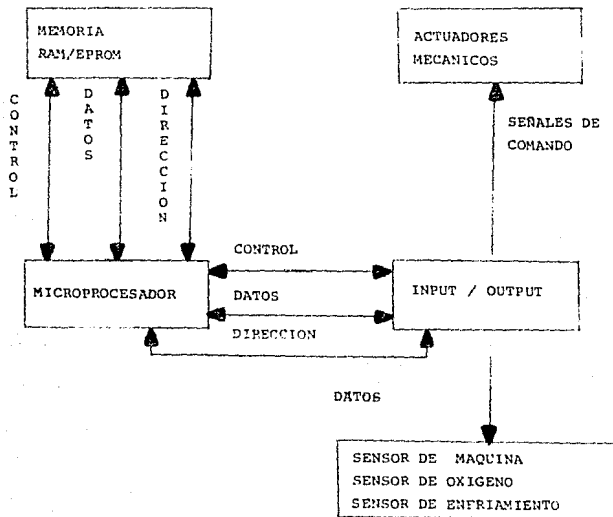


Fig. 2.8 Diagrama esquemático del computador ECM

Computador ECM

El cerebro de el sistema es el módulo de control electrónico ECM. El ECM contiene el control lógico para el sistema entero, fig. 2.8. Los programas básicos de operación están almacenados en ROM. La información de calibración para el motor y el vehículo es mantenida en EPROM. La memoria RAM es usada para almacenar temporalmente datos y son puestos en marcha para la operación para realizar cálculos.

Las siguientes secciones examinan las 10 funciones del sistema.

FUNCION 1:

CICLO DIGITAL DE INYECCION DE COMBUSTIBLE (CLDFI)

Esta función (es un programa almacenada en el ECM) controlando la operación de 2 inyectores de combustible localizados en el cuerpo de la válvula en la entrada del múltiple. Los programas originan una señal para ser enviados a un inyector para indicar que se abra el inyector así como también el tiempo que debe permanecer abierto.

CICLO CERRADO

El termino ciclo cerrado se refiere a la relación de retroalimentación entre los dispositivos de entrada, particularmente un sensor de oxígeno en el escape y el inyector de combustible fig. 2.9. Durante el recorrido normal, la operación del inyector es basada en una parte de retroalimentación para el sensor de oxígeno (O₂). Las lecturas del oxígeno, por otro lado, relacionan la cantidad de combustible liberado por los inyectores. Tanto los inyectores como los dispositivos de entrada operan en una manera en un ciclo cerrado, cada inclinación con otros en una determinada relación por el manejo de programas en el ECM.

VALVULA REGULADORA

Es un dispositivo que contiene aire en la entrada de la placa de la válvula. Como un sistema convencional, la posición de las placas de la válvula; Determinan como mucho aire va introducirse a la máquina. Sin embargo, en lugar de un carburador, la válvula reguladora funciona como dos inyectores actuadores-solenoides fig. 2.10, en cada placa. Tal sistema de inyección de combustible tienen diferencias para cada posición .

La válvula reguladora y el sistema de ciclo cerrado se desarrollan en conjunción con los 3 elementos catalíticos. El primer reactor catalítico, usa dos componentes catalíticos, PLATINUM y PALLADIM, estos componentes ayudan a reducir el contenido de HC Y COX contenidos en el gas de escape. Estos nuevos componentes adicionan un tercer ingrediente, RHODIUM. Este elemento elimina el NOx. Hasta ahora, los principales elementos primarios del bajísimo contenido de elementos contaminante son expulsados por la válvula del ECR.

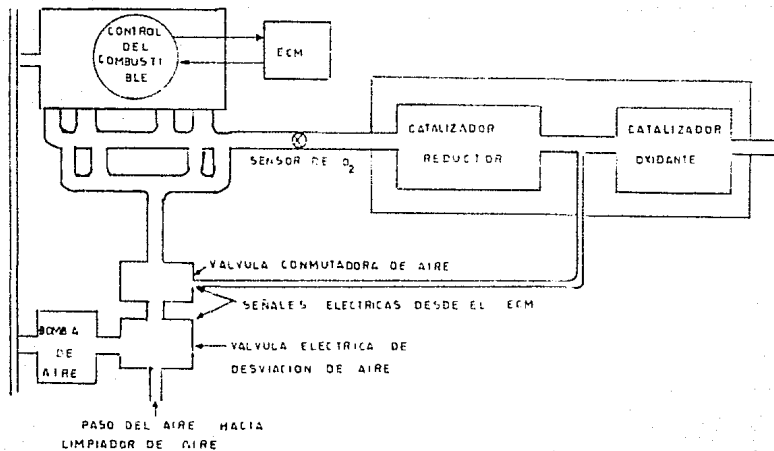


FIG.2.9 OPERACION EN CICLO CERRADO

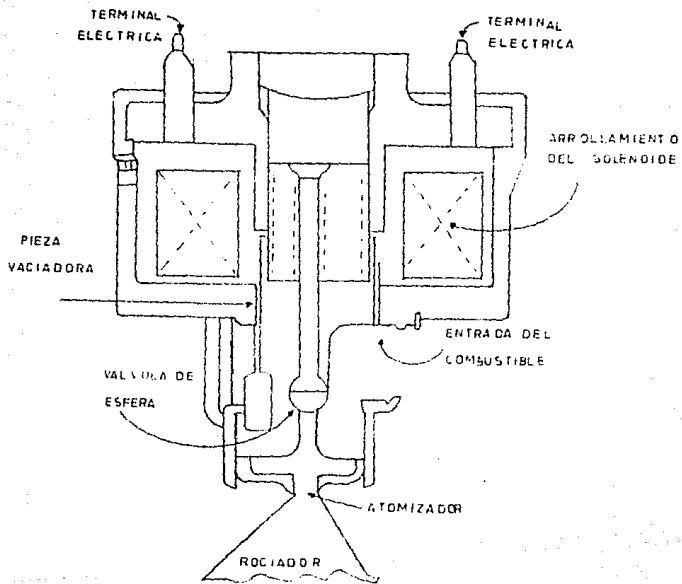


FIG.2.10 SECCION DEL INYECTOR DE COMBUSTIBLE

ENTRADAS

Los programas del CLOFI obtienen información para las siguientes unidades de entrada.

1. Sensor de enfriamiento.
2. Sensor de temperatura de aire en el múltiple (mat).
3. Sensor de presión absoluta en el múltiple (map).
4. Sensor de presión barométrica (baro).
5. Interruptor de ignición (manivela y posiciones del recorrido).
6. Módulo de ignición de alta energía (HEI).
7. Interruptor de válvula.
8. Sensor de posición de la válvula (ángulo de las placas de la válvula).
9. Sensor de oxígeno.
10. Sensor de presión del combustible.

SALIDAS

El control de información de salida es enviada a dos válvulas reguladoras inyectores de combustible.

Modos de operación

El ciclo cerrado del subsistema de inyección del combustible presenta 8 mejoras y modos de operación. El modo particular es decidido por la corrida del programa en el ECM, basada en información proporcionada por los sensores. Estos modos de operación direccionables dan a conocer las condiciones de la máquina:

1. Arranque (puesta en marcha).
2. Recorrido normal.
3. Recorrido de enfriamiento.
4. Variaciones de altitud.
5. Aceleración.
6. Anchura de la válvula (abertura de la válvula).
7. Variaciones en la mezcla.
8. Desaceleración.

Arranque

Como tan pronto el interruptor de ignición es turnado de la posición de apagado a encendido, la siguiente es la secuencia de eventos que toma lugar.

1. Suministro de potencia a el ECM.
2. El reloj interno del computador es puesta a cero.
3. La puesta en marcha de los programas principian el ciclo directo del procesador.

Como se muestra el programa en el diagrama de flujo en la fig. 2.11, uno de los primeros pasos del programa es para turnar la bomba de combustible en el sistema de combustible para realizar la presurización.

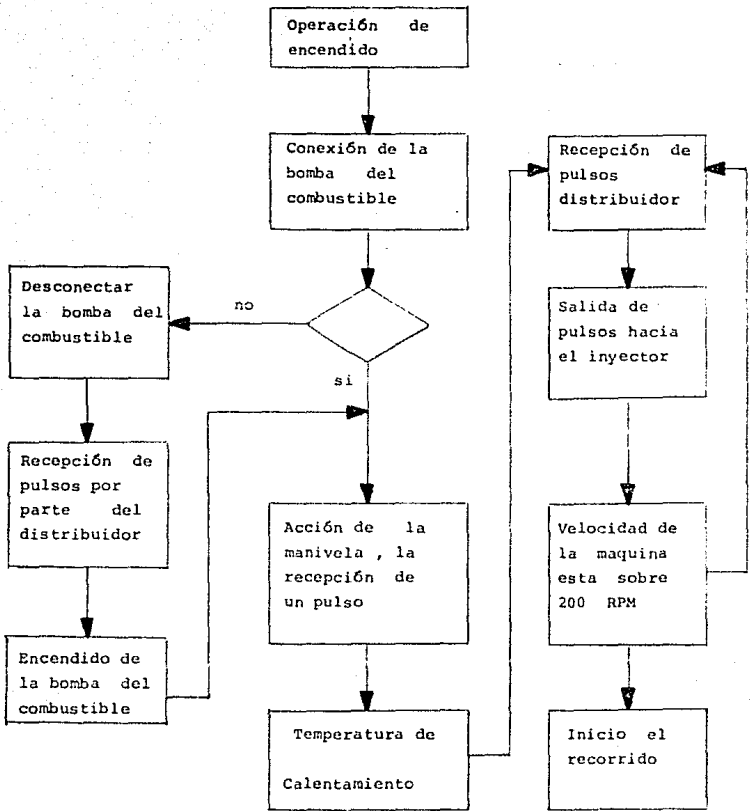


Fig.2.11 Diagrama de flujo para el arranque del vehiculo

Después de que el programa checa una señal de indicación para que la tecla de interrupción va a ser turnada a la posición de la manivela. Si una señal no es recibida durante un instante de tiempo, la bomba se vuelve a desconectar. Los restos de la bomba se desconectan hasta que la señal de la manivela es recibida.

Aunque la señal de la manivela llega a el microprocesador, los programas envían un pulso primario a los inyectores. Sobre el impulso recibido, ambos inyectores rocían combustible dentro de la entrada del múltiple. La duración de la señal, y por consiguiente la suma del rociado del combustible, en la lectura para el sensor de enfriamiento.

Aunque el primer pulso inicial, la operación del inyector es determinada por los pulsos de referencia por el distribuidor fig. 2.12. Estos pulsos de referencia están asociados con el período de tiempo de la chispa. Durante el período de funcionamiento de la manivela, ambos inyectores rocían combustible en cada pulso de reloj de referencia del distribuidor. La duración de la señales otra vez determinada por la temperatura de el enfriador.

RECORRIDO NORMAL

Durante el recorrido normal, el sistema opera en un ciclo cerrado, los solenoides - inyectores están ahora energizados alternativamente, con el distribuidor en cada pulso de referencia. Los factores de entrada que afectan los inyectores en la duración del período en el recorrido normal incluyen.

1. Temperatura del aire del múltiple.
2. Presión del aire en el múltiple.
3. Presión del combustible.
4. Contenido de oxígeno en el escape.

Una vez dentro del sistema digital esta información es comparada con los valores presente en la memoria EPROM. Las operaciones del inyector dependen en los resultados. Las operaciones DEFI pueden operar en una supervisión en situaciones especiales ocurridas durante el modo normal.

RECORRIDO DE ENFRIAMIENTO

Los programas reguladores examinan las entradas para el sensor de enfriamiento, el múltiple del aire calibra la presión, y un tiempo transcurrido en el sistema digital. Hasta que la máquina llegue a una temperatura normal de operación, los programas de regulación causan que los inyectores permanezcan más tiempo. Semejante a los sistemas de regulación precomputarizado, los programas de regulación modifican las señales en respuesta a los cambios en el múltiple vacío, el tiempo para garantizar el estrangulamiento no puede ser demasiado largo.

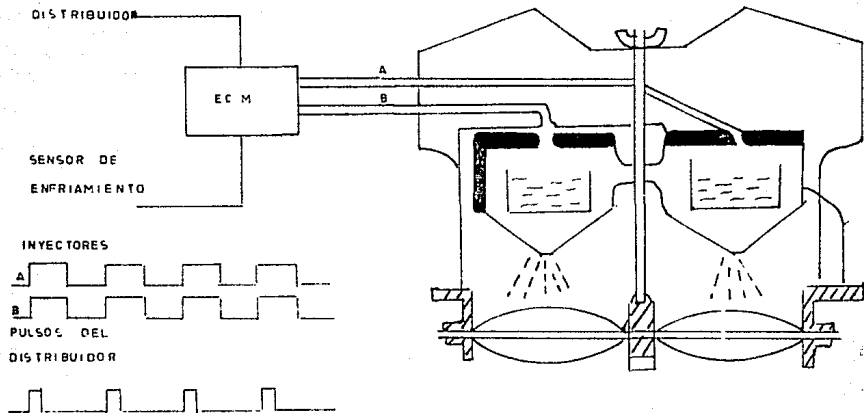


FIG. 2.12

ALTITUD DE COMPENSACION

A altas actitudes, el combustible no realiza vaporización tan pronto cuando la carga de la máquina es incrementada (y el múltiple se inclina al vacío). Los ajustes menores son realizados, cuando la mezcla empieza a incrementarse. Consecuentemente, el ECM constantemente chequea la altitud (como se indica por los sensores de presión barométrica) y la carga de la máquina (como se indica con el calibrador de presión del múltiple). Cuando la diferencia entre estas dos entradas es igual a un valor puesto en la memoria EPROM, el programa incrementa en inyección el tiempo y empieza a enriquecer la mezcla.

VALVULA DE COMPENZACION EN VACIO

Cuando la válvula es abierta precipitadamente en una posición inactiva, el incremento de la presión del aire en el múltiple y el combustible tiende a condensarse en el muro en la entrada del múltiple. El combustible extra debe sumarse a la mezcla.

El ECM chequea las RPM de la máquina y la posición de la válvula. Si la válvula es abierta hacia arriba para una posición inactiva, cuando la máquina está bajo un cierto valor de la memoria EPROM. La longitud de los pulsos es influenciada por las entradas para el múltiple y el sensor de temperatura de aire.

ACELERACION

Por encima de una relación de RPM inactivo, el ECM considera los cambios en el múltiple vacío como este debido a la aceleración. Sin embargo, cuando no hay materia o si ocurre, un decremento repentino en el múltiple vacío (incremento en presión) causa que el combustible y la mezcla comienza a declinarse.

Por lo tanto la presión del aire en el múltiple se incrementa sobre un valor prestablecido en la memoria PROM resultando en una inyección larga de pulsos, cuando la presión decremента, los pulsos retornan a la duración normal. Para asegurar la operación, el pulso del cambio puede no ocurrir como un cambio rápido en los cambios de presión. En otras palabras, allí puede ser que hay un retraso entre los dos.

ABERTURA DE LA VALVULA

Cuando la diferencia entre la presión barométrica y la presión del aire en el múltiple baja un cierto valor con relación a la memoria EPROM, el ECM asume que la válvula es abierta. Como una longitud que marca un efecto, las entradas son ignoradas en el "recorrido normal". Los pulsos en los inyectores son calculados para las lecturas en la presión barométrica del aire.

DECELERACION

Cuando las placas son cerradas y la máquina desciende lentamente, la posición del aire en el múltiple se declina (el vacío se incrementa). Este tiene el efecto opuesto para situaciones previamente descritas, con este resultado se incrementa la presión (reduce el vacío). Ahora, cuando el combustible es condensado en el múltiple (interior del múltiple) rápidamente vaporizando en la presencia de la reducción de la presión del aire.

Una mezcla rica es conveniente, para compensar la condición de la producción (contaminación), el ECM acota (abrevia) las señales de los pulsos en los inyectores. Como resultado, es deliberado menor combustible. Sin embargo si la condición ocurre (preset), origina un tiempo de aceleración previa o enriquecimiento previo, bajo estas circunstancias, las paredes del múltiple no son húmedas ya que requieren ajuste de compensación.

FUNCION : 2 TIEMPO ELECTRONICO DE LA CHISPA (EST)

Similar a el control de los inyectores, el sistema CC también determina los momentos de ignición y del periodo de enrollamiento de saturación (DWEEL). Como en un sistema precomputarizado, la chispa avanza con la rapidez de la máquina. Sin embargo la relación instantánea en peso, la curva básica de avance es almacenada en una tabla dentro de la memoria EPROM.

La curva de tiempo es modificada en respuesta a las entradas para el sensor de calentamiento de la máquina y al sensor en la presión barométrica. La información para esta fuente es convertida en un valor, basado en la calibración de los datos contenidos en una área de almacenamiento llamada tabla de búsqueda.

FUNCION 3: RAPIDEZ DEL MOTOR

El principal propósito de este programa es para el control de la velocidad de la máquina durante la operación para cerrar la válvula. Los factores que afectan esta rapidez incluyen:

1. Temperatura del motor

Cuando la máquina esta fría, la rapidez del motor es ajustada aproximadamente a 1220 rpm. Cuando el motor se recalienta la rapidez de la máquina se empieza a decrementar a 450 rpm. Si la temperatura de la máquina excede en valor puesto en la memoria EPROM, el ECM asuma que la máquina esta a punto de saturarse, esta es la razón para incrementar el flujo de enfriamiento y reducir la temperatura.

2. Voltaje de la batería

Si la salida de la batería cae por debajo de un cierto nivel, la rapidez es incrementada para ayudar el proceso de recargamiento.

FUNCION : 4

EXPULSION DEL GAS RECIRCULADO (EGR)

Como se ha notado en las secciones precedentes, la válvula del EGR proporciona pequeñas cantidades de escape de gas de el interior del sistema cuando el vacío en el múltiple es bastante alto. Esencialmente la expulsión del gas inerte hace que no se quemé, así, de ese modo reduciendo la temperatura dentro de la cámara de combustión y la formación de NOx.

En el sistema controlador, el EGR pasa al interior del múltiple y es controlada por una válvula operada por un solenoide. Durante la puesta en marcha del motor y calentamiento del mismo, bloqueando, una señal es enviada a el ECM para activar el solenoide y cerrar la válvula. Sin embargo, en algunos otros tiempos, la válvula es abierta, permitiendo que la expulsión del gas recircule en respuesta a el vacío en el múltiple.

FUNCION 5:

PURIFICACION DEL BOTE

Como un sistema precomputarizado, el carboncillo del bote es usado para almacenar excesivos vapores para el tanque completo de combustible en el sistema, la válvula para el control de la purificación es operado por un solenoide. Cuando la válvula es abierta, los gases pueden ser atrapados por el bote en la región interna de baja presión de la admisión del múltiple.

El solenoide es energizado (abierto) cuando la máquina esta en un ciclo cerrado (recorrido normal) y el enfriador de temperatura esta por encima de 80 °C. Estas condiciones son las mejores para la combustión sin producir excesivos vapores producidos excesivamente por el enriquecimiento de la mezcla y en relación con el incremento de la expulsión de gases.

FUNCION 6:

CONTROL DE TRAVESIA

Los programas de control de travesía controlan la velocidad de la máquina. Las entradas llegan a un sensor de la velocidad de la máquina, el control de travesía es un interruptor desliza-pone el encendido-apagado, y comienza una aceleración. Las salidas van a un mecanismo de control de aceleración que es un sistema de palancas.

**FUNCION 7:
SISTEMA DE MANEJO DE DIRECCION DE AIRE**

Tambien el ECM controla el flujo de aire para la bomba de aire. Dependiendo de la señal de entrada, el aire, es dirigido hacia el limpiador del aire, a las puestas del escape, o al reactor catalítico. Dos mejoras en las válvulas son colocadas, la primera llamada válvula divisora coloca aire para el limpiador de aire o hacia la segunda válvula, la cual es llamada, la válvula interruptora. Esta segunda válvula coloca aire por el puesto de escape hacia el reactor catalítico. La expulsión de aire pasa también por una válvula de chequeo para prevenir una explosión prematura durante la deceleración.

El sistema tiene dos modos de operación:

1.) Durante la operación normal o ciclo cerrado, la válvula divisora envía aire a la válvula interruptora, la cual, en turno, envía aire a el reactor. Los agentes catalíticos en el reactor son formados en dos capas. La inyección de aire entra a las dos capas ayudando a el PLATINUM y al PALLADIUM y a los agentes oxidantes HC y CO .

2.) Durante la operación de enfriamiento y en otras condiciones de ciclo-abierto, el reactor no es bastante caliente para hacer uso extra de aire. Consecuentemente, la válvula divisora envía aire a la válvula interruptora, la cual es dirigida a los puertos de escape (expulsión). Ejecutando normalmente la función asignada a el aire presuarizado para la bomba de aire es ayudado por oxidación de HC y CO en la expulsión de los gases.

**FUNCION 8:
CONVERTIDOR BRAZO-EMBRAGUE**

Entre otras aplicaciones para el tablero del computador es el control de una transmisión automática de embrague. Normalmente, esta cierta cantidad de energía es desplazada o desperdiciada en el convertidor del torque o en la transmisión.

La diferencia de rapidez entre la máquina y la transmisión puede ser eliminada por una conexión directa del embrague, presión de las placas, amortiguador y ensamblaje de un control de solenoide. El solenoide, el cual determina la posición del embrague, es energizado por el ECM en respuesta a las entradas para estas fuentes:

1. Interruptor de el freno

Si el pedal del freno es presionado, el solenoide podrá ser energizado sin hacer caso de las entradas para las otras fuentes. La transmisión puede operar en un modo normal.

2. Presion del interruptor en la transmisión

Este interruptor cuenta con un mecanismo en el ECM en la transmisión.

3. Estacionamiento-Neutral del interruptor

El control para el solenoide es liberado cuando la transmisión esta en neutral o estacionado.

4. Sensor de la rapidez del vehiculo

El solenoide es energizado solo cuando el vehiculo llega a un cierto valor puesto en la memoria EPROM.

5. Sensor de enfriamiento de temperatura.

El solenoide es tambien ocupado solo cuando la máquina alcanza un cierto valor presente en la temperatura.

FUNCION 9:

EVAPORIZACION PREMATURA DEL COMBUSTIBLE

Respondiendo a entradas para el sensor de temperatura, el computador tambien controla la operación de la expulsión de la válvula de calor. Como la máquina incrementa el calentamiento, la posición de la válvula es ajustada para la mejor combinación del control de emisión y desempeño del vehiculo.

FUNCION 10 :

SISTEMA DE DIAGNOSTICO

El ECM chequea constantemente cierta información a la entrada y a la salida para hacer seguro la presentación de limites. Las categorías básicas de información examinadas incluyen:

1. Entradas interruptoras a el ECM para determinar si un cierto dispositivo esta en ON o , OFF en un tiempo adecuado.

2. Las entradas de los sensores analógicos, para hacer seguro que las fluctuaciones de voltaje producidos por los sensores particulares con limites predefinidos.

3. Las señales de salidas digitales, para hacer segura que los dispositivos puedan ser puesta a punto en ON o OFF.

Si el ECM detecta alguna falla, el código de la falla es almacenada en la memoria RAM y el tablero es iluminado. Este aviso para el dispositivo es un posible problema. Sin embargo, el código de la falla permaneca en memoria, para posterior atención y resolución de la misma a través del microprocesador.

II.5 CONTROL DE VELOCIDAD PARA UN MOTOR ELECTRICO DE C.D.

Aunque el control a un motor es básicamente de velocidad, muchas otras funciones útiles del motor se pueden controlar como son: Encendido/apagado, control de dirección, carga y posición del brazo entre otras.

El microprocesador encuentra muchos usos para el control de un motor eléctrico de C.D. El microprocesador puede ser usado con lógica residual para el avance del motor, cuando una salida aparece desde el generador de estado. La secuencia lógica se almacena en una memoria, cuando un bit de mando es usado como salida en un tiempo determinado. Un contador de pasos puede ser usado para garantizar el número de pasos que el motor va a realizar.

Existen dos modos de operación para el control de un motor eléctrico C.D.

1.) Operación a velocidad constante

El motor eléctrico tiene que cubrir la distancia o posición en una razón constante.

2.) Aceleración automática y deceleración automática

El modo de aceleración/deceleración usa progresivamente un decremento en tiempo de retardos en pasos.

El algoritmo de control general se presenta en la fig. 2.13

CONTROL CON UN MICROPROCESADOR

El control de velocidad por medio de microprocesadores, usa primordialmente 4 módulos. fig. 2.14 .

- 1.) Módulo de interface.
- 2.) Módulo de salida analógica.
- 3.) Módulos de estado de prueba.
- 4.) Módulo procesador.

Existiendo diferentes sistemas para el gobierno de un motor eléctrico de C.D., por regla general, se tiene que tomar las siguientes características como son los límites de velocidad, aceleración y potencia en los motores de C.D.

El módulo de interface permite la entrada de dos señales principales acondicionadas previamente en un forma digital o analógica según sea el caso. Estas dos señales son :

- La señal del sistema.
- La señal de retroalimentación al sistema.

El módulo de salida analógica incluye los registros buffer y el convertidor D/A para la conversión de los comandos digitales para el controlador. Cada una de las salidas de este convertidor D/A es conectada a un amplificador sumador por separado y es sumado con la salida de retroalimentación del dispositivo.

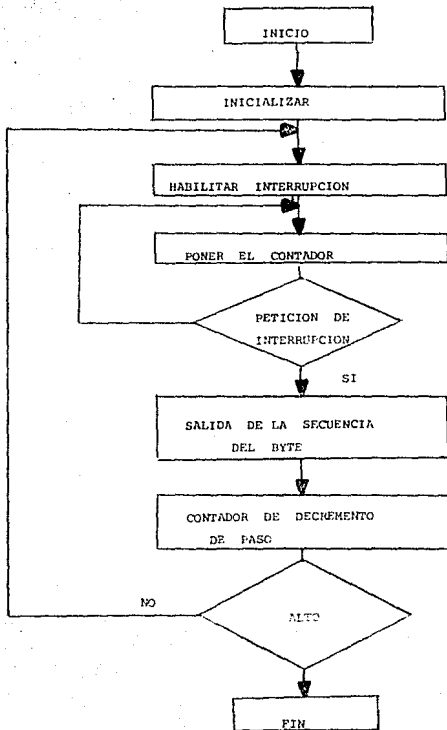


Fig. 2.14 Diagrama de flujo para el control de un motor eléctrico usando micro-procesador

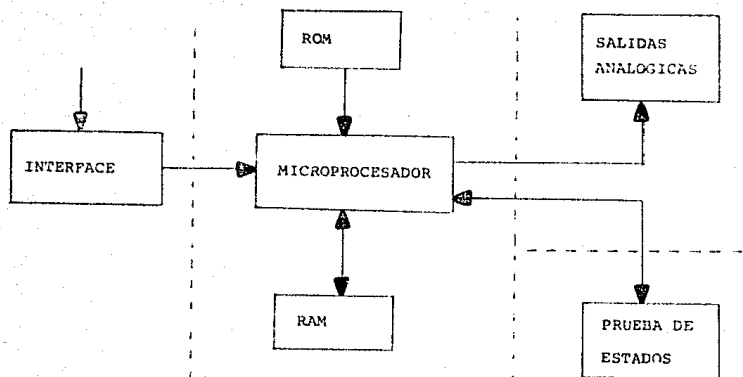


Fig. 2. 14 Sistema de control digital con microprocesador

El módulo de prueba de estado es usado para generar una entrada artificial para usarse en una operación de prueba. Varias señales de comando son generadas por este módulo. Coeficientes de estas funciones (rampa y senoides) son almacenados en memoria ROM.

El módulo del procesador contiene la capacidad aritmética, almacenamiento temporal, selección del módulo, circuitería de control y sincronización. Todo el control es calculado y ejecutado por este módulo.

POSICION DE CONTROL

El motor eléctrico de C.D. es usado en un número de aplicaciones las cuales requieren un movimiento de precisión para alcanzar una posición exacta (digital) definida. Estas aplicaciones involucran una aceleración para el recorrido de velocidad y deceleración a la posición programada.

Un método de control de posición usa una velocidad exponencial para el cambio de aceleración y deceleración. En un sistema de ciclo cerrado, velocidad y posición de retroalimentación produce la salida exponencial de cambios para un comando de entrada de velocidad variable.

En un control de un motor eléctrico puede ser usado un oscilador controlado por voltaje acoplado a un circuito generador de pulsos para proporcionar una caída o subida exponencial de voltaje para la aceleración o deceleración.

Una alternativa aprovechable para este control del motor eléctrico es generar un voltaje rampa lineal la cual produce oscilaciones en los pulsos de comando. Este sistema usa los siguientes componentes como se muestra en la fig. 2.15 .

- 1.) Un generador de pulsos a frecuencia constante, cuya frecuencia de salida es la velocidad deseada. Cada pulso representa un incremento de movimiento.
- 2.) Un parámetro de aceleración del dato almacenado que contiene el número digital el cual define la aceleración deseada. La fuerza almacenada en el índice del interruptor de una memoria ROM.
- 3.) Almacenamiento de los datos de programación los cuales representan la distancia de el movimiento requerido.
- 4.) Un generador de pulsos de aceleración para gobernar una corriente de pulsos. Cada pulso representa un incremento de posición del comando. La frecuencia de la corriente de pulsos esta en incrementos lineales cuando una señal de aceleración es representada y desconectada linealmente cuando la señal de deceleración es presentado.

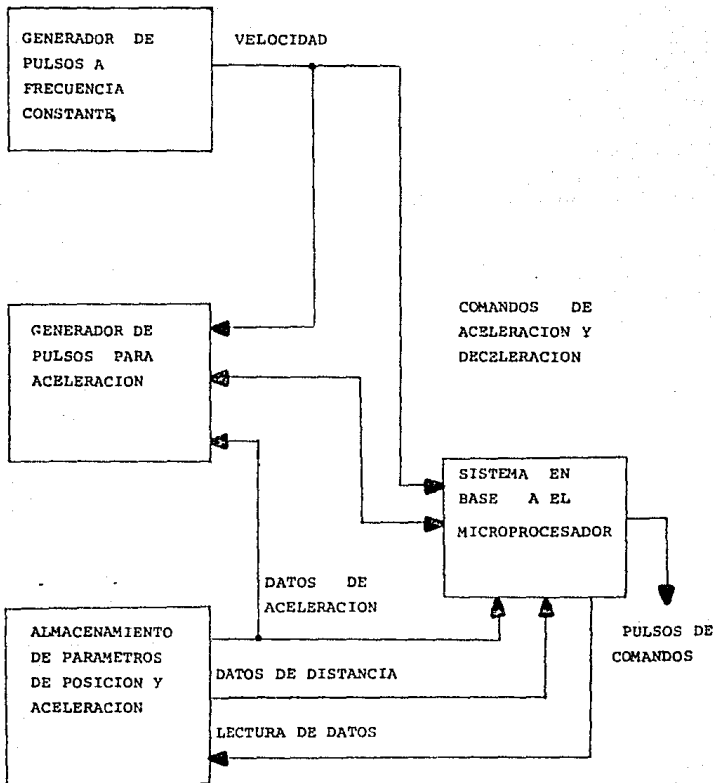


Fig. 2.15 CONTROL DE POSICION DE RAMPA LINEAL

5.)Un sistema de microprocesador el cual controla el generador de movimiento de pulsos, y determinan las fases de aceleración y deceleración de el movimiento y cuando las distancias son programadas para cada recorrido.

CAPITULO : III

ARQUITECTURA Y OPERACION DEL MICROPROCESADOR 8085A

III.1 Introducción

La lógica de todo sistema digital basado en microprocesador se realiza en la unidad central de proceso (CPU). En esta se realizan las operaciones aritméticas y lógicas y en donde se tiene el control y sincronización de las señales de control.

El primer paso para la elección de un microprocesador se apoya en el tipo de tecnología ya que la integración de una gran cantidad de circuitos que realizan un sin número de funciones nos reduce el costo, tamaño, puesta en marcha y mantenimiento de una determinada aplicación con un determinado microprocesador.

Se encuentran aquí las diferentes categorías de circuitos LSI de transistores MOS, así como los circuitos LSI de inyección con transistores bipolares complementarios (IIL).

La tecnología MOS es la más empleada en la fabricación de microprocesadores actualmente, estos microprocesadores presentan esencialmente las dos características siguientes:

- 1.) Rapidez de ejecución relativamente débil (tiempo medio de ciclo, entre 2 y 20 microsegundos aprox.).
- 2.) Muy alta escala de integración, cada vez más impulsada por la evolución de la tecnología MOS. Esto tiene como consecuencia:

--Microprocesadores en un sólo módulo.

--Aumento constante del número de funciones integradas en el microprocesador de todas las funciones de un computador.

El segundo paso para la elección de un microprocesador, es tomando en cuenta las siguientes características;

--Capacidad de direccionamiento

Número de bits de direccionamiento de que dispone el microprocesador, caracteriza también la capacidad de utilizar directamente mayor o menor memoria disponible.

--Tiempo de ciclo

Sirve de indicación sobre la rapidez de cálculo del microprocesador. Se ha visto ya que es preciso utilizar este dato con precaución, pues las instrucciones pueden durar un número variable de ciclos.

--Repertorio de instrucciones

Nos da una indicación de las funciones realizables por el microprocesador.

--Alimentación única

Una de las tendencias actuales es que los microprocesadores utilicen una sólo tensión de alimentación, lo que permite simplificar los circuitos de alimentación.

--Capacidad de interrupción y DMA

Hemos visto especialmente, que el microprocesador debe ejecutar un programa controlando el cambio con el periférico. Ahora bien, este cambio suele ser muy lento en relación con la velocidad propia del microprocesador, causa de la lentitud (relativa) del periférico.

Se trata pues de sincronizar mejor el funcionamiento del microprocesador y el de los periféricos: Es el objetivo de los procesos de gestión de E/S, el microprocesador debe poseer al menos uno de estos tipos de interrupción.

- 1.) E/S por DMA.
- 2.) E/S controladas por programa.
- 3.) E/S por demanda de interrupción.

--No. de bits a procesar (longitud de palabra)

El número de bits se refiere a la palabra del bus de datos del microprocesador. Actualmente existen en el mercado microprocesadores de 8, 16 y 32 bits de longitud de palabra. Por otra parte, estos microprocesadores nos permiten una gran velocidad en el tratamiento de la información a procesar y la exactitud que un proceso determinado se puede obtener de ellos.

III.2 Características del microprocesador 8085A

Tomando en cuenta todo lo mencionado anteriormente, el microprocesador 8085A tiene las siguientes características que lo hacen mejor con relación a otros microprocesadores, de su misma longitud de palabra.

Tecnología empleada	NMOS
Tamaño de palabra (datos/palabras-instrucciones)	8/8
Direccionamiento máximo de memoria	64K
Máxima frecuencia de reloj (MHz/fases)	5.5/1
Tiempo de instrucción corta/larga (microseg.)	0.8/5.2
Es compatible con TTL	
Posee aritmética BCD	
Posee 5 interrupciones (líneas) en el chip/niveles	
No. de registros de pila	RAM
Tiene un reloj en el chip	
Posee capacidad de DMA	
Tiene circuitos de apoyo para transferencia de información	
Requiere una sola fuente de alimentación	+5 V
Posee 80 instrucciones básicas	
Tiene 8 registros internos en el chip	
Tiene los siguientes modos de direccionamiento:	Direccionamiento directo
	Direccionamiento con registros
	Direccionamiento indirecto con registros
	Direccionamiento con el apuntador del STACK
	Direccionamiento para saltos

Posee los siguientes tipos de instrucciones

Instrucciones de movimientos de datos
Instrucciones de manipulación booleana
Instrucción de salto
Instrucciones de I/O
Instrucciones de incremento y decremento

El C.I. 8085A es una CPU de 8 bits en paralelo que se fabrica usando la tecnología de alta escala de integración (LSI) con la lógica de compuertas de silicio con canal NMOS, las características de este C.I. son:

- 1.) Requiere de una sola fuente de alimentación de +5 V.
- 2.) Opera con un reloj con periodo de 330 nanoseg. y frecuencia de 3 Mhz.
- 3.) Utiliza una sola señal de reloj.
- 4.) Tiene la capacidad de transmisión serie de E/S de datos.
- 5.) Tiene 5 entradas para solicitudes de interrupción (4 mascarables y una no mascarable. Cuatro generan un vector de interrupción interno.
- 6.) Utiliza al bus de datos (AD7-AD0) para la E/S de datos y también para enviar la parte baja (8 bits) de las direcciones. Realiza una función "multiplexor".
- 7.) El reloj con frecuencia de mhz permite el rango de tiempo de ejecución de las instrucciones de 1.3 a 5.75 microseg. (de 4 a 18 estados).
- 8.) Tiene 6 registros de propósito general (B, C, D, E, H y L) y el acumulador todos ellos de 8 bits los 6 registros de propósito general se pueden direccionar en forma particular (8 bits) o en pares de registros (16 bits).
- 9.) La serie de instrucciones del 8085A "ponen" (envían a nivel 1) o "limpian" (envían a nivel 0) 4 banderas y a las que por medio de instrucciones se les puede investigar su estado. Estas banderas son: Signo (s), acarreo (cy), paridad (p) y cero(z) acarreo auxiliar (ac).
- 10.) Tiene una característica de "pila de almacenar" (stack) externo en la que una parte de la memoria RAM disponible del sistema digital se puede utilizar como pila LIFO. para almacenar/obtener el contenido cualquiera de los siguientes registros: Acumulador, Registro de banderas, Contador de programa y los 3 registros pares.
- 11.) Tiene un registro de 16 bits, aputador del stack (stack pointer) que controla la dirección del stack externo. Este stack permite a la 8085A la habilidad de un manejo fácil de las prioridades de interrupción de nivel múltiple con un almacenamiento y rescate rápido del estado de los registros del procesador.

El microprocesador 8085A está implementado en un solo C.I. con la siguiente distribución de terminales:

- Un bus de dirección de 8 líneas.
- Un bus de dirección/datos de 8 bits.
- 11 salidas de control desde la 8085A.

- 9 Entradas de control a la 8085A.
- 2 Entradas para la fuente de alimentación.
- 2 Entradas para el cristal.

III.3 Arquitectura del microprocesador 8085A

La CPU 8085A consiste de los siguientes unidades funcionales, como se muestra en la fig. 3.1 .

III.3.1. Arreglo de registros

Este arreglo de registros contiene los siguientes elementos:

III.3.1.1 Contador de programa (PC)

El contador de programa es un registro que siempre tiene la dirección de la próxima localidad de memoria que se va acceder para obtener el código de la próxima instrucción a ejecutarse por el microprocesador. Al comienzo del ciclo de la instrucción la CPU 8085A envía el contenido del contador de programa al bus de dirección, por medio del cual direcciona a una localidad específica de memoria.

El contador de programa se incrementa en uno cada vez que el microprocesador lee el código de la instrucción contenida en la localidad direccionada. De esta forma el contador de programa direcciona secuencialmente a las localidades de la memoria donde se encuentra almacenado el programa.

III.3.1.2 Apuntador del stack (SP)

Durante el procesamiento de la información es muy útil contar con área en la memoria RAM donde se pueden almacenar temporalmente datos. Para agilizar estas funciones es muy importante no tener la necesidad de buscar la dirección de esa área cada vez que se desee almacenar un dato o rescatar el último dato almacenado, esta área de memoria se llama "stack".

La CPU 8085A cuenta con un registro "apuntador del stack", que contiene la dirección de memoria RAM a partir de la cual, en forma descendente se pueden salvar los contenidos de un registro par a partir del cual, en forma ascendente, se obtienen los últimos dos datos almacenados en esa área para cargar un registro par.

III.3.1.3 Registros de propósito general arreglados individualmente o por pares referidos como B, C y D.

La CPU 8085A cuenta con 6 registros de propósito general en el arreglo de registros: B, C, D, E, H y L. Estos registros se pueden utilizar en forma individual como registros de 8 bits, o en registros pares de 16 bits para manejarse con registros de 16 bits en la forma siguiente: BC, DE y HL.

En cada par de registros, los registros B, D y H contienen los bits de mayor orden y los registros C, E y L los bits de menor orden. A la dirección de memoria que se forman con los contenidos de H y L se conoce como dirección M.

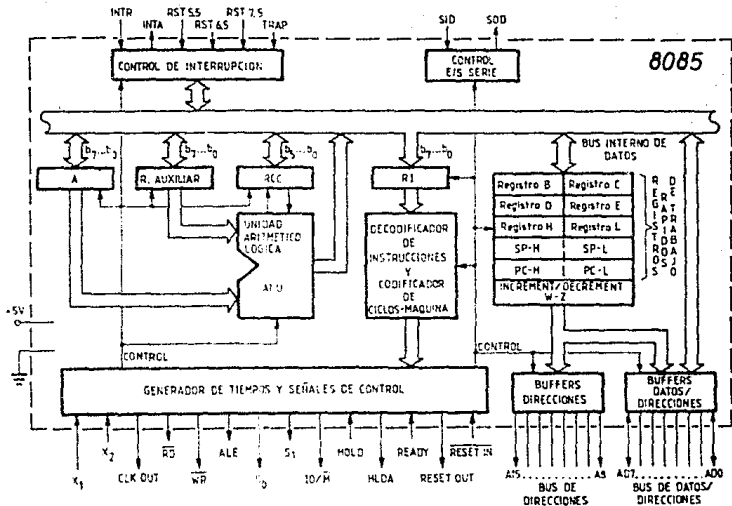


Fig 31

III.3.1.4 Latch de dirección

El latch de dirección también recibe datos de 16 bits de cualquiera de los 3 registros pares y los conduce al buffer de dirección de 16 bits (A15 - A0) o al circuito incrementador/decrementador. El circuito incrementador/decrementador recibe datos del latch de dirección y el resultado de la función ordenada se envía a un registro par del arreglo de registros. El dato de 16 bits se puede Incrementar/Decrementar o simplemente efectuando con él una transferencia entre registros.

III.3.2 Unidad Aritmética Lógica (ALU)

Las operaciones de los datos dentro de la 8085A se realizan por un grupo de componentes lógicas como la unidad aritmética lógica. La ALU tiene la lógica para llevar a cabo al menos las siguientes operaciones:

- Suma binaria.
- Operaciones aritméticas y lógicas.
- Complementar una palabra.
- Correr un bit a la derecha o a la izquierda una palabra de datos.
- Registrar información importante del resultado de las operaciones aritméticas y lógicas como acarreo, signo, acarreo auxiliar, paridad y si el resultado es cero.

Si se necesita cualquier otra manipulación más completa de una palabra de datos. Se debe recurrir a la combinación de estas funciones de la ALU. La ALU de la 8085A contiene los siguientes registros:

- Acumulador.
- Un registro de banderas.
- Un registro temporal de 8 bits.

III.3.2.1 Acumulador y registro temporal

Uno de los registros más importantes es el acumulador, en toda CPU. El acumulador es un registro de 8 bits, usualmente contiene uno de los operandos en las operaciones aritméticas y lógicas de la CPU, y en donde normalmente se deposita el resultado de las operaciones. Con el acumulador se pueden realizar las mismas funciones que en los registros funciones individuales del arreglo de registros. Además, es el único que puede enviar o recibir datos a y de los puertos de salida y entrada respectivamente.

El registro temporal TMP recibe información desde el bus de datos interno, para enviarla a la ALU. El registro temporal se carga temporalmente con uno de los dos operandos de la función aritmética ó lógica (el otro se carga en el acumulador) que proviene de la memoria o de un registro.

III.3.2.2 Banderas de estado

La CPU 8085A tiene un registro de 8 f/f para monitorear ciertas operaciones de la ALU. A la información que almacenan estos f/f se conoce como banderas de estado. Las banderas de estado se actualizan después de cada operación con alguno de los registros y no todas las operaciones modifican los f/f de banderas.

III.3.2.3 Buffer del bus de datos

Este buffer bidireccional de 8 bits, se usa para aislar el bus de datos interno de la CPU del bus de datos externo (D7 - D0).

En el modo de salida la CPU carga el contenido interno en el latch de 8 bits y maneja al buffer para la salida del dato al bus externo. Durante el modo de entrada los datos del bus de datos externos se transfieren al bus de datos interno, para que posteriormente la CPU los cargue en uno de sus registros.

III.3.3 Registro de instrucción (RI)

Una vez que se carga el contador de programa con la dirección de la primera localidad del programa, el microprocesador inicia la ejecución del programa enviando al buffer de dirección el contenido del contador de programa, el cual se transmite por el bus de dirección hacia la memoria. Además el microprocesador envía las señales de control en este caso genera las señales RD, IO/M = 0. La memoria responde enviando el contenido de la localidad direccionada al bus de datos. Posteriormente la CPU lee este contenido en un registro como "registro de instrucción".

Hasta este momento se ha ejecutado pasos que forman lo que se conoce como ciclo FECTH. Cada vez que un valor llega al registro de instrucción el microprocesador lo interpreta como código de instrucción.

III.3.4 Decodificador de instrucción

El contenido del registro de instrucción a su vez es disponible por el decodificador de instrucciones. La salida del decodificador al combinarse con varias señales de tiempos que genera la sección de control, proporciona señales de control a todos los componentes del microprocesador como son el registro de instrucción, arreglo de registros, ALU, etc.

III.3.5 Sección de control y de tiempos

Las salidas del decodificador de instrucciones y las señales de control externas (INTR, READY, HOLD, etc.) alimentan a la sección de control y tiempos para que genere las señales de tiempos de los estados y ciclos de máquina de la instrucción en proceso.

III.3.6 Control de las interrupciones y datos en serie

La unidad de control de las interrupciones contiene la lógica que define cuando se reciben solicitudes de interrupciones, las prioridades de las mismas y la secuencia de eventos que se tiene que llevar a cabo para darle servicio. La unidad de control de datos en serie contiene la lógica para la recepción y transmisión de datos en serie.

III.4 Señales de reloj y ciclos de la CPU

El CPU requiere de una señal de reloj que le permite ejecutar en forma ordenada las instrucciones y generar las señales de control en forma precisa y sincrónica. El 8085A tiene internamente un reloj y únicamente se requiere un cristal, señal externa o un circuito RC en las entradas X1 y X2.

Un ciclo de instrucción se define como el tiempo requerido para obtener (FETCH) el código de una instrucción desde la memoria y ejecutarla. Cada ciclo de instrucción consiste de 1 a 5 "ciclos de máquina". Un ciclo de máquina se requiere cada vez que la CPU accesa a la memoria o un puerto de E/S. La duración de la ejecución de un ciclo de instrucción depende de la instrucción que se obtiene durante el FETCH.

Cada ciclo de máquina consiste de 3 a 6 "estados" o "ciclos de reloj". Un estado es la unidad mas pequeña de actividad de procesamiento y se define como el intervalo entre dos transiciones de subida de reloj ϕ . Todas las actividades de procesamiento se refieren al período de reloj ϕ .

Existen 3 estados de excepción que impiden definir la duración de los ciclos. Estos 3 estados son: WAIT, HOLD y HALT. Debido a que estos estados dependen de eventos externos, ellos son por naturaleza de longitud indeterminada. Sin embargo estos estados excepcionales deben estar sincronizados a los pulsos de reloj. Por lo tanto, la duración de estos estados son múltiplos entero del período de reloj ϕ .

III.4.1 Ciclos de máquina

Como ya lo hemos mencionado, la ejecución de una instrucción consiste de una serie de ciclos de máquina cuya naturaleza y secuencia es determinada por el código de operación accedido en el ciclo de máquina M1. La CPU 8085A identifica 7 ciclos de máquina los cuales se pueden diferenciar por el estado de las 3 líneas de estado (IO/M, S1 y S0) y las líneas de control (RD, WR e INTR). La 8085A utiliza la señal ALE para indicar que se inicia un nuevo ciclo de máquina. Esta línea tiene nivel alto durante el primer período de reloj (estado T1) de cada ciclo de máquina.

-- Secuencia de los estados o ciclos de reloj

Cada ciclo de máquina dentro de una instrucción consiste de 3 a 6 estados (conocidos como T1, T2, T3, T4, T5 y T6). El número exacto de estados depende de la instrucción que se esta ejecutando y en particular de los ciclos de máquina que se necesitan para ejecutar la instrucción.

III.4.2 Estado de espera (TW)

Durante el estado TW la CPU no realiza procesamiento alguno más que el de sensar la línea READY. Cuando la entrada READY toma el nivel alto, la CPU abandona el estado de espera y continua en el estado T3 en el próximo pulso de reloj, siempre y cuando la entrada READY toma el nivel alto antes del intervalo "trys" en el estado TW, de otra manera continua en otro estado de espera y será hasta el próximo pulso de reloj cuando pase al estado T3.

La CPU entra también al estado TW cuando se ejecuta una instrucción HALT. Cuando se ejecuta una instrucción HALT, la CPU permanece en el estado TW hasta que se recibe una interrupción o se limpia (reset) la CPU.

III.4.3 Estado de alto (THT)

El estado de alto consiste de un número indeterminado de períodos de reloj, estados THT (Halt) en los cuales los buses están en reposo y el único procesamiento que la CPU realiza es la de muestrear las líneas de interrupción, Hold y Reset. Durante los estados THT las líneas S0, S1 y ALE tienen nivel alto y las otras señales de control y los buses de datos y dirección están en tercer estado.

Existen dos formas para que la CPU salga de los estados THT; La primera forma es activando la línea RESET forzando a la CPU al estado TR (RESET). La segunda forma es que recibida una solicitud de interrupción, por cualquiera de sus 5 líneas de interrupción, pasando a procesar un ciclo de máquina de interrupción (si fue la línea INTR) o un ciclo B1 especial (si fueron las líneas RST o TRAP).

III.4.4 Estado HOLD (THD)

La CPU 8085A usa el estado THD para detener momentaneamente la ejecución de ciclos de máquina, permitiendo a dispositivos externos a tomar el control de los buses para efectuar operaciones de DMA. En los estados HOLD la CPU pone en tercer estado los buses y es el dispositivo periférico quien toma el control de los buses para la transferencia directa de datos.

Un dispositivo solicita un estado THD enviando a nivel alto la línea de entrada HOLD de la 8085A. La CPU 8085A responde entrando a un estado THD. La 8085A utiliza la línea de salida HLDA para indicar que ha sido reconocido la solicitud y que en el próximo pulso de reloj entrará a un estado THD.

La CPU muestrea en cada ciclo de máquina a la línea HOLD durante el estado anterior al estado T3 (T2 o TW) y también durante el estado anterior al estado T5 (T4) si es un ciclo de 6 estados. Si la línea HOLD tiene nivel alto en el estado anterior a T3, la CPU reconoce la solicitud enviando la línea HLDA a nivel alto en el estado T3 e inicia un estado THD en el estado T4 del ciclo de máquina en proceso.

III.5 Estado de Reset (TR)

Cuando la línea RESET IN toma el nivel bajo la 8085A pasa a ejecutar un estado. Durante el estado RESET se efectúan los siguientes eventos.

- 1.) El contador de programa toma el valor de cero.
- 2.) El registro de instrucción se limpia.
- 3.) El f/f INTE se limpia, deshabilitando solicitudes de interrupción.
- 4.) El f/f TRAP se limpia.
- 5.) El f/f SOD se limpia.
- 6.) Las máscaras de las líneas de interrupción toman el nivel alto deshabilitándolas para solicitudes de interrupción.
- 7.) Todas las líneas con tercer estado se ponen a flotar.

- 8.) Se muestrean las líneas HOLD, READY y de interrupciones.
- 9.) Se pueden cambiar los contenidos de los registros de la 8085A y cargar con datos intermedios.

La CPU 8085A muestrea la línea RESET IN en cada pulso de reloj en cada estado T, si la línea tiene nivel bajo, la 8085A envía a nivel alto la salida RESET OUT y entra a un estado RESET en el próximo estado. La línea RESET IN se debe de conservar con nivel bajo al menos un lapso de 3 períodos de reloj o estados para asegurar el funcionamiento adecuado de la 8085A, esto se logra con el circuito RC. Cuando la línea toma nivel alto la 8085A comienza su procesamiento normal con un ciclo FETCH.

III.4.6 CICLOS DEL PROCESADOR

-- CICLO FETCH

Este ciclo de máquina toma su nombre del hecho de que durante el ciclo la 8085A obtiene (FETCH) el código de instrucción de la localidad de memoria direccionada por el contador de programa. Este código se transfiere al registro de instrucción de la 8085A y a continuación al decodificador de instrucciones, en donde es decodificado en una serie de acciones que debe ejecutar la 8085A. Durante este ciclo de máquina el contador del programa se incrementa en uno apuntado de esta manera a la localidad siguiente.

El ciclo FETCH requiere de 4 a 6 estados. Los 3 primeros estados (T1 a T3) se utilizan para obtener el código de la instrucción e iniciar la decodificación. En el estado T4 continúa con la decodificación. Si la instrucción no requiere de otros accesos a memoria la 8085A puede utilizar T5 y T6 para efectuar operaciones internas. Si la instrucción requiere de otros accesos a memoria, después del estado T4 del ciclo FETCH el proceso de la instrucción continúa con otro ciclo de máquina comenzado desde el estado T1. Si la instrucción es muy sencilla en el estado T4 se puede ejecutar la instrucción.

-- Ciclo de lectura a memoria (MR)

El ciclo de máquina consiste de 3 estados. Durante este ciclo el byte contenido en la localidad de memoria apuntada por el contador de programa, el stack pointer o los registros pares se transfiere de la memoria a uno de los registros internos de la 8085A.

-- Ciclo de lectura a dispositivos de E/S (IOR)

Este ciclo de máquina consiste de 3 estados, durante los cuales el código de selección de periférico se encuentra disponible en el bus de dirección y el buffer/latch del bus de datos dentro de la 8085A se encuentra habilitado para la lectura en el acumulador del dato presente en el bus de datos externo que envía el puerto de un periférico.

--Ciclo de escritura en memoria (NW)

Este ciclo de máquina consiste de 3 estados, durante los cuales el contenido de un registro de la CPU se transfiere a una localidad de memoria direccionada por el stack pointer o los registros pares.

--Ciclo de escritura a dispositivos de E/S (IOW)

El ciclo de máquina consiste de 3 estados durante los cuales la CPU envía el código de selección de un puerto (de un periférico) al bus de dirección y habilita el buffer/latch del bus de datos y enviarlo al puerto seleccionado.

--Ciclo reconocimiento de interrupción (INA)

La 8085A tiene la capacidad para manejar solicitudes de interrupción externas. Un dispositivo periférico puede solicitar interrupción externa activando cualquiera de las líneas INTR, RST5.5, RST6.5, RST7.5 o TRAP.

Las "solicitudes" de interrupción son asincrónicas, se pueden hacer en cualquier momento. Una solicitud de interrupción, se puede hacer en cualquier ciclo de máquina, una vez hecha la solicitud de interrupción la lógica interna de la CPU la reconoce en el momento apropiado.

-- Bus en reposo (BI)

Durante el ciclo de máquina bus en reposo (BI), ninguna señal de control cambia de estado en el bus del sistema. Los ciclos de máquina de la 8085A implican operaciones de leer o de escribir, solamente existen dos casos excepcionales a esta regla y es cuando se presentan los ciclos del bus en reposo.

1.) La 8085A procesa un ciclo de bus en reposo para generar internamente el código de una instrucción RST (especial) cuando acepta una solicitud de interrupción RST 5.5, RST 6.5, RST7.5 o TRAP.

2.) La 8085A Requiere de 10 estados para ejecutar la instrucción DAD. Para no ejecutar un ciclo de 10 estados la 8085A genera un ciclo FECTH de 4 estados y dos ciclos BI de 3 estados cada uno. En los ciclos BI la 8085A no realiza ningún acceso a memoria o de E/S, únicamente procesamiento interno.

III.5 Instrucciones y modos de direccionamiento del 8085A

Para el programador de un sistema digital a base de microprocesador se debe de tener presente las siguientes partes:

- Memoria.
- Contador de programa.
- Registros de trabajo.
- Banderas de condición.
- El stack y el apuntador del stack.
- Puertos de E/S.
- Conjunto de instrucciones.
- Modos de direccionamiento.

De los componentes anteriormente mencionados, la memoria no forma parte del procesador, pero si es de interés para el programador de un sistema digital. En todas las aplicaciones en las cuales se use un microprocesador requieren de algún tipo de memoria -Memoria RAM o memoria ROM-, ya que es en este componente donde se almacenan los programas o el programa para el desarrollo del sistema digital.

El microprocesador como elemento de control de un sistema digital, no importa lo sofisticado que sea, puede hacer únicamente lo que se le ordena. Uno le indica al microprocesador que hacer mediante una serie de instrucciones codificadas a las cuales uno se refiere como programa.

El microprocesador esta diseñado de tal forma que una operación especificada es realizada cuando el control del microprocesador decodifica lógicamente una instrucción en particular.

III.5.1 Conjunto de instrucciones del CPU 8085A

Se puede mencionar que el conjunto de instrucciones del 8085A consta de 4 tipos de instrucciones que son :

1.) Grupo de instrucciones del acumulador.

Las instrucciones del acumulador requieren que éste sea la fuente o el destino de la información.

2.) Grupo de instrucciones de bytes.

Este grupo de instrucciones es más general que las del acumulador ya que emplean cualquier registro como fuente o destino de información.

3.) Grupo de instrucciones de palabras.

Las instrucciones de palabras del 8085A tienen un par de registros de 16 bits o un palabra en la memoria como destino.

4.) Grupo de instrucciones de control.

Estas instrucciones afectan el control del flujo de programa. Algunas de ellas transfieren o retiran el contador de programa de la pila en forma automática.

III.5.2 Modos de direccionamiento

El rendimiento de cualquier microprocesador depende en gran parte de la facilidad con que recuperar y almacenar en la memoria o en algún registro. El microprocesador 8085A debe generar direcciones de memoria de 16 bits para especificar la posición de memoria en la cual estan ubicados los datos deseados.

Los modos de direccionamiento con los que cuenta el microprocesador 8085A son:

--Direccionamiento directo:

El direccionamiento directo mostrado en la fig.3.2 , es el modo de direccionamiento más sencillo. Cada instrucción que emplea el direccionamiento directo, simplemente contiene la dirección de memoria completa de la posición de memoria que contiene el dato a usarse.

Se necesitan 3 bytes para contener una instrucción de direccionamiento directo. El primer byte contiene el código de operación, el segundo contiene el byte con menor significado de la dirección mientras que el tercero contiene el byte con mayor orden.

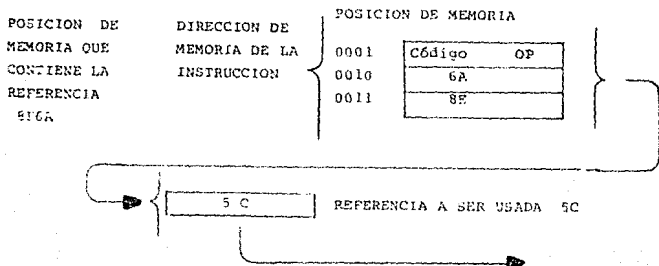


Fig. 3.2 Direccionamiento directo

--Direccionamiento de par de registro

Una dirección de memoria puede especificarse por el contenido de 16 bits de un par de registro. El contenido de este par de registro se usa como dirección de memoria de la instrucción que contiene el dato por usarse, como se muestra en la fig. 3.3.

Al incluir una dirección que se usa repetidamente en un par de registro, no es necesario que cada instrucción que utiliza dicha dirección contenga los bytes (2) adicionales, necesarios para especificar una dirección de memoria. El tamaño de la memoria se reduce, la velocidad de ejecución se incrementa, debido a que no es necesario recuperar de la memoria los bytes de dirección adicionales. Generalmente se utiliza el par de registro H para el direccionamiento de par de registro.

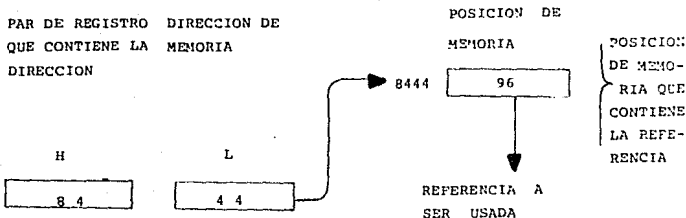


Fig. 3.3 Direcccionamiento de par de registro

--Direcccionamiento de indicador de memoria temporal

Este modo de direccionamiento permite al programador añadir o eliminar automáticamente un dato de 16 bits de una lista. Esta lista se denomina memoria de almacenamiento temporal y esta contenida en la memoria RAM.

Dos operaciones de almacenamiento temporal son posibles y se denominan PUSH Y POP. En PUSH, el contenido de 16 bits de un par de registro se transfiere a la memoria de almacenamiento temporal, almacenando 8 bits especificada por uno menos que el contenido del registro SP. El registro SP se reajusta a su valor original menos 2, con el fin prepararlo para almacenar 16 bits de datos abajo de los datos recientemente almacenados.

En la operación POP recupera 16 bits de esta memoria. Primero se leen 8 bits de datos colocados en la posición especificada por el contenido del SP. Despues se recuperan 8 bits adicionales ubicados en el contenido de SP más 1. A continuación se suman 2 al contenido original del SP, con el fin de dejarlo indicado por el siguiente dato en la memoria.

La memoria de almacenamiento temporal es una lista de extensión variable que se expande hacia abajo en la memoria, conforme se le agregan (PUSH) más datos y se contrae hacia arriba cuando se eliminan (POP) datos.

--Direccionamiento inmediato

Cuando se usa direccionamiento inmediato, el dato real por usarse está contenido dentro de la instrucción como se muestra en la fig.3.4 .Existen instrucciones inmediatas para datos tanto de 8 bits como para 16 bits.En el primer caso (8), se necesita una instrucción de 2 bytes, el byte adicional se necesita para contener el dato de 8 bits por usarse.Si se requiere un dato de 16 bits sera necesario una instrucción de 3 bytes, se necesitan 2 bytes para contener el dato de 16 bits por usar.

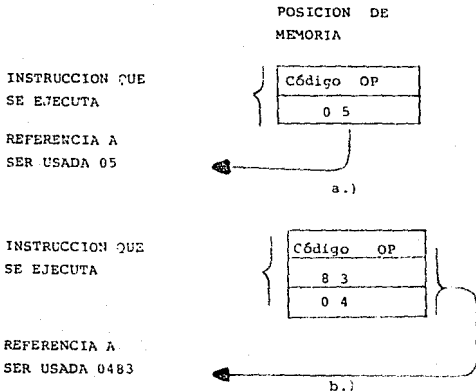


Fig. 3.4 a.) Direccionamiento inmediato con un dato 1 byte
b.) Direccionamiento inmediato con un operando de 2 bytes

CAPITULO : IV

INTERFACES DIGITALES Y CIRCUITOS DE SOPORTE
PARA EL MICROPROCESADOR 8085A

IV.1 Introducción

Las interfaces se refieren a la conexión de dispositivos de E/S a microprocesadores y los problemas de comunicación y control con los dispositivos de E/S. Llevan implícito una fuerte interrelación entre el Hardware en la forma de circuitos de interface de E/S y el software en la forma de programas de E/S.

También deben realizarse varias tareas auxiliares de la transferencia de datos de E/S, como son sincronización, conversión de formato de datos o codificación y selección en base a unas prioridades de uno entre varios dispositivos de E/S que pueden competir a la vez para acceder al sistema.

El microprocesador 8085A directamente sólo no puede procesar señales de tipo analógico o continuo, tales como temperatura, presión y posición espacial. Interfaces analógicas se encuentran en la mayoría de sistemas de medida y control de procesos. Una interface de entrada analógica convencional emplea un transductor o sensor para convertir una variable analógica no eléctrica en una señal proporcional eléctrica analógica; La última posteriormente se convierte a una señal digital con un convertidor analógico digital (ADC).

Inversamente una interface analógica de salida suele contener un convertidor digital-analógico (DAC) que produce las señales analógicas eléctricas necesarias para controlar un dispositivo de salida analógica.

Los transductores son muy diversos y están basados en una gran variedad de fenómenos eléctricos. Una clase importante de transductores depende de la posibilidad de que la variable analógica de interés altere la resistencia del transductor. La relación entre la señal de entrada analógica original puede ser lineal o no lineal y compleja. Sin embargo la potencia del microprocesador puede usarse fácilmente para sobreponer este problema. Los actuadores electromecánicos, tales como solenoides y motores de pasos, permiten a los microprocesadores controlar variables de salida mecánicas tales como posición o velocidad de un objeto.

El principal medio para intercomunicaciones internas en sistemas digitales es con buses compartidos. El bus paralelo que enlaza la CPU, la memoria principal y los circuitos de E/S y determina las características físicas de las interfaces de E/S o circuitos de interface de E/S o controladores.

Finalmente en este capítulo presentaremos 3 métodos principales de establecer y supervisar las operaciones de transferencia de datos de E/S:

- E/S programadas
- E/S controladas por interrupciones
- DMA

IV.2 Circuitos integrados de soporte para el microprocesador 8085A

IV.2.1 Memoria RAM, Puertos de E/S y Timer 8155/8156

Los C.I.s 8155/8156 consisten de 256 bytes de memoria estática (RAM), dos puertos de E/S de 8 bits c/u, un puerto de E/S de 6 bits y un "timer" de 14 bits. Estos dos C.I.s poseen un demultiplexor del bus de dirección/datos y latches internos (AD7 -AD0 e IO/M). Los latches almacenan el byte de dirección presente en las líneas AD0-AD7 durante la transición alto-bajo de la línea ALE. fig. 4.1 .

-- Sección de E/S

La sección de E/S del 8155/8156 consiste de 3 puertos de E/S (dos de 8 bits y 1 de 6 bits), un registro de comandos, un registro de estados y un timer (que se maneja con 2 registros). La operación de los puertos y el timer se programa o configura por medio del registro de comandos, mientras que el estado de estos puertos y el timer se puede conocer leyendo el registro de Estados.

Durante una transferencia de E/S, el 8155 utiliza el valor de las líneas AD0-AD2 para seleccionar los puertos y los registros. La tabla 4.1 muestra la relación de los valores de las líneas AD0-AD2 con los puertos y los registros. Las líneas D11-AD15 se utilizan para habilitar el integrado.

-- Registro de comandos

El registro de comandos consiste de 8 líneas que controlan la operación de E/S y el timer. El registro de comando se puede cargar en cualquier momento con una instrucción OUT. El contenido de este registro no se puede leer. El formato de selección de este registro se muestra en la fig. 4.2 .

Los bits 0 y 1 del registro de comandos definen el modo de los puertos A y B respectivamente, si el bit tiene el valor 0 se define como puerto de entrada y si tiene valor 1 se define como puerto de salida.

Los bits 2 y 3 seleccionan una de cuatro posibles configuraciones o alternativas de E/S. ver tabla 4.2 . Los bits 4 y 5 se utilizan para habilitar (= 1) o deshabilitar (=0) las solicitudes de interrupción por el puerto A o el puerto B respectivamente. Los bits 7 y 6 se utilizan para darle comandos al TIMER.

El valor 00 no afecta la operación del contador. El valor 01 detiene el conteo si el contador del timer está corriendo.

El valor 10 ordena detener el conteo cuando el contador termina el conteo en proceso. Con el valor 11, existen dos posibilidades:

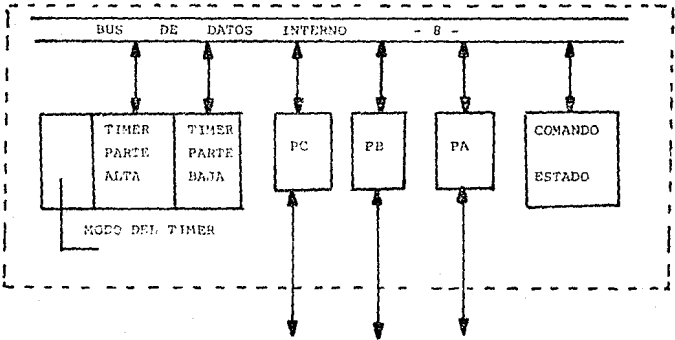
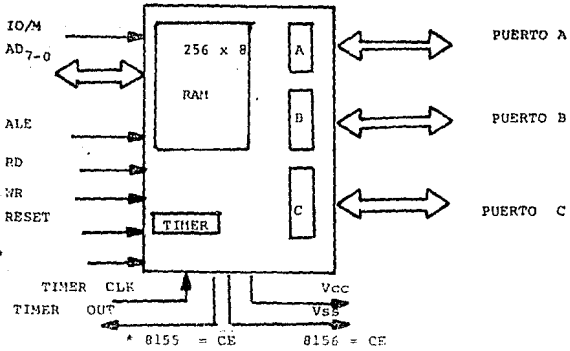
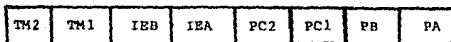


FIG 4.1 Diagrama a bloques del C.I. 8155/8156

AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	PUERTO o REGISTRO
*	*	*	*	*	0	0	0	REGISTROS DE COMANDOS/ESTADOS
*	*	*	*	*	0	0	1	PUERTO A
*	*	*	*	*	0	1	0	PUERTO B
*	*	*	*	*	0	1	1	PUERTO C o de CONTROL
*	*	*	*	*	1	0	0	8 Bits bajos del Timer
*	*	*	*	*	1	0	1	6 Bits altos del Timer

Tabla 4.0 Direcciones de los puertos del 8155/8156



0= Entrada
1= Salida

DEFINE PA0-PA7
DEFINE PB0-PB7

ALTERNATIVA

DEFINE 00= 1
01= 2
PC0-PC5 1C= 3
11= 4

HABILITAR INTERRUPCION

PUERTO A } 1=HABILITAR
PUERTO B } 0=DESHABILITAR

COMANDOS DEL
TIMER

00= NOP no afecta la operación
del contador

01= ALTO Nada si el timer no ha
comenzado; para el conteo si el timer esta
contando

10= ALTO DESPUES DEL TC
Inmediatamente después
que el TC se alcanza
(nada si el timer no
comenzado)

11=INICIA
Carga el modo y la longitud
del contador e
inicia inmediatamente
despues de cargado (si el
timer no está contando).
Si el timer está contando,
inicia el nuevo modo y
la longitud del contador
después que el TC actual
que el TC actual se alcanza

Fig. 4.2 Asignación de los bits del registro de comandos
TC= termino del conteo

ALT1	PIN	ALT2	ALT3	ALT4
*	PC0	**	A INTR (INT. DEL PTO. A)	A INTR (INT DEL PTO.A)
*	PC2	**	A STB (STROBE DEL PTO A	A STB (STROBE DEL PTO. A)
*	PC1	**	A BF (BUFFER DEL PTO. A LLENO)	A BF (BUFFER DEL PTO. A LLENO
*	PC3	**		B INTR (INT. DEL PTO. B)
*	PC4	**		B BF (BUFFER DEL PTO. B LLENO)
*	PC5			B STB (STROBE DEL PTO. B)

* = puerto de entrada ** = puerto de salida

Tabla 4.2 Configuraciones del puerto C

- 1.) Si el contador no esta corriendo, carga el timer y al contador y arranca inmediatamente.
- 2.) Si el contador está corriendo carga el timer y cuando se termina el conteo en proceso, inicia un nuevo conteo cargando una copia del contenido del timer en el contador.

-- Registro de estados

El registro de estados consiste de 7 latches que registran información acerca del "estado" de los puertos A, B y del timer. La 8085A puede leer el contenido de este registro pero no puede escribir en él. La fig. 4.3 muestra la asignación de los bits en el registro de estados.

El bit 0 toma nivel 1 cuando el puerto A tiene un dato para el exterior (el puerto A esta programado como salida) ó recibio un dato del exterior para el microprocesador (el puerto A está programado como entrada). El bit 0 toma nivel 0 cuando el 8155/8156 recibe un pulso negativo en la entrada a STB (pin PC2) cuando el puerto C está programado en los modos ALT3 o ALT4.

El bit 1 indica si el contenido del puerto A ya se leyó por la 8085A (puerto A como entrada) o por el exterior (puerto A como salida). Si no se ha leído el puerto A, bit1 = 1 (buffer lleno) y si ya se leyo, el bit 1 = 0. Cuando el puerto A se carga, el bit 1 toma el nivel 1 y el nivel 0 cuando se lee.

El bit 2 indica si el puerto A está habilitado para efectuar una solicitud de interrupción en el momento en que se carga un dato.

Los bits 3, 4 y 5 indican las mismas funciones que los bits 0, 1 y 2 respectivamente, pero para el puerto B.

El bit 6 (interrupción del timer) toma nivel 1 cuando el contador termina su cuenta y toma nivel 0 en el momento de leer el registro de estado o cuando se activa la entrada RESET del 8155.

-- PUERTOS A, B y C

Los puertos A y B se pueden programar como E/S, pero no se pueden programar individualmente los bits como E/S. Dependiendo de como se programa el puerto C, los puertos A y B pueden usar líneas del puerto C como líneas de protocolo e interrupción .

El puerto C se puede programar en 1 de 4 funciones alternativas (tabla 4.2). El puerto C se puede programar como puerto de entrada o de salida, ALT1 y ALT2 respectivamente en el registro de comando. En la configuración ALT3, 3 bits del puerto C quedan como salidas y 3 bits se usan como líneas de protocolo entre el puerto A y el exterior. En la cuarto función, 3 bits se usan como líneas de protocolo entre el puerto A y el exterior y 3 bits se usan como líneas de protocolo entre el puerto B y el exterior.

	TIMER	INTE B	B BF	INTE B	INTE A	A BF	INTR A
--	-------	-----------	---------	-----------	-----------	---------	-----------

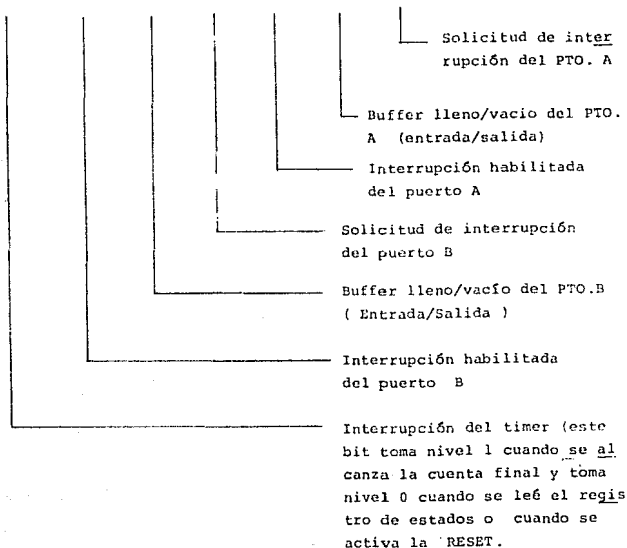


Fig. 4.3 Asignación de los bits del registro de estados.

Los latches de salida se limpian automáticamente cuando el puerto se programa como salida. No se puede escribir o cargar un puerto cuando el puerto está programado como entrada. En la fig. 4.4 se puede observar que el punto (4) tiene nivel 0 cuando el puerto está en el modo de entrada.

El nivel 0 limpia el latch de salida, esto da como resultado que cuando el puerto pasa del modo de entrada al de salida las líneas del puerto toman nivel 0. Cuando se activa la línea RESET de este circuito se limpian los latches de salida y los 3 puertos quedan en el modo de entrada.

IV.2.2 Memoria EPROM/2 puertos de E/S: C.I. 8755A

El C.I. 8755A consiste de una memoria EPROM de 2 k x 8 y 2 puertos de E/S de 8 bits. La fig. 4.5 ilustra el diagrama de bloques. Una característica de este circuito es de que los dos puertos E/S pueden ser programados para que sus 8 líneas se definan en forma particular (línea por línea) como entradas o como salidas.

Descripción Funcional del 8755A

El C.I. 8755A se puede conectar directamente a la 8085A. Cuenta latches internos para multiplexar el bus de datos AD0-AD7 utilizando la señal ALE para sincronización. La memoria ROM está direccionada por 11 bits (AD0-AD7 y A8-A10) y los puertos por 2 bits (AD0-AD1).

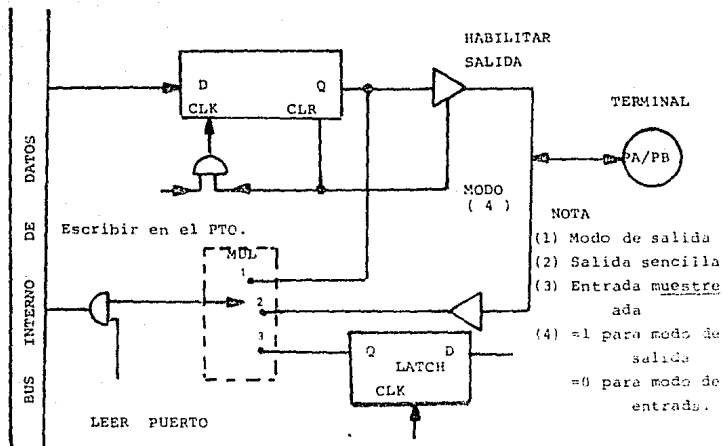
-- Sección de E/S del 8755A

La sección de E/S está direccionada por los valores cargados en los latches internos AD0-AD1. El 8755 tiene dos registros de dirección de datos (DDR, data direction register) para especificar el estado, entrada y salida, de cada pin en el puerto correspondiente.

La fig. 4.6 ilustra las funciones de los puertos de E/S y los registros DDR para el caso del bit 0 del puerto A y del registro DDR A. La misma lógica se aplica para los otros bits y para los 8 bits del puerto B y registro DDR B. Se puede observar que un bit con valor 0 en el registro DDR A indica que la línea correspondiente (PAO en la fig. 4.6) en el puerto está programado en el "modo de entrada", el buffer habilitar salida está inactivo.

Un bit con valor (Q= 1 del latch DDR del bit) en el registro DDR indica que la línea correspondiente (PAO en la fig. 4.6) en el puerto está programado en el "modo de salida", el buffer habilitador de salida está activo. Los contenidos de los puertos se pueden leer aun cuando son puertos de salida, el valor leído de una línea es el valor presente en la línea pero proporcionado por el latch de salida de la línea.

Para acceder los puertos A y B o los registros DDR A y DDR B del 8755A, la línea IO/M del integrado debe tener nivel 1, el



LEER PUERTO=(IO/M=1) (RD=0) (CE ACTIVO) (PUERTO SELECCIONADO)

ESCRIBIR PUERTO=(IO/M=1) (WR=0) (CE ACTIVO) (PUERTO SELECCIONADO)

FIG.4.4 CONFIGURACION DE UN BIT DEL PUERTO A O B

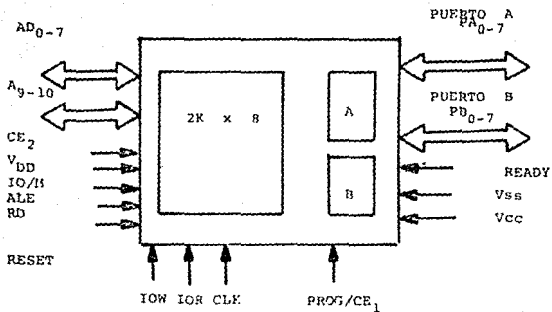


FIG. 4.5 Diagrama a bloques del C.I. 8755A

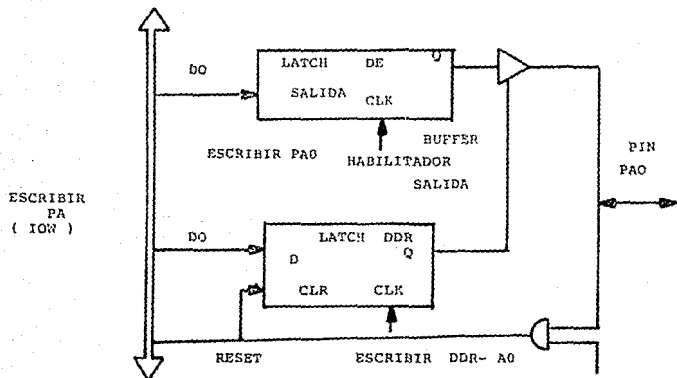


Fig. 4.6 Configuración de un bit del puerto A y DDR a

cual se genera cuando la 8085A está procesando una instrucción de E/S. Los puertos A y B se pueden usar para operaciones de E/S de datos, mientras que los registros DDR sólo se pueden usar en operaciones de salida (para programar la dirección de los puertos).

IV.2.3 Puerto de Interface en Paralelo: 8255

El C.I. 8255 es un dispositivo programable de periféricos (PPI), este componente funciona como una interfaz entre el bus del sistema digital y el equipo periférico. Su configuración funcional se determina por medio de la programación, por lo que no necesitará de otros circuitos electrónicos externos para definir la estructura de la interfaz.

El 8255A posee 24 terminales de E/S que pueden ser individualmente programados en 2 grupos de 12 y ser usados en 3 modos principales de operación. fig. 4.7 .

-- Controles del GRUPO A y GRUPO B

Cada bloque de control (GRUPO A y GRUPO B) acepta el " Comando " de la lógica de control de Lectura/Escritura, recibe las "palabras de control" del bus interno de datos y emite los comandos apropiados a sus correspondientes puertos.

GRUPO A de control - Puerto A y puerto C superior (C7 - C4)
GRUPO B de control - Puerto B y puerto C Inferior (C3 - C0)

El registro de Palabras de control podrá ser escrito únicamente. La operación de lectura no es posible con este registro.

-- Puertos de E/S A, B y C

El 8255A contiene 3 puertos de 8 bits cada uno (A, B y C). Ellos podrán ser definidos según una gran variedad de configuraciones por medio de la programación, pero cada puerto posee una serie de funciones específicas que lo distingue de los demás.

PUERTO A: Posee un latch/buffer de 8 bits de datos de salida y un latch de 8 bits de datos de entrada.

PUERTO B: Posee un latch/buffer de 8 bits de datos de E/S y un buffer de 8 bits de datos de entrada.

PUERTO C:

Posee un latch/buffer de 8 bits de datos de salida y un buffer de 8 bits de datos de entrada (sin latch de entrada). Este puerto puede ser dividido en dos grupos de 4 bits mediante el control del modo. Cada puerto de 4 bits contiene un latch de 4 bits y puede ser usado para las salidas de señales de control y entrada de señales de status, conjuntamente con los puertos A y B.

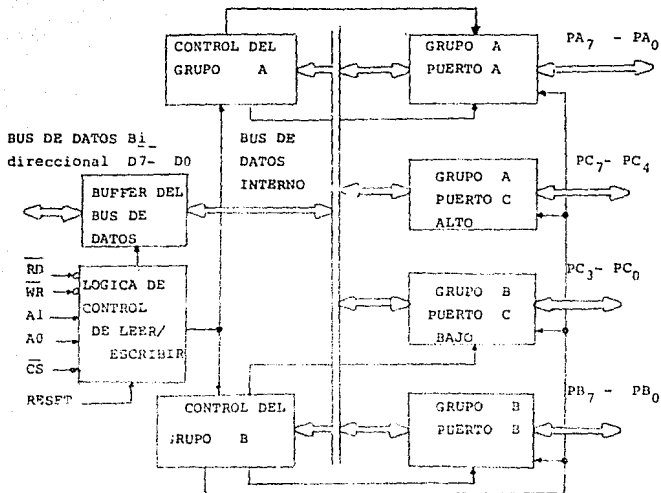


Fig. 4.7 Diagrama lógico del C.I. 8255

D7 -D0	BUS DE DATOS BIDIRECCIONAL
RESET	ENTRADA DE LIMPIAR
CS	SELECCIÓN DEL INTEGRADO
WR	ENTRADA DE ESCRITURA
A0 A1	DIRECCION DEL PUERTO
RD	ENTRADA DE LECTURA
PA7 - PA0	PUERTO A
PB7 - PB0	PUERTO B
PC7 - PC0	PUERTO C
Vcc	+ 5 Volts
GND	0 Volts

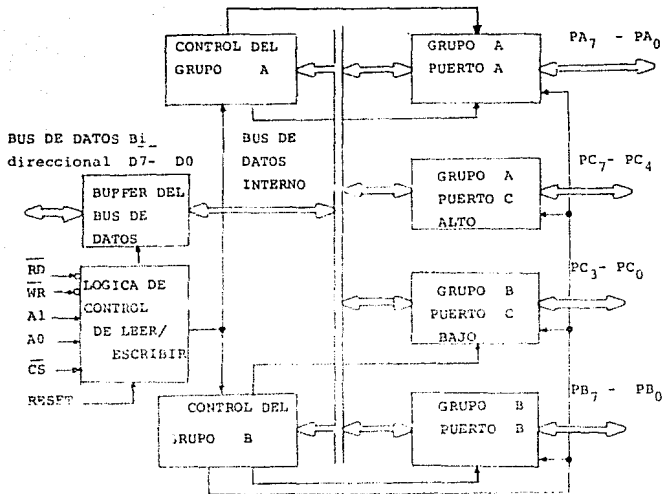


Fig. 4.7 Diagrama lógico del C.I. 8255

D7 -D0	BUS DE DATOS BIDIRECCIONAL
RESET	ENTRADA DE LIMPIAR
CS	SELECCION DEL INTEGRADO
WR	ENTRADA DE ESCRITURA
A0 A1	DIRECCION DEL PUERTO
RD	ENTRADA DE LECTURA
PA7 - PA0	PUERTO A
PB7 - PB0	PUERTO B
PC7 - PC0	PUERTO C
Vcc	+ 5 Volts
GND	0 Volts

-- Selección de Modo

La programación podrá definir uno de los 3 modos básicos de operación:

MODO 0 - E/S básica
MODO 1 - E/S sincronizada
MODO 2 - Bus bidireccional

Los modos de operación se seleccionan ejecutando una simple instrucción de salida. Esto posibilita al 8255A atender a una variedad de dispositivos periféricos por medio de una simple rutina de mantenimiento de programación.

Los modos de los grupos A y B podrán definirse separadamente, mientras que el puerto C se encuentra dividido en dos porciones, tal como lo requiere la definición de los puertos A y B. Todos los registros de salida incluyendo los flip-flops de status, serán cancelados con el cambio de modo. Los modos podrán combinarse de tal modo que se adapten a casi todas las estructuras de E/S.

--Facilidad de bit unico SET/RESET

La instrucción OUT podrá ser usada para determinar el estado lógico de cualquiera de los bits del puerto C. Esta facilidad reduce los requerimientos de la programación en las aplicaciones de control de sistemas digitales.

Cuando se usa el puerto C como status o control de los puertos A y B, se podrá determinar el estado lógico de sus bits usando la operación de set/reset de bit, tal como si se tratara de puertos de salida de datos.

--Funciones de control de interrupciones

Cuando se programa el 8255A para ser operado en el modo 1 ó 2, son provistas señales de control para ser usadas como entradas de pedidos de interrupción del microprocesador. Estas señales son generadas en el puerto C, pudiendo ser inhibidas o habilitadas fijando el estado lógico del f/f INTE, mediante la función de set/reset de bit del puerto C.

Esta función habilita al programador permitir o no la interrupción del microprocesador por parte de un determinado dispositivo de E/S, sin que ello signifique afectar la estructura de interrupción de cualquier otro dispositivo.

El f/f INTE se define del siguiente modo:

- El bit de SET aplicado a INTE habilita la interrupción.
- El bit de RESET aplicado a INTE inhabilita la interrupción.

Nota:

La selección de modo o la aplicación de RESET, cancela todas las máscaras de los flip/flops en forma automática.

-- MODOS DE OPERACION

MODO 0 (ENTRADA/SALIDA BASICA)

Esta configuración funcional provee operaciones simples de E/S para cada uno de los tres puertos. Los datos se escriben y leen directamente del puerto especificado.

Las definiciones funcionales para este modo son :

- Dos puertos de 8 bits y dos puertos de 4 bits.
- Cualquier puerto podrá ser de entrada o de salida.
- Las salidas son almacenadas en latches.
- Las entradas no son almacenadas en latches.
- Existen 16 configuraciones posibles de E/S.

MODO 1 (ENTRADA/SALIDA SINCRONIZADA)

Esta configuración funcional posibilita la transferencia a determinados puertos, mediante el empleo de señales de disparo de sincronización. En el modo 1, los puertos A y B usan las líneas del puerto C para generar o aceptar dichas señales.

Las definiciones básicas del modo 1 son :

- Existen dos grupos (GRUPO A y GRUPO B).
- Cada grupo contiene un puerto de 8 bits de datos y un puerto de 4 bits de control y datos.
- El puerto de 8 bits de datos podrá ser de salida o entrada. Tanto las salidas como las entradas son almacenadas en latches.
- El puerto de 4 bits se usa para el control y la información de status del puerto de 8 bits de datos.

Las señales de control de entrada se definen del siguiente modo:

STB (entrada de disparo de sincronización)

Un estado lógico "0" en esta entrada almacena los datos en el latch de entrada.

IBF (buffer de entrada completo)

Un estado lógico "1" en esta salida posibilita su uso para indicar que el latch de entrada ha sido cargado con los datos. La entrada STB llevará a "1" y pasará a "0" con el flanco ascendente de la entrada RD.

INTR (pedido de interrupción)

El CPU podrá ser interumpido llevando esta salida a "1". Cuando STB se encuentra en "1", INTR es llevado al mismo estado, estando simultaneamente IBF e INTE en "1". El flanco descendente de RD llevará la señal INTR a "0". Esto posibilita generar un pedido de interrupción simplemente escribiendo los datos en el puerto.

INTA A : Se controla mediante una operación de set/reset de bit con PC4.

INTA B: Se controla mediante una operación de set/reset de bit con PC2.

Las señales de control de salida se definen del siguiente modo:

OBF (buffer de salida completo)

La salida OBF pasará a "0" para indicar que una operación de escritura ha sido llevada a cabo con un puerto determinado. El flanco ascendente de la entrada WR la llevará a "1" y volverá a "0" cuando la entrada ACK pase a "0".

ACK (entrada de reconocimiento)

Un "0" en esta entrada informa al 8255A que han sido aceptados datos procedentes del puerto A o B. Estas, fundamentalmente una respuesta del dispositivo periférico para indicar que se han recibido los datos del CPU.

INTR (pedido de interrupción)

El CPU podrá ser interrumpido llevando esta salida a "1", luego de haber sido aceptados los datos por parte del dispositivo de salida. INTR tendrá el estado lógico "1" cuando ACK, OBF e INTE sean "1" simultáneamente. El flanco descendente de WR llevará a INTR al estado lógico "0".

INTE A : Se controla mediante una operación de set/reset de bit con PC6.

INTE B : Se controla mediante una operación de set/reset de bit con PC2.

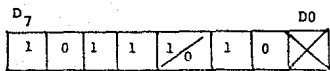
La fig.4.8 muestra la configuración de salida del MODO 1

Combinaciones de Modo 1

Los puertos A y B podrán ser definidos individualmente como entradas o salidas en el modo 1 que permite su empleo en una gran variedad de aplicaciones de E/S. La fig. 4.8 muestra las combinaciones del Modo 1.

MODO 2 (BUS BIDIRECCIONAL DE DISPARO DE E/S)

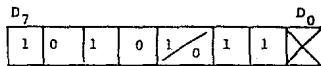
Esta configuración permite la comunicación con un dispositivo periférico mediante un bus bidireccional de 8 bits de E/S. Las señales que controlan este modo son las mismas que las explicadas para el modo 1. También se dispone de funciones de habilitación e inhabilitación de interrupciones.



PC 4,5

1 = entrada

0 = salida



PC 4,5

1 = entrada

0 = salida

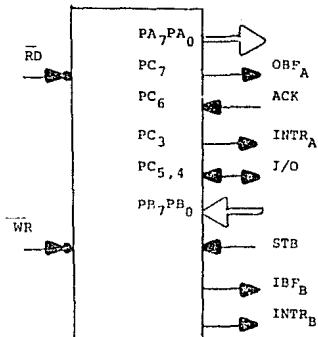
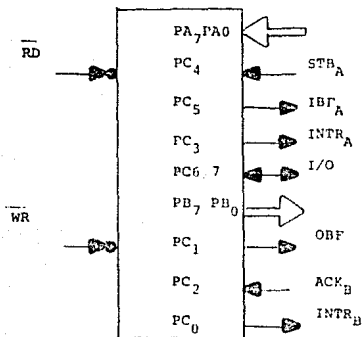


Fig. 4.8 Combinaciones del modo 1

Las definiciones funcionales básicas del Modo 2 son :

- Se usa únicamente en el grupo A.
- El puerto A es un bus bidireccional de 8 bits y el puerto C es el control y posee 5 bits.
- Tanto las entradas como las salidas se almacenan en latches.
- El puerto de control (C) se usa para controlar e indicar el status del puerto del bus bidireccional (A).

Las señal de control se define de la siguiente forma:

INTR (pedido de interrupción)

Mediante un "1" en esta salida se podrá interrumpir el CPU tanto en operaciones de entrada como de salida.

Las operaciones de salida son :

OBF (buffer de salida completo)

La salida OBF pasará a "0" para indicar que una operación de escritura ha sido llevada a cabo por el CPU con el puerto A.

ACK (entrada de reconocimiento)

Un estado lógico "0" en esta entrada habilitará la salida de impedancia alta del buffer de datos perteneciente al puerto A. Con el estado lógico "1" el buffer permanecerá en el estado de impedancia alta .

INTE 1 (f/f INTE asociada a la señal OBF)

El f/f será controlado por la operación de set/reset de bit con PC6.

Las operaciones de entrada son:

STB (entrada de disparo de sincronización)

Con un "0" en esta entrada se cargarán los datos en el latch de entrada.

IBF (buffer de entrada completo)

Esta salida indica con el estado lógico "1" que los datos han sido cargados en el latch de entrada.

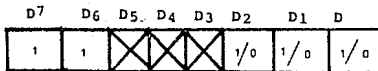
INTE 2 (flip-flop INTE asociado a la señal IBF)

El f/f será controlado por las operación de set/reset de bit con PC4.

La fig. 4.9a muestra la palabra de control del Modo 2 y la fig. 4.9b provee la configuración para dicho modo.

IV.2.4 Controlador de interrupciones programable: C.I. 8259

El C.I. 8259 permite controlar hasta 8 interrupciones prioritarias vectorizadas, fig. 4.10 .Puede ser acoplado en cascada, para ampliar el sistema hasta 64 interrupciones sin ningún circuito adicional. Este circuito es estático y no precisa de reloj externo.



PC₂₋₀

1 = entrada 0 = salida

Port B

1 = entrada 0 = salida

Modo del grupo B

0 = modo del grupo B "modo 0"

1 = modo del grupo B "modo 1"

Fig. 4.9a: Modo 2 palabra de control

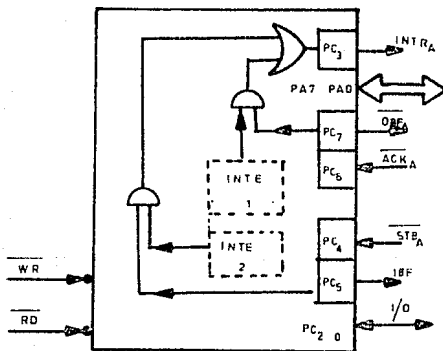


Fig. 4.9 b

Modo 2 configuración

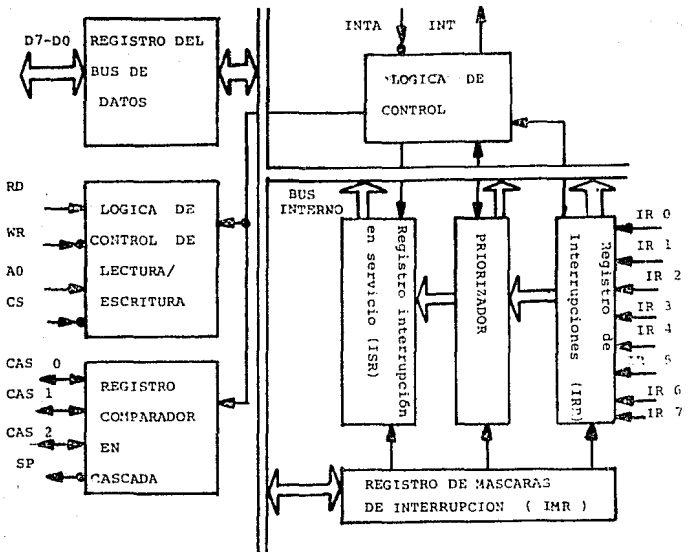


Fig. 4 10 Controlador de interrupción programable 8259

Todas sus formas de trabajo pueden programarse via E/S como si se tratase de un periférico. Puede efectuarse una programación de diferentes algoritmos de prioridad para las diferentes vias de interrupción, pudiendo además cambiarse dinámicamente dicho algoritmo de prioridad durante la ejecución del programa principal, adecuándose en cada momento a las necesidades del sistema.

-- Registro de interrupciones (IRR) y registro de la interrupción en servicio (ISR)

Las vias de llegada de interrupción procedentes de los periféricos (IRO-IR7) se tratan a través de dos registros en cascada, el registro de interrupciones y el registro de la interrupción en servicio. En el IRR se almacenan todos los niveles de interrupción que están solicitando servicio y en el segundo registro el nivel de interrupción que está siendo atendido.

-- Priorizador

Este bloque sirve para determinar cuál de las posibles entradas de interrupción activas debe ser atendida en ese momento. La interrupción que este bloque determine será la que pase al "registro de interrupción en servicio". Como ya se ha dicho, una vez resuelta la prioridad entre varias posibles interrupciones se avisa - con la señal INT - al procesador y este reconoce la interrupción contestando con la señal INTA. El microprocesador generará más de una señal INTA con el fin de que el 8259 libere hacia el bus de direcciones la dirección de inicio de la subrutina a donde bifurcarse.

-- Registro de datos del bus

Es un registro bidireccional de 3 estados que hace la interfaz con el bus del microprocesador. Todas las palabras de control para el 8259, así como los bits de estado se transfieren a través de dicho registro.

-- Lógica de control de lectura/escritura

La función de este bloque es aceptar mandatos para programar el modo de funcionamiento, así como hacer volcar al bus los bits de estado del circuito, dependiendo de la señal de lectura (RD) o de escritura (WR). La señal CS es la que autoriza el funcionamiento de todo el conjunto. Si esta señal no se activa, las restantes señales que entran en dicho bloque no ejecutan ningún tipo de función.

Esta señal provendrá del circuito que detecte la selección del 8259 a partir de las direcciones del microprocesador ponga en el bus cuando pretenda ejecutar una instrucción de E/S que haga referencia al citado 8259.

La secuencia normal de acontecimientos en una interacción 8259-CPU (8085) es la que sigue:

- 1.) Si alguna o varias líneas de interrupción del 8259 se activan, indican que algún periférico está solicitando la CPU.
- 2.) Acepta la interrupción devolviendo una señal de interrupción a la CPU.
- 3.) La CPU reconoce la interrupción devolviendo una señal de reconocimiento (INTA).
- 4.) Con la recepción de dicho pulso(INTA), el 8259 imparte un código de instrucción de bifurcar en el bus de datos.
- 5.) La instrucción generada hace que la CPU genere dos señales (INTA) adicionales hacia el 8259.
- 6.) Estas dos señales hacen que el 8259 suministre al bus dos octetos adicionales que serán la bifurcación a la rutina de atención. El contenido de dichos octetos dependerá que originariamente se haya programado en el 8259, vía E/S.
- 7.) Con esto se completan los 3 octetos que requiere la instrucción de bifurcar a subrutina. El registro de interrupción en servicio no se borra hasta que en el final de la subrutina, se envía un mandato de final de interrupción.

-- PROGRAMACION

El 8259 acepta dos tipos de mandatos procedentes del microprocesador.

- Mandatos de inicialización
- Mandatos de operación

Con los primeros se prepara al controlador el punto inicial en que queda dispuesto para aceptar interrupciones. Con los segundos se programa al 8259 para que pueda trabajar en distintos modos de interrupción. Los modos son:

- Modo de prioridad según posición física o patilla de entrada
- Modo de prioridad rotativas
- Modo de máscara especial
- Modo de barrido

Cada vía de interrupción puede ser enmascarada individualmente programando de forma adecuada el registro de interrupción (IMR). Esta programación se hará con un mandato de operación.

El IMR opera tanto sobre el registro de interrupciones como sobre el registro de interrupción en servicio. Cuando está siendo atendida --esta registrada en el ISR -- quedarán inhibidas las interrupciones de nivel inferior.

-- Modo de prioridad según posición física

En este modo opera el 8259 después de habersele inicializado con un mandato de inicialización. En este modo las entradas de interrupción quedan ordenadas en prioridades de 0 a 7. Cuando ocurre una interrupción del CPU se enviará la dirección de subrutina desde el 8259 de forma que se atiende la entrada más prioritaria de las interrupciones presentes.

Se activa el registro de interrupción en servicio y sólo se apaga por una instrucción de fin de operación. Mientras esta activa ninguna interrupción menos prioritaria se dejará pasar. No así con las de nivel superior que sí estarán permitidas.

-- Modo de prioridades rotativas

Se utiliza cuando se requiere asignar una prioridad igual a todas las entradas. El 8259 proporciona dos submodalidades:

a.) Prioridad rotativa automática.

Después de haber sido atendido un periférico pasa a tener la prioridad más baja de forma que en el peor de los casos, se solicita una nueva interrupción deberá esperar a que las otras 7 se atiendan. Esto en el supuesto de que todas las otras 7 hayan solicitado atención de la CPU.

b.) Prioridad rotativa específica.

El programador puede cambiar las prioridades asignando a una de las entradas la última prioridad.

-- Modo máscara especial

Este modo se usa cuando algunas interrupciones están enmascaradas por el registro de máscaras IMR. Si por alguna razón están ejecutándose alguna subrutina que está enmascarada (puede ocurrir cuando la propia subrutina quita intencionalmente su máscara) se puede permitir a los niveles de prioridad inferior el que interrumpen este modo.

-- MODO BARRIDO

En este modo el procesador no permite ninguna interrupción. El servicio de atención a los periféricos se realiza porque el programador lo solicita a través de un mandato "POLL".

Cuando el 8259 recibe una instrucción de salida -escritura- acompañada de un mando "poll", se prepara para que en el transcurso de una instrucción de entrada -lectura- que deba ser enviada a continuación se considere como si se tratase de un reconocimiento de interrupción y si en ese momento se hubiese una petición de interrupción en alguna entrada, se volcaría un octeto al bus de datos que tendrá en su bit de menor peso, un "1" en el caso de haber una interrupción y un "0" si no lo hubiese. En el caso de haber más de una aparecería en dicho octeto el código de la más prioritaria.

IV.3 METODOS DE COMUNICACION

La interacción entre la mayoría de los componentes de un sistema digital requiere la transferencia de información sobre las líneas de comunicaciones o buses comunes.

-- Buses de microprocesadores

Un bus es un conjunto de líneas asociadas utilizadas para transferir datos digitales de un lugar a otro. El bus más sencillo es un conjunto de líneas de datos que transmiten palabras de datos de un dispositivo fijo a otro. Si los dispositivos conectados son complejos o funcionan asincrónicamente, es necesario transmitir también información de control de sincronización entre los dispositivos. Estas señales de sincronización entre los dispositivos pueden enviarse a través de las líneas de datos conjuntamente con los datos a través de líneas especiales de control.

Para reducir la complejidad del cableado frecuentemente los buses se comparten (multiplexan) entre muy diferentes dispositivos, todos los cuales se conectan físicamente a las líneas del bus. En un instante de tiempo sólo dos dispositivos pueden estar lógicamente conectados al bus en el sentido de ser capaces de usarlo en una operación de transferencia de datos; Uno de estos dispositivos actúa como fuente de datos y el otro como receptor de datos.

Finalmente para garantizar que no presenten conflictos en la utilización del bus, se requiere una supervisión de las conexiones lógicas al bus, denominado control de acceso al bus o arbitraje del bus. El control de acceso al bus también necesita el uso de líneas de datos, direcciones y de control, diseñadas para la transferencia sistemática de datos entre un conjunto de componentes del sistema.

Se denomina bus paralelo porque los datos son transmitidos a través del bus del sistema con n bits a la vez, donde n usualmente es el número de bits de una palabra de datos de la memoria principal o de la CPU. El microprocesador 8085A tiene un tamaño de palabra de memoria y de CPU de 8 bits; Por lo que es natural que se transmiten 8 bits simultáneamente a través del correspondiente bus del sistema.

Puesto que cada posición de memoria principal y cada puerto de E/S potencialmente una fuente o destino de datos, por el bus del sistema deben suministrarse un gran número de direcciones. Entonces normalmente en el bus del sistema se incluyen bus específico de direcciones que pueden transmitir todos los bits de una palabra de dirección.

En un sistema digital basado en microprocesadores, el control del bus del sistema es principalmente responsabilidad de la CPU. Los dispositivos de E/S pueden tomar el control del bus de sistema cedido por la CPU por la mediación de un controlador de

acceso directo a memoria (DMA), que nos permite transferir datos directamente entre los dispositivos de E/S y la memoria principal sin la asistencia de la CPU.El DMA utiliza señales de control de acceso al bus para comunicarse con la CPU y obtener de ella el control del bus del sistema.

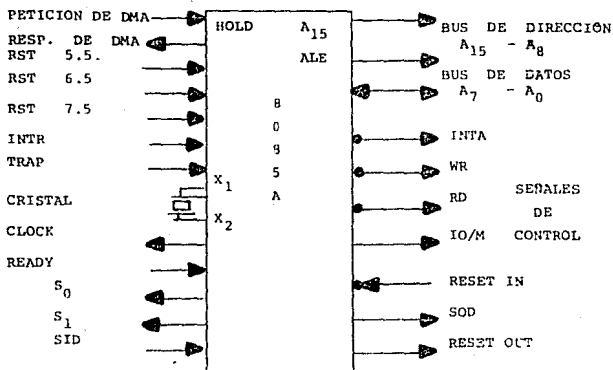
La fig.4.11 muestra las principales características de un bus de sistema típico para el microprocesador 8085,el bus del sistema del 8085 también está diseñado para transmitir palabras de datos de 8 bits y de dirección de 16 bits.No obstante, sólo hay 16 líneas del bus para estos dos objetivos,de aquí que la mitad del menor orden (-bits A0-A7) de cada palabra de dirección se multiplexa con la correspondiente palabra de datos a través de un bus común AD de datos y direcciones.Esto reduce el número de terminales requerido por el 8085 y otros componentes del sistema, así como el tamaño propio del sistema.

Si se desea podría obtenerse un bus de direcciones de 16 bits independiente, demultiplexando el bus AD.Las señales de control del bus realizan las funciones tales como indicar la dirección de transferencias de datos, temporización en la transferencia de datos, control de acceso al bus y petición de interrupciones.

En un sistema digital basado en microprocesadores más sencillo todas las interfaces se hacen directamente con el bus principal del sistema.A veces es deseable efectuar las interfaces de los dispositivos de E/S, con el que a su vez se realiza otra interface con el bus principal del sistema.Estos buses de E/S pueden ser serie o paralelo y son diseñados específicamente según las características operativas del tipo particular de los dispositivos de E/S a los que sirve.

Por tanto un sistema digital basado en microprocesadores puede contener hasta 3 tipos diferentes de buses como se muestra en la fig. 4.12 .El bus del sistema (del microprocesador) uno o mas buses paralelo de E/S y uno o más buses serie de E/S.

Un bus paralelo de E/S es bastante similar al bus del sistema y es diseñado para acoplar dispositivos de E/S con grandes velocidades de transferencia tales como memorias o instrumentos de medida complejos.Frecuentemente está bajo el control directo de un procesador de E/S que puede ejecutar programas de E/S de ese modo libera a la CPU para otras tareas.El procesador de E/S también sirve de enlace de comunicación entre la E/S y los buses del sistema.Los buses serie de E/S sirven para interconectar los dispositivos de E/S relativamente lentos.



Procesador 8085A

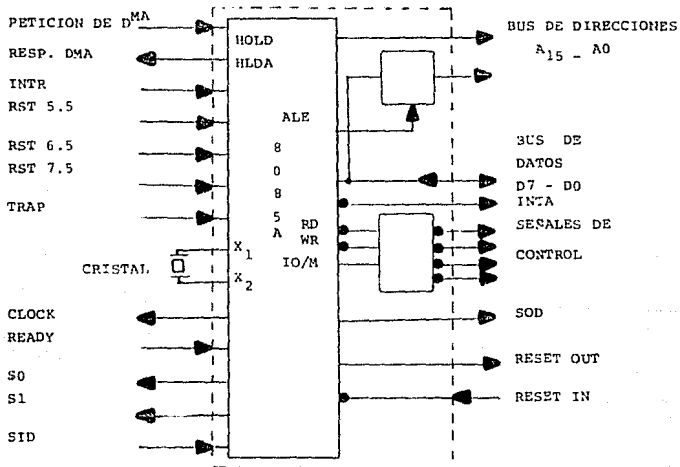


Fig. 4.11 Procesador 8085A en modo demultiplexado

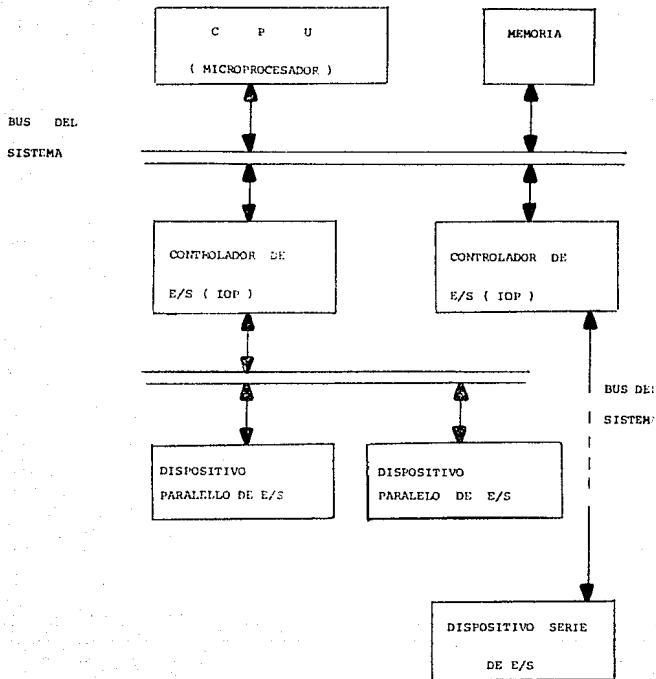


Fig.4. 12 Tipos de bus en un sistema digital

-- El bus del sistema digital

La interface más frecuentemente encontrada en un sistema digitales el bus del sistema. Es este un bus paralelo ya que transmite datos en la forma de palabras de n bits a través de un bus (sub)bus de datos de 8 bits, donde n es usualmente el tamaño de la palabra de la CPU o memoria principal. Por supuesto, también pueden transferirse a través del bus palabras menores no usando todas las líneas de datos disponibles.

Durante una operación de transmisión de datos, sólo pueden conectarse lógicamente dos unidades del sistema. Una de las unidades tiene un control global sobre el bus del sistema y frecuentemente se denomina administrador del bus o controlador del bus un controlador del bus pueden enviar órdenes de transferencia de datos a través de las líneas del control del bus, y puede situar direcciones en el bus de direcciones. El otro dispositivo conectado al bus tienen un papel más pasivo y se puede llamarse esclavo del bus. El dispositivo esclavo puede actuar como receptor de datos y decodificador de direcciones y responde a órdenes del controlador del bus; No puede sin embargo, enviar por sí mismo ordenes ni direcciones.

Tanto el controlador como el esclavo pueden actuar como fuente de datos; En muchos sistemas digitales sólo la CPU puede ser el controlador del bus; La memoria principal y los circuitos de interface de E/S actúan como esclavos del bus. Cuando los hay, los controladores DMA y los IOP pueden también actuar como controladores del bus.

Se pueden mencionar dos métodos de transferencia por el bus y son: síncrona y asíncrona, las dos soportables por buses de sistema normalizados.

-- Transmisión síncrona

Este tipo de transmisión emplea una señal de reloj, generado por el controlador del bus o sino por un circuito de reloj central; Esta señal de reloj se usa como referencia de tiempos para los pasos principales de la transferencia de datos.

Estos son la ubicación (escritura) de datos en el bus de datos por la unidad fuente, la ubicación de una dirección en el bus de direcciones por el controlador del bus, la ubicación de una dirección por el controlador del bus, la decodificación de la dirección por la unidad de destino y la lectura del dato en el bus de datos, la decodificación de la dirección por la unidad de destino y la lectura del dato en el bus de datos por las unidades de destino.

Usualmente cada unidad utiliza los flancos de subida y bajada de los pulsos de reloj como tiempo de referencia de una palabra dato se efectúa completamente en un ciclo de reloj.

Debido a que tanto la fuente como el destino deben " ver " los flancos de la señal de reloj en aproximadamente el mismo instante, un sincronismo total de la transferencia de datos sólo resulta práctico en buses cortos y para interconectar unidades con tiempos de lectura y escritura muy similares. Si la velocidad de funcionamiento de los dispositivos difiere apreciablemente, la frecuencia de reloj debe fijarse para el peor caso, por tanto limitando la velocidad a que puede ocurrir la transferencia.

-- Transferencia asíncrona

La transferencia asíncrona de datos es especialmente importante en buses de comunicación, ya que permite transferir eficientemente datos entre los dispositivos con velocidades de comunicación muy diferentes. Esta transmisión se caracteriza por el uso de pares de señales de control de conformidad (petición/listo), que se utilizan por cada unidad en comunicación para señalar la realización completa y satisfactoria de la transferencia de datos de una unidad a otra.

Retrasando la activación o desactivación de una señal de conformidad, cada dispositivo puede hacer esperar al otro indefinidamente hasta que ha completado alguna acción que afecta la operación de transferencia.

Desde el punto de vista de la interface, la mayoría de los dispositivos de E/S pueden ser funciones (en el caso de los dispositivos de entrada) o destinos (en el caso de los dispositivos de salida) pasivos de datos procesados por el microprocesador del sistema digital. El microprocesador por si mismo tiene muy poco espacio interno de memoria, de aquí que los datos deban ser transmitidos a un dispositivo de salida o a ser recibidos de un dispositivo de entrada, almacenarlos temporalmente en una zona reserva de la memoria principal.

Esta región de almacenamiento de datos de E/S es una memoria intermedia entre el microprocesador y los dispositivos de E/S, que con frecuencia difieren considerablemente en sus velocidades de transmisión de datos. La mayoría de las operaciones de E/S, por tanto, implican la transferencia de datos entre la memoria principal y los dispositivos externos de E/S.

Las operaciones de E/S son supervisadas por programas de E/S, que difieren de otros programas en que dirigen puertas de E/S además de la memoria principal. También están involucradas tareas críticas en el tiempo a causa de las cuales los programas de E/S deben interactuar con eventos externos en tiempo " REAL ", esto es, cuando realmente ocurren.

-- Operaciones de E/S

Se pueden distinguir tres metodos generales para el control de las operaciones de E/S y las cuales son:

- E/S por programas
- E/S controladas por interrupciones
- E/S por acceso directo a memoria

E/S por programa

En las E/S por programa todos los pasos de una operación de E/S requieren la ejecución de instrucciones por el microprocesador, implicando que los pasos en cuestión están continuamente bajo el control de un programa.

Este es en muchos aspectos el método de control de E/S más sencillo y más lento. Ya que frecuentemente un microprocesador no puede predecir cuando un dispositivo de E/S estará listo para participar en una operación de E/S.

Consecuentemente el microprocesador debe ejecutar periodicamente instrucciones que comprueben o "consulten" los dispositivos de E/S para determinar su estado (listo o no listo). La ejecución por el microprocesador de una rutina de consulta de estado consume tiempo y reduce la velocidad máxima a la que los datos pueden ser transferidos desde o hacia el dispositivo de E/S implicado. Un dispositivo de E/S que está listo para enviar o recibir datos es forzada a esperar hasta el próximo período de consulta antes de que el microprocesador pueda conocer la necesidad de este servicio.

El método de E/S programadas para el control de operaciones de E/S, está caracterizado por el hecho de que no hay comunicación directa desde los dispositivos de E/S hacia la CPU que puede informar a éste del estado del dispositivo de E/S. Además todos los datos de E/S pasan a través del microprocesador, lo que implica que para transferir una entre la memoria principal y el dispositivo de E/S deben ejecutarse dos o más instrucciones.

La ejecución adecuada de una instrucción de E/S requiere que el dispositivo o puerto de E/S direccionada transmite o acepte una palabra de datos dentro del ciclo de instrucción de E/S prescrito. Si el dispositivo no está listo a tiempo entonces el ciclo de instrucción puede concluir sin que tenga lugar la transferencia del dato adecuada.

E/S controladas por interrupciones

Las E/S controladas por interrupciones consisten, en que un dispositivo de E/S solicita una interrupción, enviando una señal inmediatamente al microprocesador siempre que éste se encuentre listo para enviar o recibir datos. Esta señalización va acompañada de la activación de la línea de petición de interrupción que va directamente de la interface de E/S al microprocesador y forma parte del bus del sistema.

El microprocesador responde a una petición de interrupción suspendiendo temporalmente la ejecución de su programa en curso, mientras pasa a ejecutar un programa P que ha sido previamente ubicado en memoria para administrar la interrupción en cuestión. P', que se denomina rutina de servicio o de administración de interrupción, usualmente es un programa de E/S que lee datos desde dispositivos de salida.

Los mecanismos de interrupción se dividen en dos clases basadas en la forma en que el microprocesador obtiene la dirección de comienzo de la rutina de servicio P'; Está dirección normalmente se denomina dirección de la interrupción o vector de interrupción y son :

- Interrupciones no vectoriales
- Interrupciones vectoriales

Interrupciones no vectoriales

Para las interrupciones no vectoriales, cada línea de petición de interrupción I está asociada con una dirección fija de interrupción ADR. Cuando I se activa por un dispositivo de interrupción, el microprocesador responde como sigue:

1.) Completa la ejecución de la instrucción en curso y después salva el contenido del contador de programa en memoria principal, usualmente llevando a la pila el contenido de PC. También puede salvarse otros registros de la CPU.

2.) A continuación el microprocesador construye y carga la dirección de interrupción ADR en el PC.

3.) Se vuelve a un procesamiento normal de instrucciones, causando que se ejecute la rutina de interrupción P', cuya dirección de comienzo es ADR.

Interrupciones vectoriales

El segundo tipo de control de interrupción, interrupciones vectoriales, elimina la necesidad del programa de consulta en muchas fuentes de interrupción. En su lugar el dispositivo de interrupción suministra a través del bus del sistema el vector de interrupción ADR necesitado por el microprocesador. Pueden usar líneas de control especiales para transmitir ADR necesitado por el microprocesador. Sin embargo, normalmente es más conveniente usar el bus de datos del sistema para este objetivo.

Para sincronizar la transmisión de ADR, el microprocesador envía una señal de control denominada reconocimiento de interrupción, causando que la fuente de interrupción sitúe el vector de interrupción en el bus de datos, siendo entonces leído por el microprocesador.

Como en caso de las interrupciones no vectoriales, cuando el microprocesador responde a una señal de petición de interrupción se debe saltar al contenido anterior del PC antes de cargar la dirección ADR en PC.

E/S con acceso directo a memoria (DMA)

Aunque el mecanismo de interrupción releva a el microprocesador de una tarea de comprobar el estado de los dispositivos de E/S, requiere aun que el microprocesador ejecute los programas de E/S que realmente transfieren los datos entre la memoria principal y los subsistemas de E/S.

Añadiendo una cantidad bastante modesta de circuitos de control en los circuitos de interface de E/S, éstos pueden ser dotados de la habilidad de transmitir datos directamente a o desde la memoria principal, de ese modo se evita el microprocesador. Este tipo de control de E/S se denomina acceso directo a memoria o DMA, los circuitos que realizan el DMA son llamados controladores DMA.

El objetivo de la mayoría de las operaciones de E/S es la transferencia de datos, algunas veces en grandes bloques de palabras, entre los dispositivos de E/S y la memoria principal. Tanto las E/S programadas como controladas por interrupciones requieren la participación activa del microprocesador, esto es, la ejecución de programas de transferencia de datos por el microprocesador para implantar todos los pasos de una operación de E/S.

El DMA controla todas las operaciones de E/S, liberando al microprocesador del propio proceso de transferencia de datos. En su lugar los datos son transferidos directamente entre la memoria principal y la interface denominada controlador DMA.

Un controlador DMA es capaz de actuar como director del bus del sistema y emitir órdenes de lectura y escritura a la memoria principal. También tiene la lógica de control necesaria para dirigir la transmisión de un bloque de palabras de datos a o desde un conjunto de posiciones sucesivas de memoria. El controlador DMA de transferencia de datos entonces puede hacer transferencias a la máxima velocidad permitida por el bus del sistema y la memoria principal. Esta en muchas veces mayor que la máxima velocidad obtenible en las operaciones de E/S controladas por el microprocesador.

La tabla 4.3 resume las características de las técnicas de control de E/S.

FUNCION / PARAMETRO	M E T O D O			D E C O N T R O L		D E E / S	
	E/S	PROGRAMADA	E/S	CONTROLADA POR	INTERRUPCIONES	ACCESO DIRECTO A	MEMORIA
Iniciación de operaciones de E/S	La CPU lee y comprueba el estado de los dispositivos de E/S (consulta)	El dispositivo de E/S envía una petición de interrupción a la CPU. Esta transfiere el control a una rutina de servicio P	El dispositivo de E/S envía una petición de interrupción a la CPU. Esta transfiere el control a una rutina de servicio P	El dispositivo de E/S envía una petición de interrupción a la CPU. La CPU transfiere el control a la rutina de servicio P; P inicializa el control DMA			
Transferencia de datos de E/S	La CPU ejecuta un programa de transferencia de datos PD	La CPU ejecuta un programa de transferencia de datos PD	La CPU ejecuta un programa de transferencia de datos PD	El controlador DMA transfiere bloques de datos sobre el bus del sistema			
Terminación de operaciones de E/S	Fín de ejecución de PD	Fín de ejecución de PD	Fín de ejecución de PD	La palabra-contador DMA llega a 0. El controlador DMA envía una petición de interrupción de la CPU.			
Complejidad del circuito de interfase de E/S	Menor	Baja	Baja	Moderada			
Velocidad de respuesta a una petición de transferencia de datos por el dispositivo E/S	Lenta	Rápida	Rápida	La más rápida			
Maxima velocidad de transferencia	Moderada	Moderada	Moderada	Alta			

TABLA 4.3

CAPITULO : V

DESCRIPCION FUNCIONAL DE UN CONTROL DE VELOCIDAD
CON EL MICROPROCESADOR 8085A

V.1 INTRODUCCION

El objetivo de un sistema de control de motores es gobernar uno o más de los siguientes parámetros; La velocidad de la flecha, la posición angular de la flecha, la aceleración de la flecha y la potencia mecánica de salida.

Puesto que son los parámetros mecánicos de salida del motor los que van a controlarse por medio de los parámetros eléctricos de entrada, es de vital la característica peculiar de la máquina --esto es, la relación particular en que se apoyan las cantidades eléctricas de la entrada frente a las cantidades mecánicas de salida -- en el diseño y análisis del control electrónico con microprocesadores, fig. 5.1 .

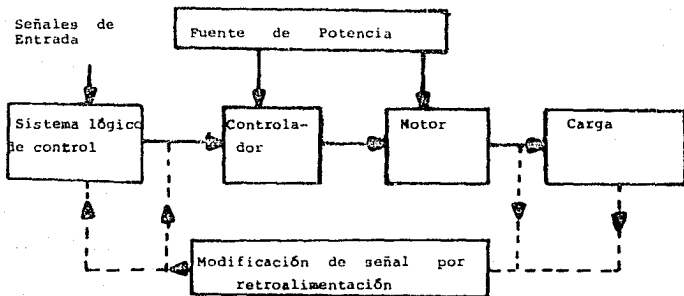


Fig. 5.1 Control electrónico de un motor eléctrico de C.D. con el microprocesador

En la mayoría de las situaciones industriales, los motores son operados directamente de las líneas de alimentación CA o CD. Es decir, los terminales de los devanados del motor están conectados directamente a las líneas que entregan la corriente eléctrica.

En estas situaciones, el funcionamiento del motor está determinado por la naturaleza de la carga mecánica conectada a su eje. En otras palabras si la carga es fácil de manejar el motor tenderá a entregar un torque relativamente pequeño y girará a alta velocidad.

Si la carga es defícil de manejar, el motor tendera a entregar un gran torque, y girará a baja velocidad. Lo importante es que el funcionamiento del motor está determinado por su carga (para un voltaje de alimentación fijo) y el operador no tiene control sobre su operación.

En situaciones industriales, hay muchas aplicaciones que requieren que el operador sea capaz de intervenir para controlar la velocidad del motor. Dicho control se puede realizar con la ayuda del microprocesador y componentes electrónicos asociados con el sistema de control de velocidad.

V.2 Control de velocidad del motor C.D. con el microprocesador 8085a

Desde la aparición de los microprocesadores en el mercado de la electrónica, está abriendo nuevos caminos y posibilidades de nuevos equipos industriales, sistemas de automatización de fabricas, control numerico de máquinas herramientas, sistemas de adquisición de datos, etc.

Los sistemas basados en microprocesadores ofrecen una gran flexibilidad para adaptar los sistemas de fabricación a la demanda del mercado continuamente cambiante y para optimizar estos sistemas cuando la producción aumenta. Como la potencia de los microprocesadores está en continua expansión y crecimiento están sustituyendo a los minicomputadores en muchas tareas en las que las potencias de éstos no se aprovechan adecuadamente.

La proliferación de aplicaciones en los últimos años es asombrosa. Actualmente se han cubierto un amplio espectro que parece no tener límites y que abarca las telecomunicaciones, la industria, productos de consumo, el comercio y la instrumentación.

Los microprocesadores han expandido las capacidades de los productos tradicionales y han creado además mercados completamente nuevos. La causa del gran impacto de los microprocesadores es sin duda el grado de elaboración que ha alcanzado la tecnología LSI. El sorprende incremento en la capacidad de la lógica y de la memoria ha ampliado considerablemente el número de aplicaciones debido a su bajo coste.

Los microprocesadores ofrecen :

- 1.) Una gran flexibilidad para resolver los problemas que se presentan en las diversas aplicaciones.
- 2.) Posibilidad de cambiar el diseño o añadir nuevas opciones modificando tan sólo los programas almacenados en la memoria ROM.
- 3.) Reducción de costos en muchas aplicaciones en las que decenas de circuitos integrados pueden reemplazarse por uno pocos chips.
- 4.) Mayor fiabilidad debido fundamentalmente a la reducción del número de componentes y por lo tanto del número de interconexiones.
- 5.) Grandes facilidades para el diagnóstico, reparación y mantenimiento del equipo.
- 6.) Disminución considerable del consumo de potencia y menos problemas de disipación de calor.

La importancia de los microprocesadores en la industria podría resumirse diciendo que en los próximos años aquellas industrias que no hayan incorporado microprocesadores en sus nuevos productos estarán dedicadas a una aplicación muy especial o terminaran de ser competitivas en el mercado. Las características claves de un microprocesador, que condicionan de un modo muy determinado su campo de aplicación son las siguientes:

- Longitud de palabra
- Arquitectura
- Velocidad
- Flexibilidad de programación
- Herramientas disponibles para el diseño
- Interrupción

Nos fijaremos especialmente en la longitud de palabra como elemento condicionante en muchas aplicaciones. Los requisitos en cuanto a longitud de palabra vienen impuestos por el número de bits en paralelo de las entradas y salidas, la precisión que se necesita en los cálculos, la longitud de los caracteres o la resolución de los convertidores analógico-digital. La elección de un microprocesador para una aplicación depende del coste, flexibilidad, características de funcionamiento y de las necesidades de aplicación.

No existe duda alguna que los microprocesadores que han aparecido en nuestro entorno tecnológico son bloques o componentes sumamente versátiles que se aplicarán en una cantidad y variedad a nuevos productos. Hoy día sabemos que las razones fundamentales de este impacto son:

- 1.) Reducción de los costes de fabricación.
- 2.) Reducción de los costes de diseño.
- 3.) Compresión del ciclo de diseño.
- 4.) Flexibilidad y rapidez de reacción ante las demandas del mercado.
- 5.) Mayor flexibilidad, mayor garantía y menor coste de mantenimiento.

El control de velocidad de un motor se puede lograr de una manera significativa empleando el uso de microprocesadores, que usando los tradicionales métodos de control de motores. Ahora bien, los microprocesadores nos permite una gran variedad de técnicas de control de motores de C.D. y C.A con un sin número de dispositivos electrónicos que nos sirven de apoyo en este control de los motores.

La velocidad variable es una necesidad que se generaliza en todos los sectores de la industria y del transporté. Es en efecto, la solución que permite el control de un proceso o de un sistema con el gasto mínimo de energía y de materia prima.

En este sentido el control electrónico de los motores eléctricos con velocidad variable aporta a los procesos industriales enormes ventajas, aumentando sus posibilidades y prestaciones, facilitando su automatización, reduciendo su mantenimiento, consumo de energía y aumentando su nivel de disponibilidad.

El motor de C.D., adaptado por su naturaleza a la velocidad variable, ha permitido, desde la aparición de los microprocesadores y de la electrónica de potencia, satisfacer la mayor parte de las necesidades. Sin embargo, es bien conocido que

ciertas industrias toleran mal al colector debido a razones de medio ambiente ó a las condiciones de explotación.

De igual manera se sabe que el colector impone ciertos límites de velocidad y potencia. Estas limitaciones han motivado el desarrollo de accionamientos con velocidad variable recurriendo a las máquinas sin colector, para algunas de las cuales la función del colector se realiza con semiconductores.

Actualmente son posibles numerosas soluciones para los accionamientos con motores de C.A. a velocidad variable. Para pequeñas y medianas potencias, el motor de inducción de jaula, alimentado por un onduador a frecuencia variable, responde bien a las necesidades. A veces también se utilizan pequeños motores sincros en sistemas de sincronización entre si. Para potencias elevadas, una utilización nueva del motor síncrono autopilotado ofrece posibilidades particulares.

Los sistemas automáticos, mecánicos, hidráulicos y neumáticos presentan diversas desventajas congénitas con relación a los sistemas electrónicos: La superioridad de estos últimos sobre las otras formas mecanizadas de la información son consecuencia del pequeño tiempo de respuesta de los circuitos electrónicos que superan a todos los demás sistemas cuyas limitaciones físicas son rigurosas.

A este campo de información es el que se acude para generar señales de control que, inyectadas en la forma adecuada al circuito de electrónica de potencia, impondrán los tiempos de conducción o de bloqueo del semiconductor y realimentarán de esta forma el conjunto del sistema.

La industria y los transportes, cada vez tienen mas necesidad de sistemas de velocidad variable de forma continua, sobre todo flexibilidad y precisión. Evidentemente, todavía se utilizan las soluciones mecánicas e hidráulicas, pero hoy en día las soluciones electrónicas, con mucho, son las más apreciadas. Su éxito es fruto de las características incomparables que le confiere la electrónica, tanto en el aspecto de la conversión de energía como en el de realimentación del sistema.

Se debe recordar que el éxito de los acontecimientos electrónicos de velocidad variable proviene de las siguientes ventajas principales: Economía de energía, flexibilidad de explotación, facilidad de automatización, mejores prestaciones, aumento de la duración de vida, mantenimiento reducido y un costo de explotación más bajo.

Un motor eléctrico está destinado a suministrar energía mecánica, por lo tanto este motor está siempre acoplado a la máquina que arrastra. La elección de un motor es de relativa facilidad cuando se trata de un accionamiento cuya velocidad permanece senciblemente constante ya que en este caso suele utilizarse un motor asíncrono de jaula o veces un motor síncrono.

El control de velocidad para un motor de C.D. en base a el microprocesador 8085A se lleva a cabo de la siguiente manera. El sistema consiste de 3 partes (fig. 5.2).

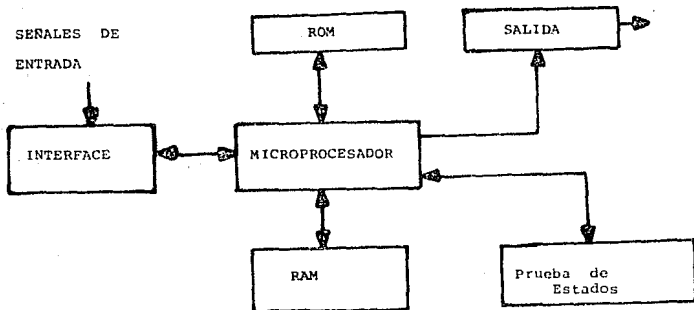


Fig. 5.2 Sistema de control con microprocesador para un motor C.D.

La primera parte que es la entrada a nuestro sistema nos permite elegir varias opciones entre las que podemos mencionar.

- Arranque
 - Parar
 - Movimiento hacia la derecha
 - Movimiento hacia la izquierda
- entre otras funciones mediante una entrada binaria.

Esta parte registra las condiciones que guarda cada uno de los tramos de la vía, así como las condiciones que tienen cada uno de los conmutadores de vía a los que suministra al módulo del control lógico.

La segunda parte de nuestro sistema consiste de la etapa principal de control y su funcionamiento consiste de:

Es en esta parte donde se realiza el gobierno de nuestro motor y en base a las entradas (dirección destino, dirección origen, condiciones de los conmutadores de vía) realiza una serie de toma de decisiones, que nos permitan desplazar o dar el pulso de arranque a nuestro motor. Sin olvidar las siguientes acciones por realizar:

1.) Habilitación del puerto de entrada y deshabilitación del puerto de salida, esto nos permite tener siempre habilitada la entrada a nuestro sistema y además de colocar todo nuestro sistema en condiciones iniciales.

2.) Realiza una subrutina de "chequeo" para poder sensar la función a realizar. Para poder introducir un dato se tiene que habilitar el puerto bidireccional de datos e indicarle al microprocesador que se le va a introducir un dato "función".

3.) Una vez introducido el dato "función" se deshabilitan los puertos de entrada/salida, el microprocesador realiza una serie de decisiones que nos permiten con certeza que tipo de función es la que se va a realizar.

4.) Una vez ya defina la función a realizar por el microprocesador realiza la siguiente secuencia, habilita el puerto de salida (deshabilita el puerto de entrada) y manda un pulso a través del puerto de salida a través de los bits 1-0 de este puerto.

5.) En la salida situada después del puerto de salida, tenemos una etapa de nuestro sistema que nos permite capturar el bit de arranque que viene del puerto de salida mediante los bits 1-0, estos dos bits del puerto de salida nos permiten el encendido o apagado de nuestra última etapa, la etapa de potencia.

Aquí hay que tener ciertas precauciones de lo contrario nuestro sistema puede sufrir grandes daños irreparables, esto es debido a que el acoplo entre estas dos etapas, la etapa de control y la etapa de potencia necesitan un aislamiento entre ellas ya que la etapa de control maneja voltajes y corrientes relativamente pequeños comparados con los voltajes y corrientes que maneja la etapa de potencia, el acoplo entre estas dos etapas se realiza utilizando opto-acopladores.

La tercera parte de nuestro sistema de control realiza las siguientes funciones:

-- Recibe diferentes tipos de señales que nos permiten.

Dar el pulso de arranque/detención para el motor.

Elegir el sentido de rotación del motor.

Habilitar los conmutadores de vía.

Por último estas señales son introducidas al módulo de entrada.

Para el accionamiento de un motor de C.D., se tiene que realizar la conversión de C.A a C.D para aplicarlo a los bornes del motor de C.D.

V.3 PRINCIPIO DEL MOTOR

Consideremos un cilindro fig. 5.3 capaz de girar alrededor de su eje entre los polos de un electroimán y provisto de ranuras dispuestas en el sentido de las generatrices de aquel, en las que van colocados conductores tales como AB. Supongamos estos conductores conectados entre sí y también a una fuente exterior, de forma que sean recorridos por una corriente eléctrica. Los denominaremos conductores activos. Observemos que:

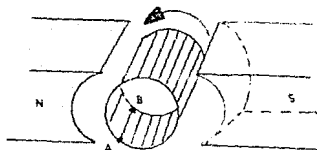


Fig. 5.3

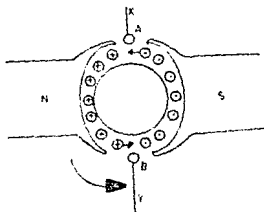


Fig. 5.4

a.) Las líneas de inducción perpendiculares al hierro del cilindro son radiales, es decir, están dirigidos hacia el cilindro. Son pues, perpendiculares a los conductores activos en todas sus posiciones; Por consiguiente, las fuerzas electromagnéticas ejercidas sobre los conductores son tangenciales.

b.) Para que el sentido de la fuerza electromagnética a la que está sometido un conductor activo sea el mismo durante una vuelta completa del cilindro, es necesario que el sentido relativo del campo y de la corriente en el conductor activo permanezca invariable durante una vuelta completa.

Si la máquina cuyo dibujo se muestra en la fig. 5.4 se realiza la inversión de sentido de la corriente en un conductor en el momento en que atraviesa la línea neutra XY (línea según la cual invierte el sentido del campo en relación con el conductor activo), la fuerza electromagnética que se ejerce sobre este conductor tiene el sentido y el conjunto de fuerzas electromagnéticas ejercidas sobre todos los conductores engendra un par que producirá en el cilindro un movimiento continuo de rotación.

La máquina esquemáticamente representada que transforma así energía eléctrica en mecánica, se denomina motor eléctrico.

V.4 FUNCIONAMIENTO DEL MOTOR DE C.D.

El motor de corriente continua está representado esquemáticamente en la fig. 5.5 .El inducido A, es un cilindro de acero dulce laminado para hacer mínimas las pérdidas por corriente de Foucault y montado sobre un árbol que puede girar alrededor de su eje. Alojados en ranuras longitudinales prácticas sobre la superficie del inducido hay cierto número de conductores de cobre, C. La corriente entra y sale en estos conductores mediante escobillas de grafito que hacen contacto con un cilindro segmentado dispuesto sobre el eje, llamado colector.

El colector es un dispositivo automático de conmutación que mantiene las corrientes en los conductores en los sentidos que muestra la fig. 5.5 , cualquiera que sea la posición del inducido.

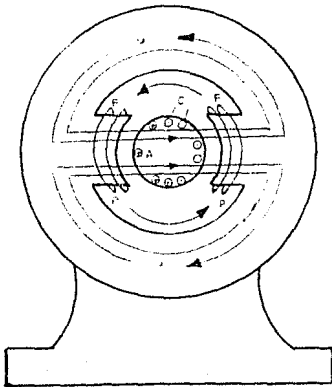


Fig. 5.5 Esquema de un motor de C.D.

La corriente de las bobinas de excitación F, F crea un campo magnético que, a causa de la forma de las piezas polares P, P es aproximadamente radial en el espacio comprendido entre ellas y el inducido. La carcasa M, M del motor proporciona una trayectoria para el campo magnético, de pequeña reluctancia.

Algunas de las líneas de inducción se han indicado en la fig. 5.5 por líneas finas. La aplicación de la regla de la mano izquierda demuestra que, con los sentidos relativos del campo y de la corriente en el inducido que se han dibujado, la fuerza lateral a que está sometido cada conductor es tal que origina un momento sobre el inducido de sentido contrario al de las agujas del reloj. Cuando el motor gira, el inducido produce energía mecánica a expensas de la energía eléctrica. Por consiguiente, ha de engendrar una fuerza electromotriz, esta es una fem inducida; Las bobinas de excitación, por el contrario son fijas y se comportan como una resistencia pura.

Si el inducido y las bobinas de excitación (inductor) se conectan en serie, se tiene un motor serie; Si se conectan en paralelo, un motor shunt. En algunos motores, las bobinas de excitación tienen dos devanados, uno serie con el inducido y el otro en paralelo con él motor se denomina entonces compound. Los tres circuitos correspondientes están representados en la fig. 5.6.

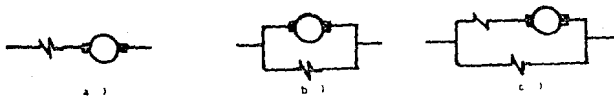


Fig. 5.6 Tipos de conexión de un motor serie:
a.)serie, b.)shunt y c.)Compound

Las cuatro posibilidades de proveer la excitación de la máquina (motor) se muestran en la fig. 5.7. Ahora, sin embargo se dibujan específicamente para motores, indicando sobre ellas las relaciones de la ley de Kirchhoff entre la corriente de línea I_L , la corriente de inducido I_a y la corriente de campo I_f .

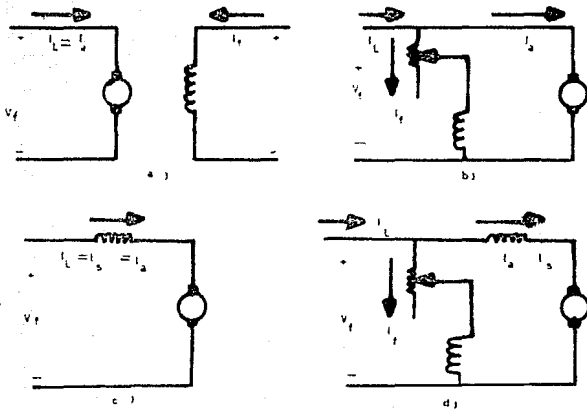


Fig. 5.7 Tipos de motores de C.D.

- a.) Motor excitado independientemente
- b.) Motor en derivación
- c.) Motor en serie
- d.) Motor compuesto

Desde éste punto de vista, junto con sus ecuaciones respectivas ec. 1 o 4 y la curva de magnetización, ec. 7, 8 y 9 pueden obtenerse las características principales del motor.

$$E_a = \frac{z \cdot p \cdot \phi \cdot n}{a \cdot 60} \text{ [v]} \text{ ----- (1)} \quad \text{si } W_m = \frac{2 \cdot \pi \cdot n}{60} \text{ ----- (2)}$$

de [2] y [1]

$$E_a = \frac{z \cdot p \cdot \phi \cdot W_m}{a \cdot 2 \cdot \pi} \text{ ----- (3)} \quad \text{ó } E_a = K_a \cdot \phi \cdot W_m \text{ ----- (4)}$$

donde:

$K_a \Rightarrow$ es una constante para cualquier máquina que se determina a partir del diseño del arrollamiento.

$$K_a = \frac{z \cdot p}{2 \cdot \pi \cdot a} \text{ ----- (5)}$$

La ec. 4 muestra que la FEM del inducido es directamente proporcional a la velocidad o a la velocidad angular y al flujo por polo.

Como se indica en la fig. 5.8 se puede representar un motor. El voltaje generado E_a es una FCEM que se opone a la corriente, por consiguiente:

$$V_t = E_a + I_a R_a \text{ --- (6)}$$

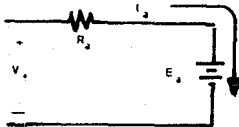


Fig. 5.8 Representación eléctrica de un motor eléctrico de C.D. y E_a es menor que el voltaje V_t en las terminales del inducido.

La potencia interna del inducido es:

$$P_m = E_a I_a \quad \text{[W]} \text{ ----- (7)}$$

Esta es la potencia electromagnética que resulta del proceso de conversión de energía.

En un motor la potencia electromagnética es mayor que en la salida mecánica en el eje en la cantidad correspondiente a las pérdidas rotacionales o inferior que la entrada eléctrica del motor en la cantidad correspondiente a las pérdidas del cobre.

El par electromagnético T_m que corresponde a la potencia P_m a la velocidad n de funcionamiento en revoluciones por minuto es, según la relación común de par-potencia de la mecánica:

$$T_m = \frac{60 P_m}{2\pi n} \quad [N-m] \quad \text{-----} (8) \quad \text{de} \quad (8)$$

$$T_m = \frac{60 E_a I_a}{2\pi n} \quad [N-m] \quad \text{-----} (9) \quad \text{al sustituir} \quad (1) \quad \text{en} \quad (2)$$

$$T_m = K_a I_a \phi \quad [N-m] \quad \text{-----} (10)$$

La forma de la expresión correspondiente a la ec. (9) es conveniente para los cálculos. Sin embargo, la ec. (10) es útil frecuentemente como base de los razonamientos cualitativos referentes al funcionamiento del motor. Afirma que el par electromagnético es directamente proporcional al flujo del campo y a la corriente del inducido.

La discusión cualitativa del funcionamiento de la máquina a veces implica despreocuparse de todas las pérdidas de la máquina para permitir la concentración en los aspectos principales. Por consiguiente, considere un motor C.D. idealizado con la resistencia del inducido igual a cero, sin pérdidas del cobre en el campo y sin pérdidas rotacionales.

La diferencia en las conexiones de los motores en derivación y excitado independientemente es asunto de detalles. La misma fuente se aplica al campo y al inducido del motor en derivación. Para el motor excitado independientemente se emplean dos fuentes diferentes, de tal forma que los dos voltajes aplicados pueden variar independientemente. Esta última característica es de gran importancia para obtener un rango amplio de control de velocidad.

En el motor en derivación, la corriente de campo y el voltaje en terminales están relacionados directamente por medio de la ley de ohm. Con un voltaje en terminales constante, la excitación del campo, por lo tanto, permanecen constantes a menos que se ajuste a un reostato en el campo del motor. La característica normal de un motor en derivación con V_t y R_f constantes muestra una ligera disminución en la velocidad al aumentar la carga, tal como se indica la fig. 5.9 .

Esta disminución resulta del aumento de la caída $I_a R_a$, por lo tanto, de un E_a inferior cuando se aumenta la carga. Una ventaja importante de los motores en derivación es la facilidad relativa con que puede obtenerse el control de velocidad.

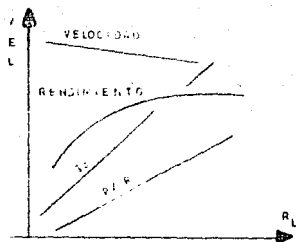


Fig. 5.9 Características eléctricas de los motores de C.D.

Quando en un motor está presente un campo serie, la FMM del campo dependen necesariamente de la corriente de inducido y por lo tanto, de la carga del motor. En el motor serie, un aumento en la carga implica aumentos en la corriente de inducido y en el flujo (siempre y cuando el hierro no está saturado completamente). Debido a que el flujo aumenta con la carga, la velocidad disminuye para mantener el equilibrio entre el voltaje aplicado y la PCEM; Además, el aumento de la corriente de campo producido por el aumento en el par es menor que en los motores en derivación debido al incremento en el flujo Φ .

Por lo tanto el motor en serie es un motor de velocidad variable con una característica velocidad-carga marcadamente descendente del tipo de la curva punteada en la fig. 5.9. Para aplicaciones que requieren grandes sobrecargas de par, esta característica es particularmente ventajosa debido a que las sobrecargas de potencia correspondientes se mantienen en valores más razonables con las caídas de velocidad asociadas. Del aumento en el flujo con el aumento de la corriente de inducido se obtienen las características de arranque más favorables.

Los motores en serie siempre deben funcionar con carga, a no ser que se hayan tomado las precauciones necesarias en el circuito de control para impedir las velocidades destructivas de vacío.

En el motor compuesto, el campo serie puede conectarse acumulativamente, de tal forma que su FMM se suma a la del campo en derivación o diferencialmente, de tal forma que se opone a la conexión diferencial es muy poco usada, como se muestra por medio de la curva a trazos de la fig. 5.9, un motor compuesto con conexión acumulativa tiene una característica velocidad-carga intermedia entre la del motor en derivación y la del motor en serie y la caída de la velocidad con la carga depende del número relativo de espiras en los campos en derivación y en serie. No tiene la desventaja de una velocidad muy alta para cargas ligeras del motor en serie, pero conserva considerablemente las ventajas de la excitación en serie.

V.5 TIPOS DE MOTORES

V.5.1 Motor shunt

En un motor shunt su circuito inductor se une directamente a la línea de alimentación y en derivación con el inducido. En serie con el inductor se dispone generalmente un reóstato de campo. Si se aumenta el par resistente en cualquier aparato rotatorio, las reacciones resultantes deben ser tales que provoque un aumento del par desarrollado.

Si se aplica una carga al motor, éste tiende inmediatamente a moderar su marcha. En el motor shunt, el flujo inductor permanece prácticamente constante y la reducción de velocidad disminuye la FCEM. Si la FCEM decrece, afluye más corriente al inducido hasta que su aumento produce un par suficiente para equilibrar la demanda correspondiente al aumento de carga. Por lo tanto, el motor shunt está siempre en condiciones de equilibrio estable, puesto que ante las variaciones de la carga reacciona siempre adaptando la potencia absorbida a dichas variaciones. La adaptación de un motor a una utilización definida la determinan casi exclusivamente dos factores: la variación del par con la carga y la variación de la velocidad con la carga.

En el motor shunt, el flujo inductor es prácticamente constante. Por lo tanto, según la siguiente fórmula:

$$T = ktI_a \phi \quad \text{-----} (11)$$

el par electromagnético variará casi en proporción directa con la intensidad de la corriente en el inducido. La velocidad de un motor varía de acuerdo con la siguiente fórmula:

$$S = K V - I_a R_a \quad \text{-----} (12)$$

En los motores shunt, K , V , R_a y ϕ son sensiblemente constantes. Por lo tanto, la única variable es I_a . Cuando la carga del motor aumenta, I_a decrece y el numerador de la fracción decrece. En general, el denominador varía muy poco. La velocidad del motor disminuirá al aumentar la carga.

Como $I_a R_a$ es ordinariamente del 2 al 6% de V , el porcentaje de reducción de velocidad del motor es del mismo orden de magnitud. Por este motivo se considera que el motor shunt es de velocidad constante, aun cuando la velocidad disminuye ligeramente con el aumento de la carga.

Debido a la reacción del inducido, el flujo ϕ decrece ordinariamente un poco cuando crece la carga y esto tiende a aumentar la velocidad constante. Excepcionalmente, la reacción del inducido debería ser suficientemente grande para que la característica de velocidad fuera ascendente al aumentar la carga. En los motores de corriente continua y especialmente los de

velocidad prácticamente constante, como los shunt, la variación de velocidad producida cuando funciona en carga y en vacío es una base de criterio para definir sus características de funcionamiento, en estos motores se define específicamente el cambio de velocidad como "regulación" y se da en tanto por ciento de la velocidad nominal.

La regulación de velocidad en un motor de C.D. es la variación de velocidad que se produce cuando la carga se reduce desde el valor nominal a cero, expresado en tanto por ciento de la velocidad nominal. La regulación debe determinarse a la tensión nominal y a la temperatura final que se alcanza en funcionamiento con la carga nominal para el tiempo establecido.

La regulación de un motor de C.D. se refiere a la variación de la velocidad en vacío con respecto a la obtenida con una carga invariable y no al caso de los períodos transitorios en los que se producen amplias fluctuaciones de velocidad para rápidos cambios de carga. La regulación de velocidad es una medida de la capacidad del motor para mantener la velocidad cuando se le aplica la carga.

La fig. 5.10 indica las 4 curvas características esenciales de un motor shunt, estas son: Par, Velocidad, Corriente y rendimiento, todas ellas en función de la potencia útil.

Se puede observar que el motor shunt tiene una velocidad en vacío bien definida, por lo tanto, no se acelerará al desconectar la carga, siempre que el circuito inductor permanezca cerrado.

Los motores shunt se emplean cuando se requiere una velocidad prácticamente constante. No hay ningún tipo de motor que se acomode mejor que el motor shunt a la variación de la velocidad. Por consiguiente, se emplea también en los casos en que se requiere ajustar la velocidad, se la puede llevar al valor que se desea y luego mantenerla invariable, con este valor, al variar la carga. Así, cuando se ha fijado la velocidad necesaria para determinado trabajo, esta debe mantenerse rigurosamente constante.

El par es proporcional al producto de la intensidad de la corriente por el flujo. El motor arranca con la excitación al máximo. Por consiguiente, en el arranque puede el motor desarrollar el par de plena carga y hasta el 150 % de éste, siempre que el reostato de arranque pueda soportar la intensidad de corriente exigida. Cuando los motores arrancan con carga, es mejor servirse de un combinador que de un reostato de arranque. En los combinadores las resistencias están previstas para el paso continuo de las corrientes de plena carga y de sobrecarga.

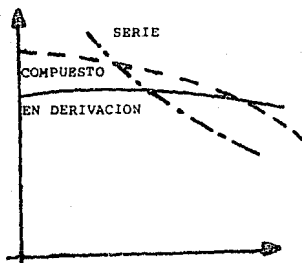


Fig. 5.10 Características de un motor shunt

V.5.2 Motor serie

En los motores con excitación en serie, el inductor está conectado en serie con el inducido como se muestra en la fig.5.11. El inductor tienen un número relativamente pequeño de espiras de hilo, que debe ser suficiente para que pase por él la corriente de régimen que requiere el inducido. En los motores serie, el flujo Φ depende totalmente de la intensidad de la corriente de inducido.

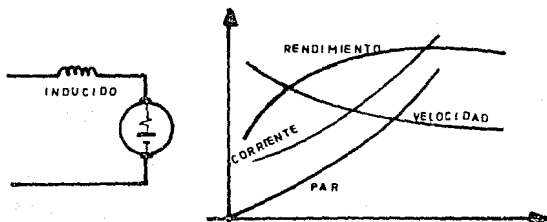


Fig. 5.11 Motor serie
a) Símbolo b.) Características

Si el hierro del motor se mantiene a saturación moderada, el flujo será casi directamente proporcional a dicha intensidad. Por lo tanto, la expresión del par $T = k\Phi I$ puede escribirse:

$$T = Kt' I^2 \text{ ----- (13)}$$

si se supone que es proporcional a I , siendo Kt' una constante.

El par es pues, proporcional al cuadrado de la intensidad de la corriente en el inducido, como se muestra en la fig. 5.10b. Puede observarse que cuando la corriente es de intensidad superior a 60 amperios, el par aumenta rápidamente. Esta característica del motor serie hace su empleo muy conveniente cuando se requiere un gran aumento del par para un aumento moderado de la intensidad de la corriente. En la práctica la saturación y la reacción del inducido tienden a oponerse a que el par aumente con la misma rapidez que el cuadrado de la intensidad de la corriente.

Cuando se aplica la fórmula (12) al motor serie la velocidad resulta ser

$$S = k \frac{V - I_a (R_a + R_s)}{\Phi} \text{ ----- (14)}$$

en esta expresión, K es una constante, V la tensión entre los terminales, I_a la intensidad de la corriente en el motor, R_a la resistencia del inducido, R_s la resistencia del inductor serie y el flujo Φ , que penetra en la inductancia desde el polo N.

La resistencia del inductor serie, se suma, en este caso, a la resistencia del inducido para dar la resistencia total del motor. Tanto la intensidad de la corriente I_a como el flujo Φ , varían con la carga.

Al crecer la carga la caída de tensión en el inductor y en el inducido aumentan, siendo dicha caída proporcional a la intensidad de la corriente. Por lo tanto, la FCEM y el numerador de la ec. 10 disminuyen, con lo que la velocidad tiende a decrecer, aunque, como en el motor shunt, el porcentaje de disminución debido a este factor es muy reducido. No obstante el aumento del flujo Φ en el denominador, es casi directamente proporcional al de la intensidad de la corriente.

Resulta de ello que si se aumenta la intensidad se reduce el numerador y aumenta el denominador de la ec. 10, y la velocidad del motor disminuirá cuando aumenta la carga. La velocidad es inversamente proporcional al flujo Φ y una determinada variación de Φ , da origen a la misma variación proporcional de la velocidad.

Cuando el par resistente aumenta las reacciones que se producen son las siguientes: Debe reducirse la velocidad, por lo menos momentáneamente, puesto que el par resistente supera el valor del par electromagnético y por el momento ni la corriente ni el flujo han variado. Con ello se reduce la FCEM y aumenta la diferencia con la tensión entre los terminales. Por consiguiente, la intensidad de la corriente crece y produce un aumento del flujo y del par electromagnético.

Los valores de la velocidad y la intensidad de la corriente se reajustarán por sí mismos hasta que el par electromagnético sea igual a la suma del par resistente y del par de fuerzas pasivas y pérdidas y no se conseguirá el equilibrio. Como el par electromagnético crece aproximadamente como el cuadrado de la intensidad, el aumento de ésta y el par correspondiente es menor que el motor shunt.

Cuando el par resistente decrece, el inducido se acelera, momentáneamente por lo menos, aumenta la FCEM puesto que el primer instante la corriente y el flujo no sufren variación. En consecuencia la intensidad de la corriente y el flujo inductor decrecerán y también lo hará el par electromagnético.

El rendimiento crece rápidamente al principio alcanza un máximo y luego decrece, lo que debe al hecho de que para pequeñas cargas, las resistencias pasivas y las pérdidas del hierro son grandes en comparación con la carga y la influencia relativa de estas pérdidas se reduce al aumentar la carga.

Las pérdidas en el inductor y el inducido varían con el cuadrado de la intensidad de la corriente $I^2 R$, de manera que crecen rápidamente con la carga. El rendimiento máximo corresponde al momento en que las pérdidas por resistencia pasiva y en el hierro son prácticamente iguales a las pérdidas en el cobre.

V.5.3 Motor compound

Un motor shunt puede completarse con un arrollamiento en serie, este arrollamiento puede conectarse de forma que una acción a la del arrollamiento shunt en cuyo caso se dice que el motor es compound acumulativo; Bien pueden las acciones de los dos arrollamientos estar en oposición cuyo caso se dice que el motor es compound diferencial.

Las características del sistema compound acumulativo son una combinación de las serie y shunt. Cuando se aplica la carga, las espiras serie producen un aumento del flujo dando lugar a que el par, para una intensidad de corriente dada, sea mayor que el correspondería a un motor shunt. Estas características se representan en la fig. 5.12 en la que se indican los valores del par electromagnético o par desarrollado por el inductor.

El motor acumulativo desarrolla un par elevado cuando se aumenta súbitamente la carga. Tiene también una velocidad definida cuando funciona en vacío y no pelagra que se dispare cuando se suprime la carga. La aplicación del motor compound acumulativo se encuentra principalmente en el accionamiento de máquinas destinadas a soportar súbitamente cargas intensas. Este tipo de motor se emplea también cuando se requiere un par de arranque elevado y no se puede utilizar adecuadamente un motor serie normal.

Otra ventaja del motor compound acumulativo cuando se presentan cargas bruscas, es que automáticamente experimenta una sensible disminución de velocidad. Como resultado de ello, una gran parte de la energía cinética almacenada queda disponible para cubrir una parte del aumento de carga con lo que se reduce la sobrecarga eléctrica del motor.

En el motor compound diferencial el arrollamiento en serie del inductor genera un campo opuesto al producido en el arrollamiento en shunt, de manera que el flujo decrece al aplicar la carga, dando por resultado que la velocidad se mantenga prácticamente constante o contendencia a aumentar cuando la carga incrementa. Esta característica de velocidad se obtiene a expensas de la correlativa disminución en el aumento del par al aumentar la carga.

Estos motores se emplean en los casos en que se desea una velocidad constante prácticamente. Como que los motores shunt ya tienen una velocidad prácticamente constante se presentan pocas ocasiones de emplear el compound diferencial. Además, como el campo se debilita al aumentar la carga, la velocidad tiene tendencia a ser inestable y el motor a acelerarse excesivamente. Al poner en marcha un compound diferencial se debe poner en corto circuito el arrollamiento en serie, porque la corriente de arranque es intensa en este arrollamiento, puede ser suficiente para equilibrar los amperios-vuelta del shunt y provocar el arranque del motor en la dirección contraria normal.

La fig. 5.12 representa las curvas características del par y de la velocidad de un motor compound diferencial.

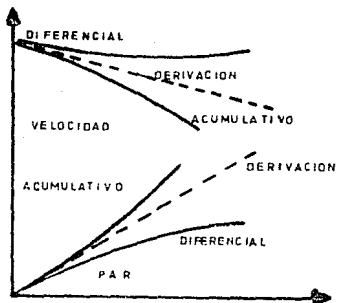


Fig. 5.12 Características eléctricas de un motor compound

Para invertir el sentido de rotación de un motor debe invertirse solamente el flujo del inducido o del inductor. Si se invierten los dos, el sentido de rotación continúa siendo el mismo. De aquí que por lo que se refiere al sentido de rotación del motor es indiferente la polaridad de los conductores de la línea de alimentación.

V.6 CONTROL DE VELOCIDAD DEL MOTOR C.D.

Al combinar las ecs. (4) , (7) y encontrar ω_m , se ve que la velocidad en radianes mecánicos por segundo se expresa por medio de:

$$\omega_m = \frac{V_t - I_a R_a}{\phi K_a} \quad \text{----- (15)}$$

donde

V_t => es el voltaje en terminales del inducido

I_a => la corriente del inducido

R_a => la resistencia del inducido

=> el flujo por polo

K_a una constante fija que da el diseño del inducido

Por otra parte, la velocidad es revoluciones por minuto es

$$n = \frac{60 V_t - I_a R_a}{2\pi \phi K_a} \quad \text{----- (16)}$$

Las ecs. (15), (16) muestran que el control de velocidad puede obtenerse al ajustar cualquiera de las tres cantidades siguientes: Ra , ϕ y Vt.

V.6.1 CONTROL POR RESISTENCIA DEL INDUCIDO

La velocidad puede reducirse colocado resistencia externa en serie, con el circuito del inducido. Puede usarse con motores en serie, en derivación y compuestos. Para los dos últimos tipos, la resistencia en serie debe conectarse entre el campo en derivación y el inducido y no entre la línea y el motor. Es el método común de control de velocidad para los motores en serie.

Para un valor fijo de la resistencia en serie, la velocidad varía ampliamente con la carga puesto que depende de la caída en serie, la velocidad varía ampliamente con la carga puesto que depende de la caída de voltaje en esta resistencia y por lo tanto de la corriente de inducido que requiere la carga. También la pérdida de potencia en la resistencia externa es grande especialmente cuando la velocidad se reduce considerablemente. Por otra parte el equipo de control es relativamente económico. El método de resistencia en serie se usa frecuentemente en períodos de duración corta o desaceleración intermitentes.

V.6.2 VOLTAJE DE INDUCIDO CONSTANTE, EXCITACION DE CAMPO CONTROLADA

Este es un método sencillo y satisfactorio para el control de la velocidad de un motor en derivación o compuesto en un rango de velocidades de 4 ó 5 a 1, aproximadamente. La excitación de campo se controla mediante la variación del voltaje aplicado al circuito de campo o mediante una resistencia ajustable, en serie con el campo en derivación.

La pérdida de potencia en la resistencia es relativamente poca debido a que la corriente de campo es pequeña comparada con la corriente del inducido. El par máximo permisible se limita de acuerdo con la corriente del inducido.

El par máximo permisible se limita mediante la saturación con la corriente del inducido y el flujo máximo permisible. Este último se limita mediante la saturación magnética o el calentamiento del arrollamiento del campo. La velocidad máxima se determina por medio de la conmutación y las consideraciones de tipo mecánico.

V.6.3 CORRIENTE DE CAMPO CONSTANTE, VOLTAJE DE INDUCIDO CONTROLADO

Este sistema es el que más se emplea cuando se requiere un control de velocidad manual o automático y en ambas direcciones de rotación. El voltaje de inducido controlado puede obtenerse mediante rectificadores controlados que reciben la potencia de entrada de una fuente de C.A. o provenir de un generador C.D. excitado independientemente.

CAPITULO : VI

DISENO DE UN CONTROL DE VELOCIDAD DE UN MOTOR
ELECTRICO DE C.D. CON EL MICROPROCESADOR 8085A

VI.1 Introducción

El uso de nuevas técnicas en el diseño de sistemas digitales basados en microprocesadores y con la aparición de nuevos dispositivos electrónicos, permiten una mejor alternativa en la solución de aquellas aplicaciones industriales que facilitan las tareas humanas.

La introducción del microprocesador ha significado una verdadera revolución en el campo del diseño industrial y es de prever un mayor impacto todavía con el nuevo desarrollo de nuevos sistemas más potentes y la reducción de costos de fabricación debido a la rápida evolución tecnológica en este campo.

El microprocesador aparece como se menciona anteriormente, en la cuarta generación de ordenadores, marcada por la utilización de tecnologías de alta escala de integración (LSI), que han hecho posible el desarrollo de los circuitos integrados que componen un sistema digital basado en microprocesadores.

La utilización de sistemas digitales basados en microprocesadores desplaza a la lógica cableada y a sistemas programables más complejos hacia otros márgenes de utilización.

Por otra parte se debe de tener presente que en ésta aplicación y en cualquier otra que intervenga un motor eléctrico, éste desempeña un papel de fiel servidor de las cargas a las cuales suministran energía y en cuanto sea práctica y económicamente factible, deben de satisfacer espontáneamente todas las necesidades de energía del uso.

La potencia o el par que suministra un motor eléctrico al equipo mecánico que impulsa se determina principalmente por medio de las necesidades del equipo. La velocidad de funcionamiento las determina el punto en el cual la potencia o el par que el motor puede suministrar electromagnéticamente es igual a la potencia o el par que la carga puede absorber mecánicamente.

Las necesidades de potencia o el par del motor dependen de las condiciones del equipo impulsado. Las necesidades de algunas cargas de motor se satisfacen por medio de una velocidad que permanece aproximadamente constante a medida que la carga varía. En casi todas las aplicaciones, el par que el motor es capaz de suministrar en el arranque, el par máximo que puede proporcionar en funcionamiento y las necesidades de corriente son características de gran importancia y confrecuencia de importancia decisiva.

VI.2 Planteamiento del problema

En este capítulo se desea controlar el movimiento de un tren (ver fig. 6.1), a lo largo de una trayectoria determinada (vía), así como también la señalización que gobierna los desplazamientos del tren a lo largo de esta trayectoria, bajo las siguientes condiciones:

-- EL vehículo móvil (tren) debe de viajar a lo largo de toda la vía.

-- El vehículo móvil debe de estacionarse (detenerse) por un tiempo de 60 seg. en cada estación y en caso de que sea necesario este tiempo se puede prolongar, mediante una petición de interrupción (TIPEXT).

-- El control del vehículo debe sentir:

Todas las condiciones para poder realizar un posible desplazamiento. Si alguna de estas condiciones que determinan el posible desplazamiento no se llegase a cumplir, el vehículo móvil no podrá realizar ningún desplazamiento, originando que el tren permanezca en su lugar de origen, hasta que se determine una nueva trayectoria.

-- Antes y después de cada movimiento que realice el vehículo móvil, el controlador digital debe de preguntar por las condiciones de los sensores y la ruta a seguir.

-- EL vehículo móvil deberá detenerse dentro de los diez seg. siguientes a la recepción de una entrada de sensor del riel para evitar pasarse del andén.

EL objetivo de diseñar un sistema digital basado en microprocesadores, es definir una estructura que tenga un comportamiento específico y satisfaga ciertas restricciones de coste y prestaciones.

Cuando el número de componentes básicos necesarios para construir un sistema digital basado en microprocesadores es grande, el proceso de diseño es generalmente descompuesto en varias tareas independientes y especializadas. Estas tareas son distinguibles por los tipos de componentes con que se traten y sus niveles de complejidad que los componen.

La metodología empleada en el presente sistema digital basado en microprocesadores, es la comunemente conocida como "top-up" (de arriba a bajo) y establece lo siguiente:

1.) Definir claramente en su totalidad el problema.

Tener una idea general del problema y tener presente todas las variables que influyen en forma directa e indirectamente en la solución del sistema digital.

2.) Dividir el sistema digital en función.

Sub-dividir el sistema digital en sub-componentes, los cuales tienen una función directa a nuestro sistema ya que estos sub-componentes se encargan de una parte de la solución de nuestro sistema, es bien importante definir y tener presente las relaciones que guardan entre c/u de estos subcomponentes entre sí.

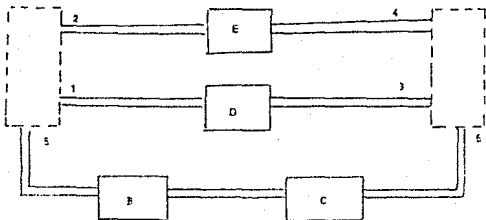


Fig. 6.1 Trayectoria del vehiculo móvil.

Tomando en consideración esta técnica nuestro sistema consiste de las siguientes partes :

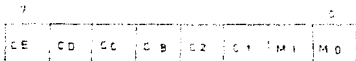
1. Hardware
 - a. Módulo de controlador digital
 - b. Módulo cambiador de vía
 - c. Módulo de Potencia
 - d. Módulo de sensores
2. Software
 - a. Programación
 - b. Subrutinas

VI.2.1 Descripción del sistema motrix

El sistema digital que gobierna el movimiento de un vehículo móvil a lo largo de una trayectoria (vía), se explica de la siguiente manera, auxiliandonos del diagrama de flujo de la fig. 6.2 y de las 5 palabras de control que son recibidas por el microprocesador a través de los 5 puertos paralelo de interface que posee el controlador digital.

En esta aplicación se utilizan 5 puertos de interface en paralelo y cada uno de estos 5 puertos contiene una única palabra de control. De estos 5 puertos, 3 puertos de interface se utilizan como entradas al controlador digital designados por PPI-B, PPI-D Y PPI-E. Los otros 2 puertos se utilizan como salidas del controlador digital y son designados por PPI-A y PPI-C.

Para el puerto paralelo de interface A (PPI - A) su palabra de control se muestra en la sig. fig. 6.3.



Bit7 -- Bit4 => CE, CD, CC y CB => Coloca las condiciones iniciales

"1" => Estación ocupada "0" => estación desocupada

Bit3 - Bit2 => C2 y C1 => conmutadores de vía

C1=> "0" cierre de vía (unión de la estación D a la estación B).

C2=> "0" Cierre de vía (unión de la estación C a la estación D).

C1=> "1" Cierre de vía (unión de la estación E a la estación B).

C2=> "1" Cierre de vía (unión de la estación C a la estación E)

Bit1 - Bit0 => M1 y M0 Condiciones de velocidad

Elige una velocidad determinada bajo las siguientes condiciones

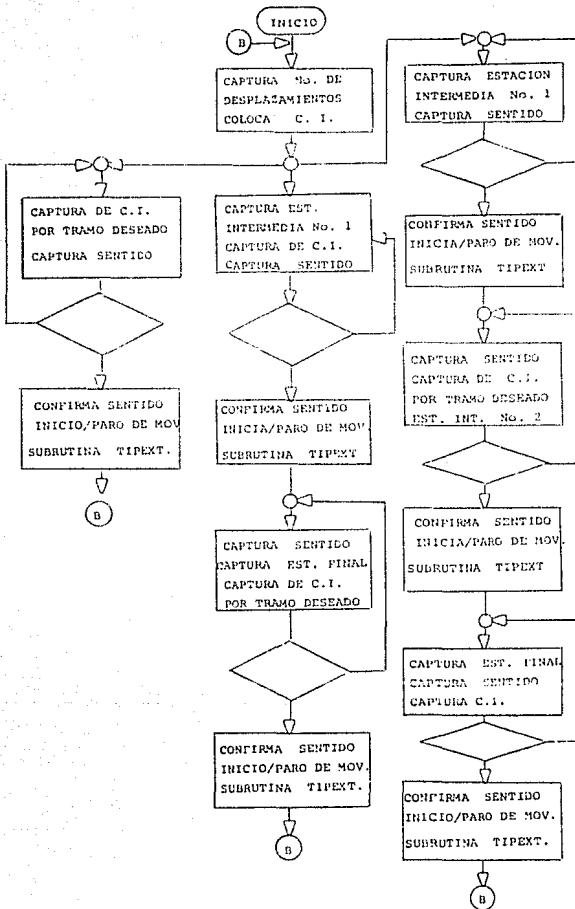
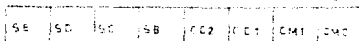


Fig. 6.2 Diagrama de flujo para el movimiento del tren eléctrico

M1	M0	
0	0	velocidad baja
0	1	velocidad media
1	0	velocidad alta
1	1	des-habilitación de dicha velocidad

Para el PPI - B se tiene que la palabra de control es la siguiente.



Este puerto informa al controlador digital a través de su palabra de control respectiva, las condiciones que guardan los conmutadores de vía y la velocidad que posee el motor en un determinado tramo de vía previamente seleccionado por el PPI - C.

Bit7 - Bit4 => SE, SD, SC y SB => sensores de estación
 "1" => estación ocupada "0" => estación vacía

Bit3 - Bit2 => CC2 y CC1 => condición de los conmutadores de vía.

CC1 => "0" => Verifica el cierre de vía (une la estación D con la estación B).

CC2 => "0" => Verifica el cierre de vía (une la estación C con la estación D).

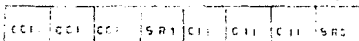
CC1 = "1" => Verifica el cierre de vía (une la estación E con la estación B).

CC2 = "1" => Verifica el cierre de vía (une la estación C con la estación E).

Bit 1 y BIT 0 => CM1 Y CM0 ; verifica las condiciones de velocidad según la siguiente tabla

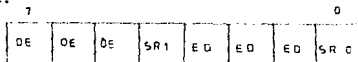
CM1	CM0	
0	0	velocidad baja
0	1	velocidad media
1	0	velocidad alta
1	1	des-activación de dicha velocidad

Para el PPI-C la palabra de control nos permite elegir un tramo de vía para conocer que condiciones existen y además nos permite colocar condiciones iniciales según el tramo deseado. El formato de esta palabra es el siguiente:



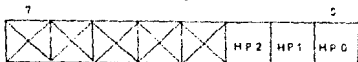
Bit7 - bit5 => Coloca la condición en el tramo deseado. Elige un tramo deseado y coloca en él las condiciones iniciales
 Bit3 - Bit 1 => Captura hacia el controlador las condiciones que guarda un tramo de vía previamente seleccionado.
 Bit4 y Bit 0 => Estos 2 bits nos permiten elegir el sentido de rotación del motor.

Para el PPI-D nos permite introducir al controlador digital la estación inicial y la estación final (parcial) que va llevar a cabo nuestro objeto móvil. El formato de este puerto es el siguiente:



Bit6 - Bit4 => Estación origen
 Bit2 - Bit0 => Estación destino
 Bit7 y Bit3 => Dirección

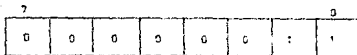
El PPI-E actúa como una habilitación del puerto PPI-D. El formato de este PPI es el siguiente:



Bit 2 - Bit0 => Habilitación de dirección de destino
 Bit 7 - bit3 => No importan

Teniendo muy presente el formato de las palabras de c/u de los PPI, el controlador digital basado en el microprocesador inicia su funcionamiento, colocando las siguientes condiciones iniciales (03H) a nuestro sistema, a través del PPI - A y con la ayuda del PPI-C.

La palabra de control para el PPI-A es :



La palabra de control para el PPI-C es :

7								0
0	0	0	0	0	0	0	0	0

Las condiciones iniciales que coloca el controlador digital bajo la palabra de control del PPI-A, nos permite dar el inicio de nuestro sistema. Estas condiciones tambien nos representa que nuestro vehiculo móvil se encuentra situado en la estación " D ", que el conmutador C1 une el tramo de la vía que comunica a la estación D con la estación B y que no existe movimiento alguno del vehiculo móvil a lo largo de la vía (M1 = M0 = 1) entre el tramo de D a la estación B.

2.) Tramo D - B

Una vez que el vehiculo móvil se encuentra en la estación " D ", y después de colocar en el sistema digital las condiciones iniciales arriba mencionadas, el controlador digital, está en la posibilidad de preguntar por :

-- El destino (ruta) que el tren va llevar a cabo, mediante la palabra de control del PPI-D.

-- Las condiciones que guardan los tramos de vía previamente seleccionados y llevados al interior del controlador digital mediante el PPI-B.

-- Las condiciones que tiene el conmutador de vía (C1).

-- Por las condiciones de encendido/apagado del motor.

Una vez introducidas estas condiciones a traves de sus respectivos PPI el controlador digital realiza un analisis de la ruta a seguir y toma de decisiones que están en función de la información proporcionada por el PPI-B y PPI-D. Debe de hacerse hincapie que si alguna condición no se satisface enteramente no habra movimiento a través de dicho tramo de vía.

Es bien importante tener cuenta que en este tramo de vía el objeto móvil unicamente puede pasar a la estación de destino unicamente:

-- Cuando la estación de destino este desocupada (vacía), sin olvidar;

-- Que el conmutador C1, que nos sirve de enlace entre al estación D con la estación B se encuentra en la posición correcta C1 = 0.

En otras condiciones nuestro objeto móvil no se podra desplazar a lo largo de la vía; Permaneciendo en su estación origen. Para que el objeto móvil se pueda desplazar es necesario que nuestro controlador digital reciba una nueva condición de desplazamiento a través del puerto PPI-B del sistema digital.

Una nueva ruta se puede elegir en base a la palabra de control que nos da el PPI - D, habilitados previamente por una línea del PPI-E. (bit 0).

Por otra parte, en caso de que todas las condiciones se cumplan el controlador digital realiza los siguientes pasos:

a.) Realiza una rutina de espera de 60 seg. para poder subir personal, con la posibilidad de poder extender este periodo de tiempo, mediante una petición de interrupción (TIPEXT), esta rutina de interrupción surge a raíz, de que una vez colocado el objeto móvil en cualquier estación es posible retrasar el tiempo de partida mediante la interrupción RST 7.5 que posee el microprocesador 8085, es decir, una vez activa esta interrupción nuestro objeto móvil no se podrá desplazar a lo largo de la vía, para que nuestro objeto móvil se pueda desplazar es necesario que se deshabilite esta interrupción.

b.) En caso de que esta petición se deshabilite, el controlador digital procede a desplazar nuestro objeto móvil mediante la petición de una de las 3 posibles velocidades proporcionadas según el decodificador. En caso de que no se haga uso de esta petición, el controlador digital dará el inicio al movimiento del motor, es decir

c.) Elige el pulso de arranque mediante un decodificador que esta conectado a través de el PPI-A (bit2 y bit1). Una vez seleccionado un pulso a través del decodificador, éste a su vez activa a el motor a una velocidad determinada, por un tiempo de 60 seg., inmediatamente despues el controlador digital elige un pulso de apagado del motor a través del decodificador.

Más adelante se hará hincapie al submódulo del decodificador, pero por el momento haremos mención que el decodificador puede elegir 3 velocidades diferentes según la elección deseada con los bits 2 y 1 de la palabra de control del PPI-A.

Una vez ya concluido el tiempo de duración de la velocidad escogida, el controlador digital a través del puerto PPI-D pregunta por las estaciones subsecuentes y coloca nuevas condiciones de trabajo.

3.) Tramo B - C

Una vez que el vehículo móvil se haya desplazado de la estación D a la estación B, el controlador digital pregunta por cual nueva ruta va a seguir y por las condiciones que imperan en los sensores mediante el empleo de los puertos PPI-B y PPI-C; Una vez introducidas estas dos palabras de control en el interior del controlador digital, éste realiza un análisis de las mismas. En caso de que por alguna circunstancia no se cumpliera alguna condición, el controlador digital no realiza movimiento alguno.

En caso contrario, es decir, si todas las condiciones se cumplan el controlador digital realiza los siguientes pasos.

a.) Realiza una subrutina de espera de 60 seg. para poder subir personal, con la posibilidad de extender este período de tiempo. Mediante una petición de interrupción al controlador digital, en caso de que no se haga uso de esta petición, dará el inicio al movimiento del motor, es decir:

b.) Elige el pulso de arranque mediante un decodificador que esta conectado a través de el puerto PPI-A(bit2 y bit1). Una vez seleccionado un pulso a través del decodificador este a su vez activa a el motor a una velocidad determinada, por un tiempo de 60 seg., inmediatamente después el controlador digital envía un pulso de des-activación de este pulso mediante el decodificador.

c.) Una vez ya concluido el tiempo de duración de la velocidad escogida, el controlador digital a través del PPI-B, pregunta por las condiciones que guardan las estaciones subsecuentes para poder realizar el siguiente desplazamiento.

Si el siguiente tramo de vía cumple con las condiciones para poder llevar a cabo el siguiente desplazamiento, el controlador digital por conducto del decodificador, elige una nueva velocidad, el tiempo una vez más de duración de esta velocidad es de 60 seg. e inmediatamente el controlador digital enviara un pulso de desactivación vía el decodificador, de dicha velocidad y coloca nuevas condiciones de trabajo .

4.) Tramo de C a D y de la estación C a la estación E.

Una vez que el vehículo móvil se encuentra en la estación C, existen dos posibles direcciones (rutas) a seguir; estando el vehículo móvil en la estación C, el controlador digital pregunta por una nueva ruta a seguir y por las condiciones que imperan en cada uno de los tramos de la vía, mediante el empleo del PPI-B y del PPI-D: Ya en el interior del controlador digital estas dos palabras de control, el controlador digital realiza un analisis de las mismas.

Hay que tomar en consideración las condiciones que guarda el bit3 del puerto PPI-A ya que este bit es el que determina la trayectoria a seguir por el vehículo móvil, es decir;

Si el bit3 ="0" El recorrido sera de la estación C a la estación D.

Si el bit3 ="1" El recorrido sefa de la estación C a la estación E.

En caso de que todas las condiciones se cumplan el controlador digital; lleva a cabo los siguientes pasos:

a.) Realiza una subrutina de espera de 60 seg. para poder subir personal, con la posibilidad de poder extender este periodo de tiempo, mediante una petición de interrupción al controlador digital, en caso de que no se haga uso de esta petición, el controlador digital dara el pulso de inicio del movimiento del motor.

b.) Este pulso de inicio que nos proporciona el controlador digital, está en la posibilidad de escoger una de las 3 diferentes velocidades, por un tiempo de 60 seg., inmediatamente

después el controlador digital envía un pulso de des-activación del motor a través del decodificador y además coloca nuevas condiciones de trabajo.

Aquí se debe de tener presente lo siguiente:

Si el tren se encuentra en la estación D, el tren realiza los pasos a partir del punto 2.

En caso de que el tren se encuentre en la estación E, el tren realiza la siguiente rutina.

5.) Tramo de estación de E a B

Para unir estas dos estaciones en una forma correcta el conmutador C1 debe de tener un "1" (C1="1").

Una vez situado el vehículo móvil en la estación E, el controlador digital pregunta por una nueva ruta va a seguir, por las condiciones que imperan en el tramo requerido a través del PPI-B una vez ya en el interior del controlador digital estas dos condiciones, este realiza un análisis de las mismas. En caso de que alguna de estas dos palabras tuviese algún error de escritura en su formato respectivo, el controlador digital envía un mensaje y además no realiza movimiento alguno.

En caso contrario, es decir, si todas las condiciones se cumplen el controlador digital realiza los siguientes pasos:

a.) Realiza una subrutina de espera de 60 seg. para poder subir personal, con la posibilidad de poder prolongar este periodo, de tiempo, mediante una petición de interrupción al controlador digital, en caso de que no se haga uso de esta petición, el controlador da el pulso de inicio al movimiento del motor.

b.) Este pulso da el inicio al movimiento del motor, además nos permite elegir una de las 3 velocidades que se pueden aplicar al motor por medio del PPI-A (bit2 y bit1), cualquiera de estas 3 velocidades tienen un periodo de duración de 60 seg. e inmediatamente después el controlador digital envía un pulso de des-activación del motor vía el decodificador.

Una vez ya conectado el tiempo de duración de la velocidad escogida, el controlador digital a través del PPI-B, pregunta por las condiciones que guardan las estaciones subsecuentes para poder realizar el siguiente desplazamiento.

Una vez que el tren se encuentre en la estación B, el controlador digital realiza la misma secuencia de pasos a partir del punto 3 en adelante.

VI.3 Arquitectura del sistema de un control de velocidad basado en el microprocesador 8085A.

El sistema de control de velocidad gobernado por un microprocesador consta de los siguientes módulos como se muestra en la fig. 6.4

- Módulo del controlador digital
- Módulo cambiador de vía
- Módulo de sensores
- Módulo de potencia

VI.3.1 Módulo del controlador digital

El controlador digital esta compuesto por los siguientes elementos.ver fig. 6.5

- C.I. 8085 (microprocesador)
- C.I. 8155 (RAM / IO / COUNTER)
- C.I. 2716 (memoria EPROM)
- C.I. 8255 (Puerto de interface paralelo - PPI -)

La función de este módulo es capturar la información que proviene del módulo de sensores y del módulo de conmutadores de vía y en base a esta información, el microprocesador toma una serie de decisiones y acciones que nos permiten hacer funcionar al módulo de potencia.

Este módulo del controlador digital posee 5 puertos de interface paralelo, 3 de estos 5 puertos paralelos se utilizan como entradas al controlador digital y los otros 2 son salidas del controlador digital.

VI.3.1.1 El CPU 8085

La unidad central de proceso (CPU) 8085, es el principal elemento funcional de la unidad del controlador digital.Todos los otros elementos de la unidad sirven de apoyo o mejoramiento al funcionamiento del 8085A.

VI.3.1.2 Demultiplexor de datos y direcciones

El 8085A multiplexa su bus de datos con los 8 bits menos significativos del bus de direcciones.EL 8155 (RAM/ IO / Counter) y el 8185 (RAM estática) estan diseñados para ser compatibles con esta estructura del bus.Eliminando la necesidad de latches externos de bus.

Para poder conectar las memorias standard tal como EPROM 2716, el bus del controlador digital deberá ser "demultiplexado", esto se consigue conectando un latch de 8 bits (74ls 373) al bus de datos y habilitando el latch con la señal ALE (addres latch enable), proveniente del 8085A.

Esta señal se genera en el microprocesador para indicar que el bus multiplexado contiene los 8 bits menos significativos de las direcciones.EL latch 74LS373 almacena esta información proporcionando un bus de 16 bits de direcciones, que se podrá conectar a dispositivos corrientes de memoria.

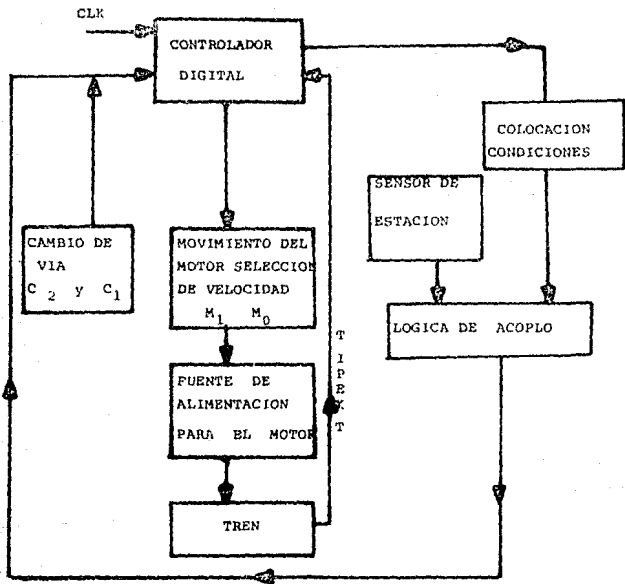


Fig. 6.4 Control de velocidad para un motor eléctrico de corriente directa

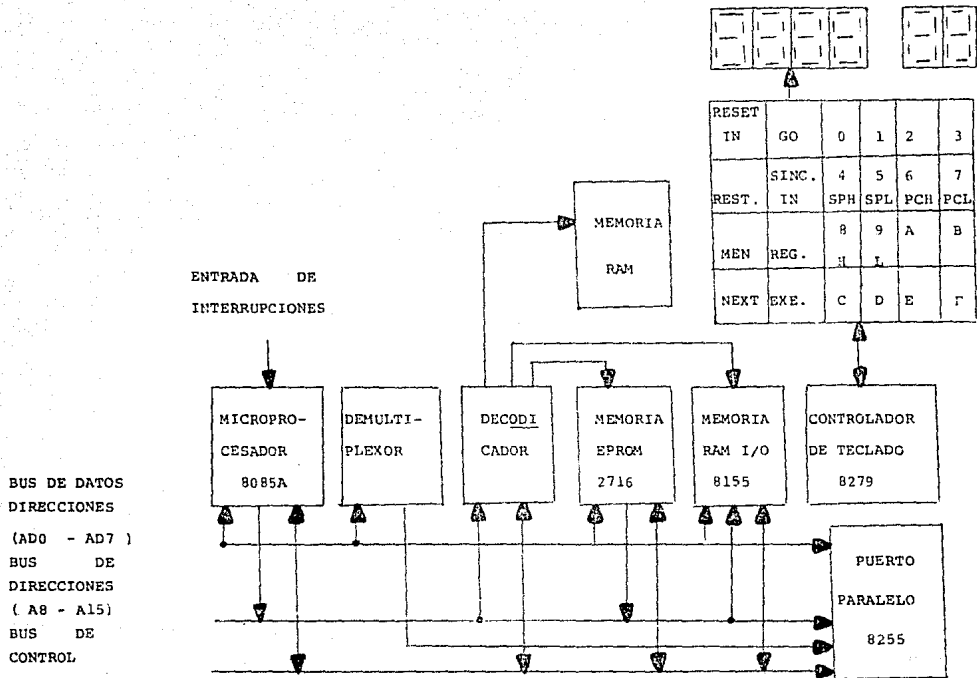


Fig. 6.5 Componentes del controlador digital.

VI.3.1.3 Memoria EPROM 2716

Esta memoria contiene 2048 bytes (2k x 8) de memoria de lectura borrable y reprogramable, este C.I. contiene el programa en si de esta aplicación.

VI.3.1.4 EL 8155 RAM / IO / Counter

El 8155 es un circuito de alto nivel de integración designado para ser compatible con la estructura del bus del 8085A. Este contiene 1/4K de memoria RAM, 22 entradas/salidas programables y un contador programable de 14 bits.

El controlador digital posee un circuito del tipo 8155. Su memoria es usada para almacenar información temporal que requiere el microprocesador, así como también programas del usuario del sistema.

VI.3.1.5 C.I. 8259 interfaz/display

EL 8279 provee la interfaz entre el 8085A y el teclado/display en el controlador digital. El 8279 "refresca" el display mediante una memoria interna que posee para tal fin y además, examina permanentemente si alguna tecla ha sido oprimida.

EL 74LS156 es un demultiplexor que se usa para decodificar las Líneas de rastreo del 8279.

VI.3.1.6 Decodificador de direcciones

El controlador digital posee un decodificador, el 8205 de 1 a 8 líneas de salida. Este componente decodifica las direcciones del 8085A para proveer señales de habilitación al 8155, 8185, 8279 y el 2716.

VI.3.1.7 Expansión del bus

El controlador digital esta conectado a varios circuitos integrados entre si y que requieren elementos separadores TTL, para proveer las corrientes y niveles de voltaje necesarios.

El bus del controlador digital posee 2 C.I. 74LS373 por los cuales fluyen las direcciones. Estos C.I. se usan para registrar y demultiplexar los 8 bits menos significativos del bus de direcciones. El otro C.I. provee la corriente necesaria que requiere un bus de direcciones.

VI.3.1.8 8255 puerto de interfase paralelo

El empleo de este componente simplifica los diseños de E/S, aumenta la flexibilidad de las mismas y disminuye la cantidad de componentes requeridos por la implementación de tales interfaces.

El 8255 posee 24 terminales de entrada/salida que pueden ser individualmente programadas en 2 grupos de 12 y ser usados en 3 modos principales de operación.

El modo 0 tiene 2 grupos de 12 líneas de entrada/salida podrá programarse en conjuntos de 4 para su uso como entrada o salida.

El modo 1 podrá ser programado en 8 líneas de entrada o salida, de los 4 restantes 3 de ellos serán usados como señales, controladas de status y de interrupciones.

El modo 2 constiuye un bus bidireccional que usa 8 líneas para ello y otras 5 líneas para controlar el status, tomando prestada una línea del otro grupo.

VI.3.2 Módulo intercambiador de vía

Este módulo esta compuesto por los siguientes elementos:

-- Dos conmutadores , los cuales nos permiten unir dos trayectorias de vía con la ayuda de dos bobinas de control.

-- Inversores de colector abierto.

-- Transistores de potencia.

La función de este bloque, es seleccionar la vía adecuada para cada cambio de vía, mediante la elección del PPI-A (bit 3 y bit 2) y del PPI- D, es decir, este conmutador de vía nos permite seleccionar una trayectoria adecuada para el posible desplazamiento de nuestro vehículo móvil, como se muestra en la fig. 6.6 .

En la fig. 6.6 se hace notar que los recuadros representan cada uno de los dos conmutadores de vía, si el interruptor esta en la posición 1-5 une la estación D con la estación y esta posición se logra colocando un " 0 " lógico en su entrada (bit 2 de la palabra de control del PPI-A). Si el interruptor esta en la posición 2-5 une la estación E con la estación B y esta posición se logra colocando un " 1 " lógico en su entrada (bit 2 de la palabra de control del PPI-A), ver fig. 6.3 .

Para el conmutador C2 se tiene que, si el interruptor esta en la posición 6-3 une la estación C con la estación D y esta posición , se logra colocando un "0" lógico en su entrada (bit 3 de la palabra de control del PPI-A). Si el interruptor esta en la posición 6 - 4 une la estación C con la estación E y esta posición se logra colocando un "1" lógico en su entrada (bit 3 de la palabra de control del PPI-A).

VI.3.3 Módulo de sensores de estación

Este módulo realiza la captura de la ruta que se desea seguir, así como también de las condiciones que imperan en ese momento en la trayectoria deseada.

La función principal de este módulo es capturar hacia el interior del controlador digital, las condiciones que guardan cada uno de los tramos que componen el "sistema matriz"; También este módulo nos permite colocar condiciones en el tramo que se desee.

Este funciona de la siguiente manera:

- 1.) Captura las condiciones que guardan c/u de los tramos deseados.
- 2.) Captura la estación origen y destino final (parcial) que va a realizar nuestro objeto móvil.
- 3.) Captura las condiciones que guardan c/u de los tramos que se encuentran situados a lo largo de toda la trayectoria en cuestión, con las condiciones que existen en memoria, para poder decidir si se realiza dicho movimiento entre la estación de origen y la estación de origen y la estación final (parcial).

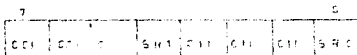
Este módulo esta formado por:

- 6 registros paralelo de 8 bits c/u tipo D
- 20 Sensores magnéticos, mecánicos u ópticos
- 5 demultiplexores
- Lógica de acoplo (compuertas Or e Inversores)

Este módulo esta interrelacionado con el PPI-C, ya que este PPI nos permite colocar las condiciones iniciales en algun tramo deseado mediante la habilitación de los 4 bits más significativos, estos 4 bits más significativos nos dan la dirección del tramo deseado como se muestra a continuación:

Bit7	Bit6	Bit5		
C	B	A		
0	0	0	tramo 1	E - B
0	0	1	tramo 2	D - B
0	1	0	tramo 3	B - C
0	1	1	tramo 4	C - D
1	0	0	tramo 5	C - E

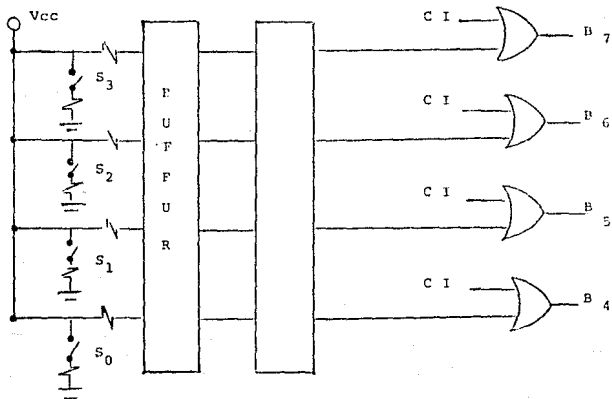
Como se menciono anteriormente este módulo nos permite "Leer", las condiciones que guardan c/u de los tramos de nuestra trayectoria en cuestión; Esto se realiza con los 4 bits menos significativos del PPI-C como se muestra a continuación:



Bit4	Bit3	Bit2	
C	B	A	
0	0	0	tramo 1 E - B
0	0	1	tramo 2 D - B
0	1	0	tramo 3 B - C
0	1	1	tramo 4 C - D
1	0	0	tramo 5 C - E

La tabla siguiente de estados y el siguiente diagrama nos permitirán visualizar con mayor claridad el funcionamiento de este módulo.

A(s)	S	C	F
1	0	0	0
1	0	1	1
0	1	0	1
0	1	1	1



Esquema de los sensores

Si se activa cualquiera de los sensores a la salida del buffer nos da un "0" lógico, que a su vez entra a un inversor, la salida de este inversor se suma lógicamente con la condición inicial (si es que existe) este resultado nos da el estado que guarda un tramo de vía.

Si la salida de esta suma lógica es un "1" quiere decir que el tramo de vía se encuentra ocupado como se muestra en la tabla siguiente.

Sensor	Condición Inicial	
0	0	ocupada
0	1	ocupada

Si no se activa cualquiera de los sensores a la salida del buffer nos dará un "1" lógico, que a su vez este "1" es introducido a un inversor, la salida de este inversor se suma lógicamente con la condición inicial (si es que existe) este resultado nos da el estado que guarda un tramo de vía.

Si la salida de esta suma lógica es un "0" quiere decir que el tramo de vía se encuentra ocupado como se muestra en la tabla siguiente.

Sensor	Condición Inicial	
1	0	0 => vacío
1	1	1 => ocupado

VI.3.4 Módulo del control de velocidad del motor y rectificación de C. A. para el funcionamiento del motor de C. D. en serie.

Este módulo esta compuesto de los siguientes elementos

- Decodificador
- Timer "one shot"
- Acoplador óptico
- Etapa de potencia
conversion de C.A. en C.D

Este módulo tiene varias funciones a su cargo y las cuales son:

- Elige una velocidad determinada para el motor
- Rectifica la fuente de alimentación que se va aplicar hacia el motor de C.D. en serie.
- El tiempo de duración del motor en movimiento

VI.3.4.1 Decodificador

El proposito de este decoder es de escoger 3 de 4 funciones de salida que nos representa 3 diferentes velocidades de las cuales el motor puede trabajar según la selección de nuestro circuito decodificador. La elección de estas 3 velocidades se

lleva a cabo bajo el formato de control del PPI-A, tomando en consideración los bits 1 y 0.

Bit2 -> Bit 1 del puerto A
 Bit1 -> Bit 0 del puerto A

B Bit2	A Bit1	Vel. baja	Vel. media	Vel. alta	Desacti- vacin
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0
		F1	F2	F3	F4

El decodificador proporciona una cuarta función de salida que nos proporciona el apagado del tiristor activado previamente por una de las otras 3 funciones de salida (F1 - F3) proporcionadas por el decodificador.

VI.3.4.2 Circuito monoestable " One shot "

EL C.I. LM 555 circuito monoestable es un integrado popular analógico-digital, es una base de tiempo versatil. Este circuito es hecho de una combinación de comparadores lineales, de biestables digitales como se muestra en la fig. 6.7 .

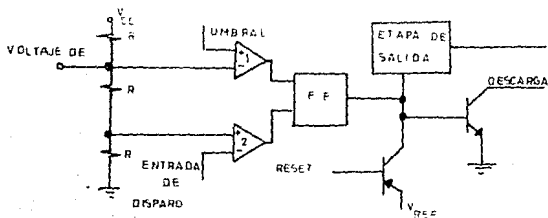


Fig. 6.7 Diagrama interno del circuito integrado LM 555.

Una conexión serie de 3 resistencias fija el nivel de referencia de las entradas para los dos comparadores en $2/3 V_{CC}$ y $1/3 V_{CC}$, la salida de estos dos comparadores hace el "set" o "reset" de la unidad biestable. La salida del circuito biestable se saca a través de una etapa amplificadora de salida. El circuito de salida también opera un transistor dentro del C.I., el colector de este transistor momentáneamente esta en su estado bajo para descargar un capacitor de tiempo como se muestra en la fig. 6.8.

El circuito temporizador monoestable, tiene como objetivo mantener por un cierto tiempo, t , activada la compuerta del tiristor en el circuito de la fig. 6.8 del circuito temporizador monoestable, cuando la señal de entrada de disparo, se coloca en su valor negativo, el disparo al circuito y la salida, pasa al estado alto por un periodo de tiempo.

$$T_{alto} = 1.1. R_a C$$

El flanco negativo del disparo de entrada hace que el comparador 2 dispare al biestable de tal manera que la salida vaya al estado alto.

El condensador C se carga hacia V_{CC} por medio de la resistencia R_a , durante el intervalo de tiempo de carga. La salida permanece alto. Cuando el voltaje a través del coparador alcanza el nivel de unbral de $2/3 V_{CC}$ el comparador 1, entonces dispara al biestable y la salida alcanza su nivel bajo, haciendo que el condensador permanezca en 0 Volts, hasta que sea disparado de nuevo. Los periodos de tiempo para este circuito pueden estar en el rango desde los microsegundos hasta muchos segundos.

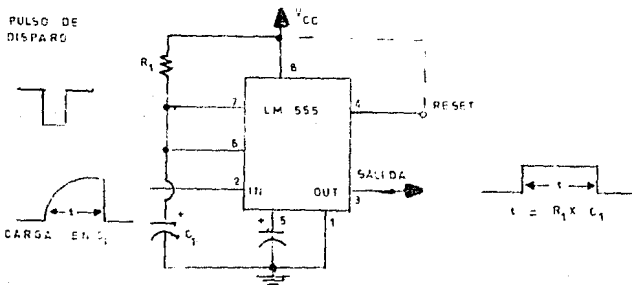


Fig. 6.8 Circuito temporizador monoestable

VI.3.4.3 Acoplador optico "Optotiristor"

El optotiristor tiene las siguientes funciones

- Aislar una etapa digital de una etapa de potencia
- Activar la compuerta del tiristor a emplearse dependiendo de la corriente que se va a estar manejando y la potencia al motor serie de D.C.

Como se indica por la terminología el optotiristor es un tiristor cuyo estado de conducción es controlado por la luz que cae sobre una capa semiconductor de silicio del dispositivo.

El método de control de salva sirve para controlar la cantidad de potencia transferida a la carga. La cantidad de potencia se controla conectando y desconectando alternadamente la carga hacia y desde la fuente de transmisión. La relación entre el numero de ciclos completos durante la conexión y la desconexión controla la cantidad real de potencia transferida a la carga. El control de salva significa que la potencia de alterna se conecta o se desconecta de la carga durante ciclos completos.

Excitador de un triac optoacoplador

Este un dispositivo que dispara un triac interno mediante la luz emitida por un LED. La fig. 6.9 muestra el MOC 3010. La tensión de control continua o pulso se conecta al diodo (terminales 1 y 2) a través de un resistor en serie. La resistencia debe ser de tal valor que pueda hacer pasar una corriente de 20 mA (30mA) al diodo y un voltaje no mayor de 5 V.

El triac interno (pins 6 y 4) esta controlado por la luz emitida por el diodo interno. El triac interno se puede usar para la conmutación directa de baja tensión y baja corriente o como un dispositivo de disparo para un tiristor externo. (triac o Scr). La fig. 6.9 muestra esta aplicación.

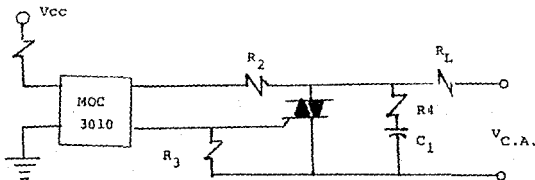


Fig. 6.9 Circuito de aislamiento usando el MOC-3010

La resistencia R2 limita la corriente a la compuerta. R3 se usa para asegurar baja impedancia en la compuerta del triac, cuando el triac de control está apagado para evitar el disparo activado por ruido.

R4 y C1 se usan principalmente en circuitos con cargas inductivas para proteger el triac de los pulsos de tensión de corta duración .

VI.3.4.4 Rectificación y etapa de potencia Etapa de potencia

En la industria hay numerosas operaciones, las cuales requieren que se entreguen una cantidad de potencia eléctrica variable y controlada, el control de velocidad de un motor de C.D. en serie, es una de esas operaciones que requiere de una fuente de potencia controlada.

Existen varias formas de controlar la cantidad de potencia eléctrica que se entrega a una carga, entre las cuales podemos mencionar:

- Mediante un transformador variable.
- Mediante un reostato en serie con la carga.
- Mediante dispositivos electrónicos de potencia y el auxilio de elementos de electrónica digital.

Los motores de C.D. forman un equipo indiscutible en cualquier aplicación, resulta de hecho de que la velocidad de los motores de C.D. pueden controlarse con facilidad.

Se pueden aprovechar muchos tipos de semiconductores en las aplicaciones del control electrónico de motores. El tipo que vaya a usarse en alguna aplicación específica dependerá principalmente de la potencia, el voltaje y la corriente del motor que se va a controlar.

Podemos mencionar que para cambiar la velocidad de un motor de C.D. automáticamente después de un determinado tiempo, es agregar una serie de etapas y circuitos necesarios, que forman parte de un sistema completo de control de motores.

Estas etapas trabajan a niveles muy bajos de voltaje y corriente en comparación con el voltaje y la corriente que necesita el motor serie de C.D.

Esta etapa forma una interface entre la etapa digital y la etapa de potencia que se compone de los elementos que manejan y controlan la potencia suministrada a el motor.

Como se menciono anteriormente un control de velocidad, puede lograrse mediante un acoplamiento del motor de C.D. , una etapa de control digital y finalmente la etapa de potencia. La clave de control de velocidad de esta naturaleza consiste de lo siguiente:

La fuente de corriente alterna (C.A.) debe ser rectificadora para proporcionar una fuente de corriente directa (C.D.) con lo que puede trabajar el motor. El tiristor tiene como función principal proporcionar el control del promedio de la corriente a la carga (motor). El tiristor realiza esta función de la siguiente manera.

Cebando tempranamente el tiristor, el promedio del voltaje y corriente se incrementa y el motor puede girar más rápidamente. Cebando tardíamente el tiristor, es decir, aumentando el ángulo de disparo, se reduce el promedio del voltaje y corriente y por lo tanto el motor gira más lento.

Anteriormente se mencionó que para el bloqueo de un tiristor con corriente continua exige la presencia de un circuito auxiliar. Este circuito auxiliar tiene dos funciones:

- 1.) Suministrar la energía necesaria para la intervención de la corriente en el semiconductor.
- 2.) Suministrar una constante de tiempo tal que la aplicación o reaplicación de la tensión no se haga antes al tiempo de bloqueo del tiristor.

Si consideramos el circuito de la fig. 6.10, que se compone de dos circuitos de carga R_1 y R_2 estos dos circuitos están unidos por un borne común, sea polo positivo fig. 6.10 a, sea polo negativo fig. 6.10 b, de la fuente de alimentación de corriente continua.

Supongamos que por el tiristor Th_1 circula una corriente I_1 y que el tiristor th_2 está bloqueado, el condensador C_1 tenderá a cargarse a través del tiristor th_1 y del circuito R_2 , con la polaridad indicada en la fig. 6.10 b. Si el tiristor th_2 , el tiristor th_1 se verá polarizado en sentido inverso, lo que provocará la anulación de la corriente I_1 .

La corriente I_1 , se anula bruscamente conmutando th_2 y la corriente tenderá a cargar de nuevo el condensador en sentido inverso por conducción a través de R_1 .

La tensión V_{th_1} en bornes de th_1 , después de hacerse bruscamente negativa cuando se ha cebado th_2 , tiende hacerse positiva al cabo de un intervalo de tiempo T_q que ha de ser superior así al tiempo de bloqueo del tiristor fig. 6.10 c.

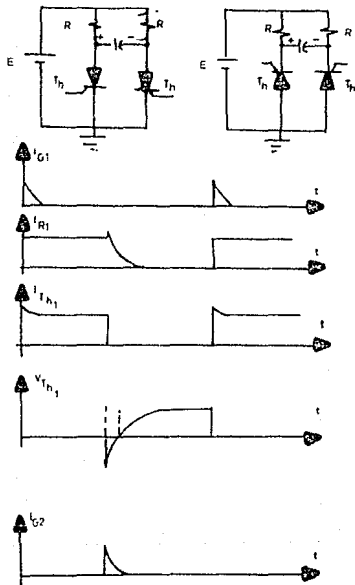


Fig. 6.10 Control de suministro de energía para un motor eléctrico de C.D.

Rectificación

En la mayoría de los equipos electrónicos industriales y domésticos requieren para su funcionamiento de una fuente de C.D.

Una fuente de C.D. está compuesta de los siguientes elementos:

- Un transformador
- Un puente rectificador
- Un filtro
- Un regulador
- Una protección contra sobretensión

Dependiendo del uso que se le da a una fuente de alimentación de C.D. puede en un momento prescindir de algún elemento o modificar alguno de estos elementos.

Una fuente de alimentación posee 3 características:

- 1.) Las fuentes de alimentación deben de tener la capacidad de suministrar la máxima corriente requerida por la carga.
- 2.) Se debe considerar, las variaciones rápidas del voltaje de salida que resulten de una acción filtrante imperfecta.
- 3.) Cuando sea importante la variación de voltaje de salida de C.D. con respecto al cambio de la corriente de carga debe de tener una buena regulación.

La regulación de voltaje se define como el cambio del voltaje de salida cuando la corriente cambia de no carga a plena carga dividida entre el voltaje a plena carga.

VI.4 Programación del controlador digital
VI.4.1 Programación

La programación de esta aplicación consiste de tres partes principales. En la primera parte se dedica a la captura de la dirección inicial, final, intermedia #1, intermedia #2, así como el número de desplazamientos que realiza el tren. El área de memoria que guarda estos datos está comprendida de la dirección 2000H a la dirección 2010H

2000	CAPTURA DE CONDICIONES INICIALES
2001	SELECCION DE TRAMO -> ENVIAR CONDICIONES<-
2002	
2003	DIRECCION DE DESTINO
2004	DIRECCION DE ORIGEN
2005	# DE MOVIMIENTOS
2006	CAPTURA DE CONDICION/TRAMO-SENSORES
2007	DIRECCION INTERMEDIA #1
2008	DIRECCION INTERMEDIA #2
2009	RESULTADO DE LA CAPTURA DEL TRAMO
200A	DIRECCION DE INICIO DE LA TABLA #
200B	
200C	
200D	
200E	
200F	
2010	DIRECCION DE INICIO DE LA TABLA # 1
2030	DIRECCION DE INICIO DE LA TABLA # 2
203A	DIRECCION DE INICIO DE LA TABLA # 3
2060	DIRECCION DE INICIO DE LA TABLA # 4

La segunda parte realiza los tres diferentes desplazamientos que realice el motor, programa que permite evaluar el numero de desplazamientos a realizar el motor.

```

8010          LXI SP 2000 => colocacion de C.I. segun tramo
8011
8012                      deseado
8013          MVI A,02
8014
8015          OUT 20
8016
8017 DIR 1    IN 23
8018
8019          ANI 08
801A
801B          JNZ DIR 1
801C
801D
801E          IN 21
801F
8020          STA 2000
8021
8022
8023          LXI SP 20B0
8024
8025
8026          MVI A,82
8027
8028          OUT A3
8029
802A          LDA 2000
802B
802C
802D          OUT A0
802E
802F          LDA 2001
8030
8031
8032          OUT A2
8033
8034 DIR 8    LXI SP 20B0          ;CAPTURA LA ESTACION
8035                      DESTINO
8036
8037          MVI A,02
8038

```

```

8039          OUT 20
803A
803B   DIR 2   IN 21
803C
803D          ANI 01
803E
803F          JNZ DIR 2
8040
8041
8042          IN 21
8043
8044          STA 2004
8045
8046
8047          LXI SP 20B0          ;CAPTURA ESTACION
8048                                     ORIGEN
8049
804A          MVI A,02
804B
804C          OUT 20
804D
804E   DIR 3   IN 23
804F
8050          ANI 02
8051
8052          JNZ DIR 3
8053
8054
8055          IN 21
8056
8057          STA 2003
8058
8059
805A          LDA 2003 => # DE MOV. A REALIZAR<=
805B                                     2004 DESTINO
805C                                     2005 ORIGEN
805D          ANI 03                                     2006 RESULTADO
805E
805F          MOV B,A
8060          LDA 2004
8061
8062
8063          ANI 03
8064
8065          SUB B
8066          STA 2005
8067
8068
8069          LDA 2005
806A
806B
806C          LXI H,          => DIRECCION DE INICIO DE LA
806D                                     TABLA # 1
806E
806F   DIR 5   CMP M

```

```

8070          INX H
8071          JZ  DIR4
8072
8073
8074          INX H
8075          INX H
8076          JMP DIR 5
8077
8078
8079  DIR 4    MOV E,M
807A          INX H
807B          MOV D,M
807C          XCHG
807D          PCHL
807E
807F
8080
8081          LDA 2004          => REALIZA SOLO UN MOVIMIENTO
8082
8083          -- > CAPTURA SENTIDO <--
8084          RRC
8085          RRC
8086          RRC
8087          JC DIR 6          ( SALTA =1 )
8088
8089
808A          NOP
808B          LXI SP 20B0
808C
808D
808E          CALL - 1 - =>          "SENTIDO POSITIVO "
808F
8090
8091          NOP
8092          JMP DIR 7          => REGRESA A LA COLUMNA DEL PROGRAMA
8093
8094
8095  DIR 6    NOP
8096          LXI SP 20B0
8097
8098
8099          CALL - 2 -          => "SENTIDO NEGATIVO "
809A
809B
809C  DIR 7    NOP
809D          LXI SP 20B0
809E
809F
80A0          CALL - 3 -
80A1
80A2
80A3          NOP
80A4          LXI SP 20B0
80A5
80A6

```


80A7	CALL - 4 -
80A8	
80A9	
80AA	NOP
80AB	LXI SP 20B0
80AC	
80AD	
80AE	CALL - 5 -
80AF	
80B0	
80B1	NOP
80B2	LXI SP 20B0
80B3	
80B4	
80B5	CALL -6-
80B6	
80B7	
80B8	NOP
80B9	LXI SP 20B0
80BA	
80BB	
80BC	CALL -7 -
80BD	
80BE	
80BF	NOP
80C0	LXI SP 20B0
80C1	
80C2	
80C3	CALL - 8 -
80C4	
80C5	
80C6	NOP
80C7	LXI SP 20B0
80C8	
80C9	
80CA	CALL -9-
80CB	
80CC	
80CD	NOP
80CE	JMP INICIO-1
80CF	
80D0	

Programa que permite realizar dos desplazamientos a lo largo de la vía

	=> REALIZA SOLO DOS MOVIMIENTOS
80E0	LXI SP 20B0 => ESTACION INTERMEDIA
80E1	
80E2	
80E3	MVI A,02
80E4	
80E5	OUT 20

80E6		
80E7	DIR 9	IN 23
80E8		
80E9		ANI 01
80EA		
80EB		JNZ DIR 9
80EC		
80ED		
80EE		IN 21
80EF		
80F0		STA 2007 => CAPTURA DE SENTIDO
80F1		
80F2		
80F3		LDA 2007 =>
80F4		
80F5		
80F6		RRC
80F7		RRC
80F8		RRC
80F9		JC DIR 10
80FA		
80FB		
80FC		NOP
80FD		LXI SP 20B0
80FE		
80FF		
8100		CALL - 1-
8101		
8102		
8103		NOP
8104		JMP DIR 11
8105		
8106		
8107	DIR 10	LXI SP 20B0
8108		
8109		
810A		CALL -2-
810B		
810C		
810D	DIR 11	NOP
810E		LXI SP 20B0
810F		
8120		
8121		CALL -3-
8122		
8123		
8124		NOP
8125		LXI SP 20B0
8126		
8127		
8128		CALL -4-
8129		
812A		
812B		NOP
812C		LXI SP 20B0

812D	
812E	
812F	CALL -5-
8130	
8131	
8132	NOP
8133	LXI SP 20B0
8134	
8135	
8136	CALL 6-
8137	
8138	
8139	NOP
813A	LXI SP 20B0
813B	
813C	
813D	CALL -7-
813E	
813F	
8140	NOP
8142	LXI SP 20B0
8143	
8144	
8145	CALL -8-
8146	
8147	
8148	NOP
8149	LXI SP 20B0
814A	
814B	
814C	CALL -9-
814D	
814E	
814F	NOP
8150	
8151	
8152	
8153	LXI SP 20B0 => CAPTURA ESTACION FINAL
8154	
8155	
8156	MVI A,02
8157	
8158	OUT 20
8159	
815A	DIR 13 IN 23
815B	
815C	ANI 04
815D	
815E	JNZ DIR 13
815F	
8160	IN 21
8161	
8162	STA 2004 => DIRECCION ESTACION FINAL
8163	
8164	

8165		LDA 2004 => CAPTURA SENTIDO
8166		
8167		
8168		RRC
8169		RRC
8169		RRC
816A		JC DIR 14
816B		
816C		
816D		LXI SP 20B0
816E		
816F		
8170		CALL -1-
8171		
8172		
8173		NOP
8174		JMP DIR 15
8175		
8176		
8177	DIR 14	NOP
8178		LXI SP 20B0
8179		
817A		
817B		CALL -2-
817C		
817D		
817E	DIR 15	NOP
817F		LXI SP 20B0
8180		
8181		
8182		CALL -3-
8183		
8184		
8185		NOP
8186		LXI SP 20B0
8187		
8188		
8189		CALL -4-
818A		
818B		
818C		NOP
818D		LXI SP 20B0
818E		
8Q8F		CALL -5-
809A		
809B		
809C		NOP
809D		LXI SP 20B0
809E		
809F		
80A0		CALL -6-
80A1		
80A2		
80A3		NOP
80A4		LXI SP 20B0

80A5
 80A6
 80A7 CALL -7-
 80A8
 80A9
 80AA NOP
 80AB LXI SP 20B0
 80AC
 80AD
 80AE CALL -8-
 80AF
 80B0
 80B1 NOP
 80B2 LXI SP 20B0
 80B3
 80B4
 80B5 CALL -9-
 80B6
 80B7
 80B8 NOP
 80B9 JMP DIR 8
 80BA
 80BB
 80BC

PROGRAMA QUE PERMITE REALIZAR TRES MOVIMIENTOS AL MOTOR

8200 LXI SP 20B0 CAPTURA ESTACION INTERMEDIO #1
 8201
 8202
 8203 MVI A,02
 8204
 8205 OUT 20
 8206
 8207 DIR 16 IN 23
 8208
 8209 ANI 01
 820A
 820B JNZ DIR 16
 820C
 820D
 820E IN 21
 820F
 8210 STA 2007
 8211
 8212
 8213 LDA 2007
 8214
 8215
 8216 RRC
 8217 RRC
 8218 RRC
 8219 JC DIR 17
 821A
 821B
 821C LXI SP 20B0

821D		
821E		
821F		CALL -1-
8220		
8221		
8222		NOP
8223		JMP DIR 18
8224		
8225		
8226	DIR 17	NOP
8227		LXI SP 20B0
8228		
8229		
822A		CALL -2-
822B		
822C		
822D	DIR 18	NOP
822E		LXI SP 20B0
822F		
8230		CALL -3-
8231		
8232		
8233		NOP
8234		LXI SP 20B0
8235		
8236		
8237		CALL -4-
8238		
8239		
824A		NOP
824B		LXI SP 20B0
824C		
824D		
824E		CALL -5-
824F		
8250		NOP
8251		LXI SP 20B0
8252		
8253		
8254		CALL -6- => 1 MIN C/INTERRUPCION
8255		
8256		
8257		NOP
8258		LXI SP 20B0
8259		
825A		
825B		CALL -7- => 10 MOVIMIENTO
825C		
825D		
825E		NOP
825F		LXI SP 20B0
8260		
8261		
8262		CALL - 8- => 1 MIN S/INTERRUPCION
8263		

8264	
8265	NOP
8266	LXI SP 20B0
8267	
8268	
8269	CALL -9- => DETIENE EL MOVIMIENTO DEL MOTOR
826A	
826B	
826C	NOP
	CAPTURA LA ESTACION INTERMEDIA # 2
8275	LXI SP 20B0
8276	
8277	
8278	MVI A,02
8279	
827A	OUT 20
827B	
827C	DIR 19 IN 23
827D	
827E	ANI 01
827F	
8280	JZ DIR 19
8281	
8282	
8283	IN 21
8284	
8285	STA 2008 => CAPTURA SENTIDO
8286	
8287	
8288	LDA 2008 => CAPTURA SENTIDO
8289	
828A	
828B	RRC
828C	RRC
828D	RRC
828E	JC DIR 20
828F	
8290	
8291	LXI SP 20B0
8292	
8293	
8293	CALL - 1 -
8294	
8295	
8296	NOP
8297	JMP DIR 21
8298	
8299	
829A	NOP
829B	LXI SP 20B0
829C	
829D	
829E	CALL - 2 -
829F	

82A0		
82A1	DIR 21	NOP
82A2		LXI SP 20B0
82A3		
82A4		
82A5		CALL -3-
82A6		
82A7		
82A8		NOP
82A9		LXI SP 20B0
82AA		
82AB		
82AC		CALL -4-
82AD		
82AE		
82AF		NOP
82B0		LXI SP 20B0
82B1		
82B2		
82B3		CALL -5-
82B4		
82B5		
82B6		NOP
82B7		LXI SP 20B0
82B8		
82B9		
82BA		CALL -6-
82BB		
82BC		
82BD		NOP
82BE		LXI SP 20B0
82BF		
82C0		
82C1		CALL -7-
82C2		
82C3		
82C4		NOP
82C5		LXI SP 20B0
82C6		
82C7		
82C8		CALL -8-
82C9		
82CA		
82CB		NOP
82CD		LXI SP 20B0
82CE		
82CF		
82D0		CALL -9-
82D1		
81D2		
82D3		NOP

CAPTURA ESTACION FINAL
LXI SP 20B0

82FO		
82F1		
82F2		
82F3		MVI A,02
82F4		
82F5		OUT 20
82F6		
82F7	DIR 22	IN 23
82F8		
82F9		ANI 04
82FA		
82FB		JNZ DIR 22
82FC		
82FD		
82FE		IN 21
82FF		
8300		STA 2004 DIRECCION FINAL
8301		
8302		
8303		LDA 2004 CAPTURA SENTIDO
8304		
8305		
8306		RRC
8307		RRC
8308		RRC
8309		JC DIR 23
830A		
830B		
830C		LXI SP 20B0
830D		
830E		
830F		CALL -1-
8310		
8311		
8312		JMP DIR 24
8313		
8314		
8315	DIR 23	NOP
8316		LXI SP 20B0
8317		
8318		
8319		CALL -2-
831A		
831B		
831C	DIR 24	NOP
831D		LXI SP 20B0
831E		
831F		
8320		CALL -3-
8321		
8322		
8323		NOP
8324		LXI SP 20B0
8325		

8326	
8327	CALL -4-
8328	
8329	
832A	NOP
832B	LXI SP 20B0
832C	
832D	
832E	CALL -5-
832F	NOP
8330	LXI SP 20B0
8331	
8332	
8333	CALL -6-
8334	
8335	
8336	NOP
8337	LXI SP 20B0
8338	
8339	
833A	CALL -7-
833B	
833C	
833D	NOP
833E	LXI SP 20B0
833F	CALL -8-
8340	
8341	
8342	NOP
8343	LXI SP 20B0
8344	
8345	
8346	CALL -9-
8347	
8348	
8349	NOP
834A	JMP DIR 8 => SALTA A LA COLUMNA DEL PROGRAMA
834B	
834C	

PRINCIPAL

VI.4.2 Sub-rutinas

Finalmente, la tercera parte es un conjunto de subrutinas .

```
8400          SENTIDO POSITIVO HACIA EL MOTOR
8401
8402
8403      MVI A,82 => SUB-RUTINA 1
8404
8405      OUT A3
8406
8407      MVI,EE  => SENTIDO POSITIVO
8408
8409      OUT A2
840A
840B      RET
840C
840D
840E          ;SUB-RUTINA 2
840F
8410
8411
8412      MVI A,82
8413
8414      OUT A3
8415
8416      MVI A,FF =>SENTIDO NEGATIVO<=
8417
8418      OUT A2
8419
841A      RET
841B
841C
841D
841E      LDA 2004 => SUBRUTINA 3
841F
8420
8421      ANI F0      ELECCION DE UN TRAMO
8022
8423      LXI H,      INICIO DE LA TABLA #2
8424
8425
8426 DIR 26      CMP M
8427              INX H
8428              JZ DIR 25
8429
842A
842B              INX H
842C              INX H
842D              JMP DIR 26
842E
842F
8430 DIR 25      MOV E,H
8431              INX H
```

8432	MOV D,M	
8433	XCHG	
8434	PCHL	
8435		
8436		
8437		
8438	MVI A,82	TRAMO 1
8439		
843A	OUT A3	
843B		
843C	MVI F1	
843D		
843E	OUT A2	
843F		
8440	IN A1	
8441		
8442	ANI FF	
8443		
8444	STA 2006	
8445		
8446		
8447	RET	
8448		
8449		
844A		
844B		;TRAMO 2
844C		
844D	MVI A,82	
844E		
844F	OUT A3	
8450		
8451	MVI A,	
8452		
8453	OUT A2	
8454		
8455	IN A1	
8456		
8457	ANI FF	
8458		
8459	STA 2006	
845A		
845B		
845C	RET	
845D		
845E		
845F		;TRAMO 3
8460		
8461		
8462	MVI A,82 = >	TRAMO 3
8463		
8464	OUT A3	
8465		
8466	MVI A,	
8467		
8468	OUT A2	

```

8469
846A      IN A1
846B
846C      ANI FF
846D
846E      STA 2006
846F
8470
8471      RET
8472
8473
8474      ;=> TRAMO 4<=
8475
8476
8477      MVI A,82 => TRAMO 4
8478
8479      OUT A3
847A
847B      MVI A,
847C
847D      OUT A2
847E
847F      IN 21
8480
8481      ANI FF
8482
8483      STA 2006
8484
8485
8486      RET
8487
8488      ;=> TRAMO 5 <=
8489
848A
848B
848C      MVI A,82 => TRAMO 5
848D
848E      OUT A3
848F
8490      MVI A,
8491
8492      OUT A2
8493
8494      IN 21
8495
8496      ANI FF
8497
8498      STA 2006
8499
849A
849B      RET
849C
849D
849E      LXI H,      => SUBROUTINA 4 RUTINA DE COMPARACION
849F      DIRECCION DE INICIO TABLA #4

```

```

8469
846A      IN A1
846B
846C      ANI FF
846D
846E      STA 2006
846F
8470
8471      RET
8472
8473
8474
8475
8476
8477      MVI A,82  => TRAMO 4
8478
8479      OUT A3
847A
847B      MVI A,
847C
847D      OUT A2
847E
847F      IN 21
8480
8481      ANI FF
8482
8483      STA 2006
8484
8485
8486      RET
8487
8488
8489
848A
848B
848C      MVI A,82  => TRAMO 5
848D
848E      OUT A3
848F
8490      MVI A,
8491
8492      OUT A2
8493
8494      IN 21
8495
8496      ANI FF
8497
8498      STA 2006
8499
849A
849B      RET
849C
849D
849E      LXI H,    => SUBROUTINA 4 RUTINA DE COMPARACION
849F      DIRECCION DE INICO TABLA #4

```

84A0		MOV B,M
84A1		
84A2		INX H
84A3		MVI C,00
84A4		
84A5		LDA 2006
84A6		
84A7		
84A8	DIR 29	CMP M
84A9		JZ DIR 27
84AA		
84AB		
84AC		JC DIR 28
84AD		
84AE		
84AF		INX H
84B0		DCR B
84B1		JNZ DIR 29
84B2		
84B3		
84B4	DIR 28	MVI C,FF
84B5	DIR 29	MOV A,C
84B6		
84B7		STA 200A
84B8		
84B9		
84BA		LDA 200A
84BB		
84BC		
84BD		ADC
84BE		JC DIR 30
84BF		
84C0		
84C1		RET
84C2		
84C3		
84C4		
84C5		
84C6		
84C7		
84C8		
84C9		
84CA		
84CB		
84CC		
84CD		
84CE		
84CF		
84D0		LDA 2004 SUBROUTINA 5
84D1		; PERMITE HABILITAR LOS CONMUTADORES DE VIA
84D2		; DIRECCION DESTINO TABLA #4
84D3		ANI FO
84D4		
84D5		LXI H,
84D6		

```

84D7
84D8 DIR 32   CMP M
84D9         INX H
84DA         JZ DIR 31
84DB
84DC
84DD         INX H
84DE         INX H
84DF         JMP DIR 32
84E0
84E1
84E2 DIR 31   MOV E,M
84E3         INH H
84E4         MOV D,M
84E5         XCHG
84E6         PCHL
84E7
84E8
84E9
84EA
84EB         MVI A,82   => UNION DE TRAMO CE
84EC
84ED         OUT A3
84EE
84EF         MVI A,      COLOCA CONDICION
84F0
84F1         OUT A0
84F2
84F3         RET
84F4
84F5
84F6
84F7
84F8
84F9         MVI A,82   =>UNION DE TRAMO D-B
84FA
84FB         OUT A3
84FC
84FD         MVI A,FB
84FE
84FF         OUT A0
8500
8501         RET
8502
8503
8504
8505
8506
8507         MVI A,82   =>UNION DE TRAMO C-D
8508
8509         OUT A3
850A
850B         MVI A,F7
850C
850D         OUT A0

```



```

850E
850F          RET
8510
8511
8512
8513
8514          ;UNE TRAMO E-B
8515          MVI A,82          => UNE TRAMO E-B
8516
8517          OUT A3
8518
8519          MVI A,FF
851A
851B          OUT A0
851C
851D          RET
851E
851E
851F
8520          ;SUB-RUTINA 7
8521
8522          DA EL PULSO DE ARRANQUE HACIA EL MOTOR
8523          MVI A,82          => SUBRUTINA 7
8524
8525          OUT A3
8526
8527          MVI A,FC
8528
8529          OUT A0
852A
852B          RET
852C
852D
852E          ;SUB-RUTINA 9
852F          DA EL PULSO DE ALTO PARA EL MOTOR
8530
8531          MVI A,82
8532
8533          OUT A3
8534
8535          MVI A,FF
8536
8537          OUT A0
8538
8539          RET
853A          SUB-RUTINA # 6 => 1 MIN C/INTERRUPCION
853B          REALIZA UN RETARDO DE 1 MIN CON LA POSIBILIDAD DE
853C          PODER INTERRUMPIR EL PROGRAMA EN CURSO
853D          MVI A,08
853E
853F          SIM
8540          DIR 34          EI
8541          MOV A,B
8542          INR A
8543          DAA

```

8544		CPI A,60
8545		
8546		JNZ DIR 33
8547		
8548		
8549		CA DIR 35
854A		
854B		
854C		XRA A
854D	DIR 33	MOV B,A
854E		PUSH B
854F		CALL UPPDDT
8550		
8551		
8552		LXI D,FFFF
8553		
8554		
8555		CALL DELAY
8556		
8557		
8558		LXI D,
8559		
855A		
855B		CALL DELAY
855C		
855D		
855E		POP B
855F		JMP DIR 34
8560		
8561		
8562		RET
8563		NOP
8564		RET
20CE		EI
20CF		HLT
20D0		RET

8566	DIR 38	SUB-RUTINA 8 1 MIN S/ INTERRPCION
8567		RETARDO DE UN 1 MIN. SIN LA POSIBILIDAD
8568		DE INTERRUMPIR EL PROGRAMA EN CURSO
8569		MOV A,B
856A		INR A
856B		DAA
856C		CPI A,60
856D		
856E		JNZ DIR 36
856F		
8570		
8571		CA DIR 37
8572		
8573		

8574		XRA A
8575	DIR 36	MOV B,A
8576		PUSH B
8577		CALL
8578		
8579		
857A		LXI D,FFFF
857B		
857C		
857D		CALL DELAY
857E		
857F		
8580		LXI D,
8581		
8582		
8583		CALL DELAY
8584		
8585		
8586		POP B
8587		JMP DIR 38*49
8588		
8589		
858A		NOP
858B		NOP
858C		NOP
858D		RET
858E		
858F		
8590		

VII Conclusiones

La versatilidad que posee un microprocesador obedece a sus propiedades combinacional/secuencial, cuya actuación específica no esta predefinida, sino que es consecuencia de la ejecución de un conjunto de instrucciones (programa).

Un sistema digital basado en microprocesadores, es capaz potencialmente, de gobernar cualquier tipo de proceso periférico por medio del adecuado intercambio de información. El procedimiento de intercambio, los parámetros a controlar, y en definitiva, el tratamiento que debe darse a la información puesta en juego, constituyen los factores que especializan la actuación del sistema y que deben ser comunicados a la unidad de control de procesos (microprocesador) en forma de secuencia de instrucciones.

Según la aplicación a la que se pretende dedicar el sistema, sera necesario confeccionar el adecuado programa de instrucciones. De forma resumida, la especialización de un sistema basado en el microprocesador hacia determinada aplicación practica, se debe de tener presente:

El estudio del lenguaje de programación a utilizar o del repertorio de instrucciones interpretables y ejecutables por el microprocesador.

Por otra parte, el desarrollo de programas en lenguajes de bajo nivel proporcionan un excelente medio para:

Entender la filosofía de la programación de microprocesadores, como un concepto, mas que como la codificación de un algoritmo. El hecho de programar en lenguajes de este nivel implica un mayor esfuerzo para el programador, sin embargo, la disciplina, que se deriva de éste es muy adecuada y benefica.

La utilización de una metodología para el desarrollo de sistema digitales basados en microprocesadores, no esta limitada a aplicaciones que se basan en lenguajes de alto nivel, ni tampoco se limita al tamaño del sistema.

BIBLIOGRAFIA

- 1.-Microsystem componets hand book
Microprocessors and peripherals : Volume I
INTEL 1985
- 2.-Microprocesadores y microcontroladores aplicados a la industria
Torres Portero Manuel
Editorial Paraninfo S.A.
- 3.-Diseño de sistemas digitales con microprocesadores
Mandado E. Y Tassis E.
Publicaciones Marcombo, S.A. 1982
- 4.-8080A / 8085 Assembly language programing
Leventhal Lance A.
OSBORNE / MC GRAW-HILL 1978
- 5.-8085A Cook Book
Titus A. Christopher, Titus A. Jonathan y Larsen G.
David
Howard W. Sam & Co, Inc. 1980
- 6.-Microprocessor/Hardware Interfacing and Aplications
Brey B. Berry
De Ury Institute of technology-cocumbugs, Ohio
Merrill's International series in electrical and E-
lectronica technology
- 7.-MCS-80/85 Family User's Manual
INTEC Corp. 1979
- 8.-Microprocessors in industry
Hordeski, Michael F
- 9.-Microprocessors for industry
Baldwin, I.N.W.
- 10.-Microprocessors in instrumentes and control
BIBBERO, Robert G.
- 11.-Microprocessor: hardware, software and desing
application
Subbaro Wvnnava