

300617

7
2ej



UNIVERSIDAD LA SALLE

ESCUELA DE INGENIERIA

INCORPORADA A LA UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO

"DISEÑO DE UNA INTERFAZ PARA EL CONTROL
DE INSTRUMENTOS EN UNA ESTACION
DE TRABAJO AUTOMATIZADA"

T E S I S

QUE PARA OBTENER EL TITULO DE
INGENIERO MECANICO-ELECTRICISTA
CON AREA PRINCIPAL EN ELECTRONICA

P R E S E N T A

IGNACIO CRISTERNA GUZMAN

TESIS CON
FALLA DE ORIGEN

MEXICO, D. F.

1988



Universidad Nacional
Autónoma de México

Dirección General de Bibliotecas de la UNAM

Biblioteca Central



UNAM – Dirección General de Bibliotecas
Tesis Digitales
Restricciones de uso

DERECHOS RESERVADOS ©
PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

INDICE

INTRODUCCION.	1
CAPITULO I. PANORAMICA GENERAL DEL TRABAJO	
1.1 PROPOSITO Y JUSTIFICACION	I-1
1.2 ANTECEDENTES	I-1
1.3 CARACTERISTICAS DE LA NORMA IEEE-488	I-2
1.3.1 GENERALIDADES	I-2
1.3.2 ARQUITECTURA DEL BUS IEEE-488.	I-4
1.4 CARACTERISTICAS DE LA MEDICION AUTOMATIZADA.	I-10
CAPITULO II. PROCEDIMIENTOS DEL BUS IEEE-488	
II.1 CARACTERISTICAS DEL PROTOCOLO IEEE-488	II-1
II.1.1 LINEAS COMPONENTES DEL BUS	II-1
II.1.2 TRANSFERENCIA DE DATOS EN EL BUS IEEE-488.	II-9

II.1.3 DIRECCIONAMIENTO EN EL BUS	II-21
II.1.4 CARACTERISTICAS ELECTRICAS	II-28
II.1.5 CARACTERISTICAS MECANICAS.	II-30
II.1.6 LA NORMA IEEE-488 CON RESPECTO A LA NORMA IEC-625.	II-34
II.2 CONCEPTUALIZACION DE UNA TARJETA DE INTERFAZ	II-36
II.3 DEFINICION DE LAS FUNCIONES A REALIZAR POR LA TARJETA.	II-38
II.4 DIAGRAMA A BLOQUES DE LA TARJETA	II-46

**CAPITULO III. DISEÑO DE LA INTERFAZ Y CARACTERISTICAS
DE ACOPLAMIENTO AL COMPUTADOR.**

III.1 GENERALIDADES.	III-1
III.2 ACOPLAMIENTO A LA COMPUTADORA PERSONAL . . .	III-4
III.2.1 CARACTERISTICAS DEL CONECTOR DE EXPANSION.	III-4
III.2.2 RELACIONES DE TIEMPO EN EL CONECTOR DE EXPANSION.	III-11
III.3 DISEÑO DE LA TARJETA	III-25
III.3.1 INTERACCION DE LOS REGISTROS DE LA TARJETA CON LA COMPUTADORA.	III-25
III.3.2 CIRCUITO DE SINCRONIZACION	III-49
III.3.3 ACOPLAMIENTO DE LA TARJETA AL BUS IEEE-488	III-52

**CAPITULO IV. ESPECIFICACIONES SOBRE EL AMBIENTE
Y OPERACION DE LA TARJETA.**

IV.1 CARACTERISTICAS DE LA COMPUTADORA EN LA QUE SE USARA LA INTERFAZ	IV-1
IV.1.1 GENERALIDADES.	IV-1
IV.1.2 ALGUNAS CONSIDERACIONES SOBRE COMPATIBILIDAD	IV-3
IV.2 PROGRAMAS PARA LA TARJETA	IV-7
IV.2.1 ARQUITECTURA INTERNA DEL CONTROLADOR PD7210.	IV-7
IV.2.2 CARACTERISTICAS DEL MICROPROCESADOR 8088 . .	IV-17
IV.2.3 DESCRIPCION DE LAS RUTINAS DE PRUEBA	IV-21

CAPITULO V. ARMADO Y PRUEBA DE LA TARJETA.

V.1 ARMADO DEL EQUIPO.	V-1
V.1.1 CONSIDERACIONES SOBRE LA CONSTRUCCION	V-1
V.1.2 CONSTRUCCION DE LA TARJETA.	V-2
V.1.3 DISMINUCION DE RUIDO.	V-3
V.1.3.1 SISTEMA DE TIERRAS.	V-3
V.1.3.2 DESACOPLAMIENTO DE LA FUENTE.	V-6
V.2 PRUEBA FUNCIONAL	V-9
V.2.1 PRUEBA MEDIANTE PROGRAMA DEL SISTEMA	V-9
V.2.2 MEDICION DE LOS TIEMPOS DE ACCESO.	V-12

CAPITULO VI. CONEXION DE UN INSTRUMENTO COMPATIBLE
CON EL BUS IEEE-488 A LA COMPUTADORA.

VI.1 CARACTERISTICAS DEL MODULO	VI-1
VI.1.1 ATRIBUTOS GENERALES.	VI-1
VI.1.2 CARACTERISTICAS DE USO	VI-4

VI.2 DIAGRAMA A BLOQUES DEL INSTRUMENTO	VI-9
VI.3 ESPECIFICACIONES DEL ACOPLAMIENTO A LA COMPUTADORA.	VI-13
VI.3.1 GENERALIDADES.	VI-13
VI.3.2 FUNCIONAMIENTO DEL INTERFAZ DEL PS-19.	VI-15
VI.3.3 FUNCIONES DEL BUS.	VI-16
VI.4 PROGRAMACION DEL PS-19	VI-20
CONCLUSIONES.203
APENDICE 1.206
APENDICE 2.215
ANEXO.	217
REFERENCIAS234

INTRODUCCION

La proliferación de las computadoras personales ha proporcionado una gran capacidad de manejo de información a instituciones que, antaño, habían sido relegadas de las ventajas inherentes al uso de la computación. Esto es especialmente cierto para los laboratorios de investigación, los cuales dependían de instalaciones de cómputo centralizadas (cuyo control les era ajeno) y generalmente saturadas lo que significaba un tiempo de respuesta bastante grande y la imposibilidad de usar estos recursos de cómputo en procesos que requieran toda la atención del procesador. Con las computadoras personales, cualquier laboratorio podrá contar con recursos de cómputo de los que se podrá disponer en forma total, de bajo costo y que podrán usarse para el control de experimentos que requieren de completa atención por parte de la computadora. Es ahí la necesidad de construir los elementos que permitan adaptar estas computadoras a las necesidades de instituciones de investigación.

En este trabajo se abordará el diseño y construcción de un circuito que adapta una de estas computadoras personales a una aplicación relacionada con el control y adquisición de datos de instrumentos. En el capítulo 1 se describe el propósito específico de este trabajo mencionando las razones del enfoque dado, especialmente el por qué de la utilización de un cierto formato de

manejo de datos. En el capítulo 2 se describe el protocolo usado para la comunicación de datos, mencionando sus características funcionales, eléctricas y mecánicas. En el capítulo 3 se describe el diseño de la tarjeta haciendo énfasis en las relaciones de tiempo presentes en el conector de expansión de la computadora. En el capítulo 4 se describen las rutinas usadas para manejar algunas de las operaciones ejecutables por la tarjeta. En el capítulo 5 se describen los procedimientos usados en el armado de la tarjeta para su conexión a la computadora personal. En el capítulo 6 se describe una aplicación para el circuito diseñado, incluyendo un programa para el control de un instrumento de laboratorio.

CAPITULO I. PANORAMICA GENERAL DEL TRABAJO

1.1 PROPOSITO Y JUSTIFICACION

El propósito de este trabajo es diseñar una tarjeta por medio de la cual conectar una computadora personal a un sistema de medición que funcione de acuerdo al protocolo IEEE-488. Este proyecto surgió debido a la necesidad de lograr una mayor flexibilidad en la realización de mediciones utilizando instrumentos programables e integrar los recursos de una computadora personal proporcionando capacidades de almacenamiento y programación a bajo costo.

1.2 ANTECEDENTES

El problema del acoplamiento entre computadoras e instrumentos de medición con capacidades de comunicaciones digitales surgió tan

pronto como éstos fueron puestos en uso. La posibilidad de obtener el equivalente binario del resultado de una medición sugirió la posibilidad de acoplar los instrumentos que contaran con esa capacidad a sistemas de cómputo que facilitarían la realización de pruebas y la captura de resultados así como el almacenamiento posterior de las configuraciones de los instrumentos a fin de poder recrear una prueba sin necesidad de realizar nuevamente los ajustes necesarios.

Uno de los primeros modos de comunicación entre instrumentos digitales, y actualmente el más utilizado en estas aplicaciones, es el bus IEEE-488 para el que actualmente se pueden encontrar aparatos capaces de medir toda clase de magnitudes eléctricas.

1.3 CARACTERISTICAS DE LA NORMA IEEE-488

1.3.1 GENERALIDADES.

El bus IEEE-488 fue establecido en 1975 con el nombre formal de "IEEE Standard Digital Interface for Programmable Instrumentation". Este tuvo una revisión mayor en 1978, en la cual, de acuerdo al comité encargado de la normalización, "...se han realizado cambios de naturaleza técnica, [Y] estos proporcionan claridad a los enunciados potencialmente ambiguos"... Este fue diseñado en base a una serie de objetivos que definirían las características principales del bus. Estas son:

- a) Estructura de línea compartida
- b) Velocidad de transferencia de datos menor a un millón de bytes por segundo (aunque la velocidad de operación típica de dispositivos reales fluctúa entre 25 y 100 mil bytes por segundo.
- c) Transferencia de bits en paralelo, bytes en serie
- d) La longitud máxima del cable de interconexión entre instrumentos conectados al bus será de 20 metros o dos veces el número en metros de los dispositivos conectados, lo que resulte en la menor distancia

Además, de acuerdo al comité encargado de establecer la norma, se adoptó una estructura que permitiera reducir los costos en la circuitería necesaria para construir la interfaz dentro de un instrumento.

Otra consideración importante fue la búsqueda de flexibilidad, es decir la capacidad de utilizar el bus no solo para el intercambio de datos y comandos entre los controladores y los instrumentos de medición sino también contar con la posibilidad de acceder periféricos de impresión y almacenamiento masivo de información.

I.3.2 ARQUITECTURA DEL BUS IEEE-488

La figura 1.1 muestra la estructura general del bus agrupando las líneas de acuerdo con sus características funcionales.

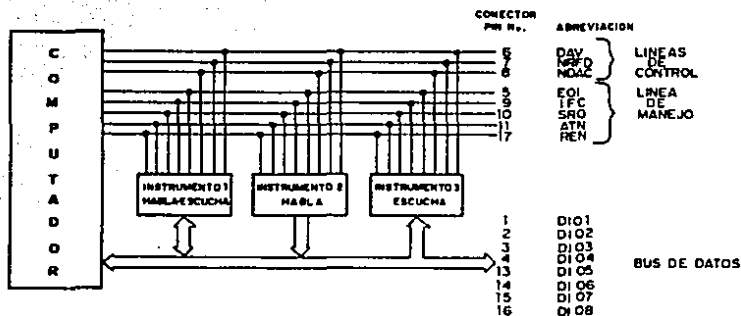


Fig. 1.1.-Estructura general del bus IEEE-488.

El documento en el que se enuncian las características del protocolo es sumamente detallado, especialmente en lo referente a las transacciones en el bus. Dicho protocolo de comunicaciones se basa en un conjunto de funciones llamadas funciones de interfaz y que son independientes de las capacidades y aplicación del instrumento. Cada una de estas funciones está encargada de realizar una tarea dentro del sistema. Como ejemplo de esto, una función se encarga de recibir un dato para el dispositivo mientras que otra se encarga de enviar un dato a otro dispositivo componente del sistema y otra más se encargará de la generación de los mensajes a enviarse a través del sistema. La operación de cada una de las funciones está compuesta de estados que se verifican a medida que se presentan una o más condiciones (y en algunos casos una vez que ha transcurrido un cierto intervalo de tiempo, mientras que en otros casos la activación del estado deberá ocurrir antes de que transcurra un cierto intervalo de tiempo). El funcionamiento de estos estados es similar al seguido durante la operación de una función construida a base de circuitos biestables (flip-flops), es decir realiza una operación secuencial. La figura 1.2 muestra el diagrama de estado de un circuito secuencial. En este diagrama cada estado se representa por un círculo y las transiciones entre los estados se indican con líneas dirigidas que conectan estos círculos.

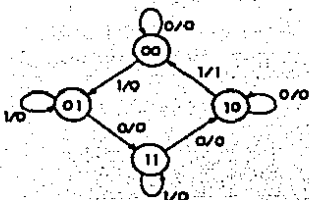


Fig. 1.2.- Estados en un circuito secuencial.

El número binario contenido en cada círculo identifica al estado representado y las líneas dirigidas están marcadas con dos números binarios separados por una diagonal (/). El número escrito a la izquierda de la diagonal representa al valor que provoca la transición al siguiente estado mientras que el número colocado a la derecha es el valor de salida durante el estado presente. Así, la línea que conecta el estado 00 con el 01 tiene junto a ella la expresión (1/0), significando que el circuito secuencial está en el estado presente mientras $X=1$ y que la salida en este estado es $Y=0$; al terminar el siguiente pulso de reloj el circuito pasa al estado 01. En el diagrama de estados, una línea dirigida que conecta al estado consigo mismo indica que en esas condiciones no ocurre cambio de estado. Como se puede observar, el diagrama de estados representa claramente los estados en que puede incurrir el circuito durante su operación, las condiciones requeridas para efectuar una transición y los valores de salida que se presentarán en cada uno de los estados. La característica más importante de

este tipo de diagramas es que nos brinda una representación gráfica del comportamiento del circuito al indicarnos el orden de ocurrencia de los estados (es decir la secuencia de operación).

La norma IEEE-488 utiliza diagramas similares para describir el funcionamiento de cada una de las funciones de interfaz aunque la notación usada muestra algunas diferencias respecto de los diagramas de estado mencionados anteriormente. En los diagramas de las funciones de la interfaz cada estado se representa por medio de un círculo y el estado se nombra con un palabra nemotécnica de 4 letras mayúsculas siendo la última letra una S (que indica que se está refiriendo a un estado). Las transiciones se representan por líneas dirigidas pero a diferencia del tipo anterior de diagramas, se utilizan expresiones en lugar de valores binarios para determinar las transiciones de un estado a otro. La función de interfaz deberá permanecer en su estado presente si todas las expresiones que determinan transiciones a otros estados son falsas y se permitirá la transición únicamente cuando alguna de dichas expresiones sea verdadera; la transición puede ocurrir en cualquier momento a menos que se especifique una restricción de tiempo. La expresión que califica la transición consiste de uno o más mensajes locales, mensajes remotos, encadenamientos de estado (ocurrencia de ciertos estados en otras funciones de la interfaz) y límites de tiempo junto con los operadores AND (^), OR (v) y NOT (-). Al igual que en los diagramas de estado de los circuitos digitales en general, el documento de la normalización específica, mediante una tabla separada, los mensajes de salida de cada uno de los estados

que componen las funciones de interfaz. Dichos mensajes son en realidad el estado que adoptará alguna de las líneas del bus (alto o bajo). De esta manera se detalla el funcionamiento de cada una de las funciones de interfaz proporcionando la secuencia de estados y las condiciones para la verificación de dichos estados.

Para ejemplificar esto, en la figura 1.3 se reproduce el diagrama de estados de la función "LIMPIAR DISPOSITIVOS" (DC):

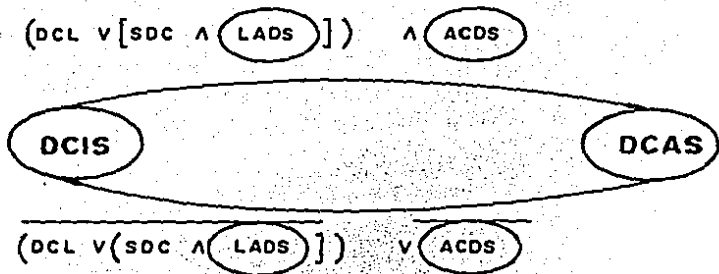


Fig. 1.3.- Funcionamiento de la función DC

Como se puede observar en el diagrama, la función consta de dos estados llamados DCIS (Device Clear Idle State) que es el estado inactivo o de inicio de la función de interfaz y DCAS (Device Clear Active State).

Sin lugar a dudas una de las principales particularidades del documento en el que se especifica el protocolo es el gran detalle con que se describen las funciones, interacciones, señales, estados, mensajes y características especiales de la interfaz, lo que se vuelve sumamente monótono y en algunas ocasiones redundante.

La representación de las funciones de la interfaz por medio de diagramas de estado tiene tres conclusiones directas para la persona encargada de diseñar un dispositivo que deba acoplarse al bus IEEE-488:

- (a) El circuito se deberá construir en base a circuitos digitales secuenciales
- (b) La inclusión de funciones de interfaz con una gran cantidad de estados resultará en un circuito con gran cantidad de componentes.
- (c) La realización de varias (o todas) las funciones de la interfaz es una excelente aplicación para los circuitos de alta escala de integración (VLSI).

1.4 CARACTERISTICAS DE LA MEDICION AUTOMATIZADA.

El objetivo de este trabajo, como ya se mencionó anteriormente, es el diseñar una interfaz para una computadora personal. El fin de esto es el de automatizar las mediciones en un laboratorio de electrónica o cualquier instalación que cuente con instrumentos programables de tal forma que permita almacenar los resultados de dichas mediciones utilizando los recursos de la computadora personal.

Uno de los principales usos de los procesos automáticos es en el campo de las pruebas y las mediciones. Estas son de particular importancia en el diseño de circuitos electrónicos y en su posterior mantenimiento.

En México, las mediciones automatizadas se encuentran, todavía, en su fase inicial. Esto se ha debido principalmente al hecho de que, hasta principios de esta década, la configuración de un sistema de medición requería de un controlador dedicado con un costo sumamente elevado, lo que significa que la mayoría de los laboratorios y centros de investigación, sin contar a las escuelas y universidades, con presupuestos siempre limitados, quedaban fuera de los beneficios originados del uso de los instrumentos programables.

Con la popularización, de las computadoras personales, especialmente del tipo compatible con la computadora personal de IBM (cuyas características se discutirán en un capítulo posterior) se incrementó la adquisición de éstas por parte de los centros de investigación lo que trajo como consecuencia el uso de ellas en una gran cantidad de actividades.

Es necesario tener en mente que las grandes computadoras con que contaban algunos centros de investigación podrían, también, utilizarse para la automatización de mediciones y otros procesos. Sin embargo las compañías fabricantes de estas máquinas siguen una

política de ocultamiento de información con respecto de los esquemas de direccionamiento, tipos de acceso, señales de control, tamaño del dato. Esto fue lo que evitó que se construyeran interfaces que pudieran aplicar estas grandes máquinas a usos particulares o diferentes del procesamiento de datos. Además, para asegurar la rentabilidad del uso de ellas es necesario que sean utilizadas por varias personas simultáneamente, impidiendo su utilización en procesos que requieran la atención completa del procesador.

CAPITULO II

PROCEDIMIENTOS DEL BUS IEEE-488

II.1 CARACTERISTICAS DEL PROTOCOLO IEEE-488

II.1.1 LINEAS COMPONENTES DEL BUS.

En el capítulo 1 se anotaron las características fundamentales del bus IEEE-488. En esta parte del capítulo 2 se hará una revisión más profunda de este protocolo como base para la descripción del funcionamiento de una tarjeta cuyo objetivo es acoplar una computadora personal a un sistema IEEE-488

La figura 2.1 (sig. hoja) muestra un esquema general de las líneas que forman parte del bus IEEE-488, también llamado GPIB (General Purpose Interface Bus).

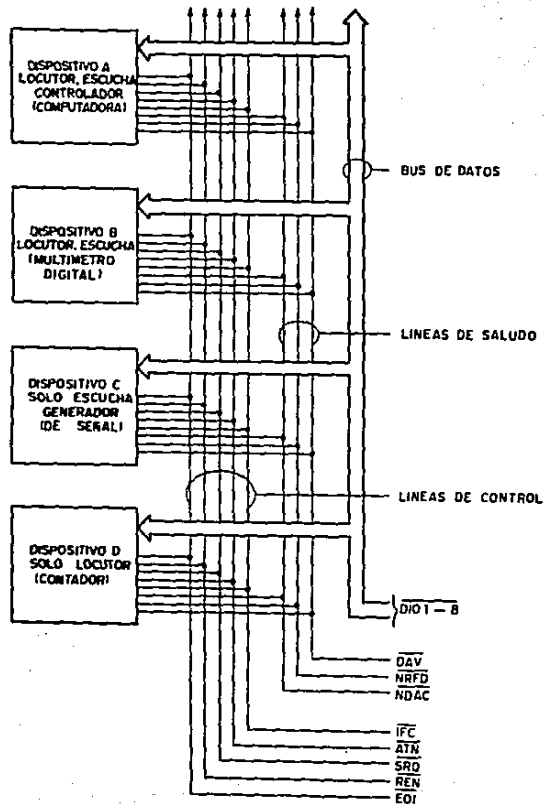


Fig. 2.1.- Diagrama general del bus IEEE-488.

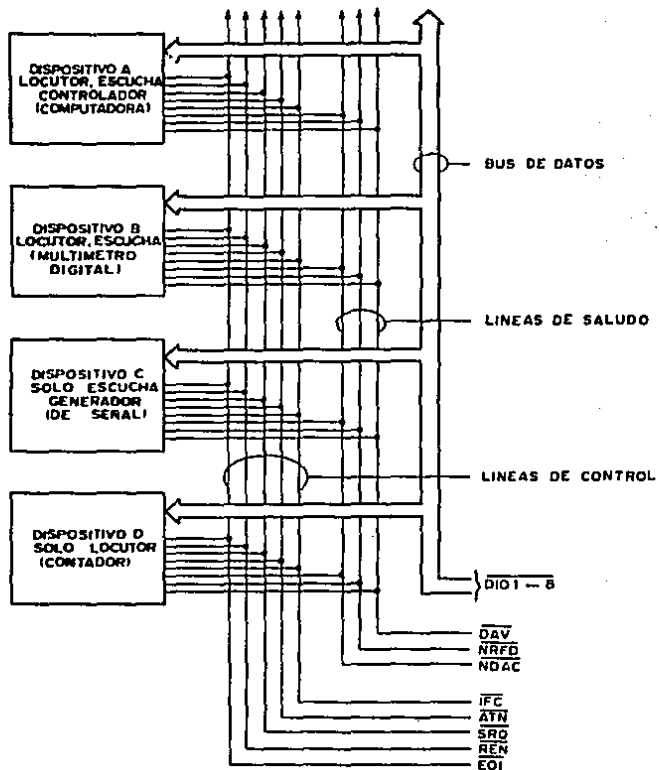


Fig. 2.1.- Diagrama general del bus IEEE-488.

Las líneas de la figura anterior pueden agruparse de acuerdo a la función que realizan dentro del protocolo. Existen tres grupos de líneas dentro del bus IEEE-488

- a) Bus de datos (formado por 8 líneas)
- b) Líneas de control de transferencia (formado por 3 líneas)
- c) Líneas de manejo de interfaz (formado por 5 líneas)

Estas 16 líneas (junto con 6 líneas adicionales de retorno o tierra) forman el bus mediante el cual se conectarán los instrumentos para integrar un sistema IEEE-488.

El grupo del bus de datos está integrado por las líneas DIO 1-8, siendo estas bidireccionales y utilizadas para transmitir datos o direcciones.

El grupo de control de transferencia está formado por 3 líneas encargadas de realizar el proceso conocido como saludo (que se explicará más adelante). Estas líneas reciben los nombres de DAV, NDAC y NRFD. Estos nombres vienen del mensaje que transfieren los estados (alto o bajo) de estas líneas:

- (1) DAV: Data Valid (dato válido).
- (2) NRPD: Not Ready For Data (no listo para recibir datos).
- (3) NDAC: Not Data ACcepted (dato no aceptado)

El grupo de administración de interfaz está formado por las siguientes líneas:

- (1) ATN: ATTention (Atención)
- (2) IFC: InterFace Clear (Limpiar interfaz)
- (3) REN: Remote ENable (Activa operación remota)
- (4) SRQ: Service ReQuest (Solicita servicio)
- (5) EOI: End Or Identify (Fin o Identifica)

La línea DAV se activa (estado bajo) por un "parlante" para indicar que la información presente en las líneas de datos (DIO 1-8) es válida.

La línea NRPD, cuando es activa, indica que no todos los dispositivos del sistema están listos para aceptar información. Cada instrumento, de acuerdo a su capacidad de procesamiento, libera esta línea pero ésta no podrá regresar a su estado alto (falso) hasta que todos los dispositivos la hayan liberado.

La línea NDAC es controlada por los dispositivos que reciben los datos (al igual que NRFD). Se mantiene activa hasta que todos los dispositivos "escuchas" (receptores) hayan capturado la dirección o dato enviado.

La línea ATN es manejada únicamente por el controlador activo durante la secuencia de envío de direcciones o comandos. El controlador a cargo activa esta línea (la pone en estado bajo) para indicar que la información que se encuentra en el bus en ese momento corresponde al protocolo; es decir, se trata de una dirección o una orden dirigida a todos los instrumentos. Cuando ATN regresa al estado alto sólo el "parlante" y el o los "escuchas" que hayan sido seleccionados tomarán parte en el intercambio de datos subsecuente.

La línea IFC es una señal de reestablecimiento activable únicamente por el controlador del sistema y se utiliza para reiniciar la operación de las funciones del sistema de interfaz y es importante asentar que no todos los instrumentos conectables tienen la capacidad de responder al estado activo de IFC (algunos no tienen conexión interna para ella).

La línea REN es activable sólo por el dispositivo controlador del sistema. Cuando es verdadera indica a los instrumentos conectados al bus que atenderán únicamente a los comandos y datos enviados a través del bus. Si esta línea regresa a su estado inactivo, los instrumentos conectados al sistema volverán al

control del panel frontal.

La línea llamada SRQ, cuando está activa (estado bajo), indica que uno o más de los dispositivos conectados al bus requieren atención especial del controlador. Este sería el caso de que un instrumento haya terminado una medición o que haya detectado un error de operación (dependiendo del dispositivo de que se trate).

La línea EOI puede activarse por el controlador activo o por el "parlante" seleccionado previamente. Esta línea se lleva a su estado verdadero (bajo) por un "parlante" durante la transferencia del último dato. Esta operación puede complementarse con el envío de un carácter de fin de transmisión. Esta línea tiene otra función dentro del protocolo: Si se activa al mismo tiempo que se activa la línea ATN, significa el inicio de una secuencia de encuesta en paralelo.

En la figura 2.1 aparece un sistema típico que está conectado mediante el bus IEEE-488. En esta figura se puede observar, además de las líneas de conexión, ejemplos de instrumentos conectables al sistema. En la figura aparecen cuatro tipos de instrumentos: instrumentos capaces de hablar, escuchar y controlar (por ejemplo una computadora); instrumentos capaces sólo de hablar y escuchar (por ejemplo un osciloscopio muestreador); instrumentos capaces sólo de escuchar (por ejemplo un generador de funciones) e instrumentos capaces sólo de hablar (contador de frecuencia). Aquí es conveniente hacer notar que un sistema que funcione de acuerdo al protocolo mencionado puede contar con más de un dispositivo con la capacidad de controlar aunque solo uno de ellos podrá estar activo en un momento determinado.

11.1.2 TRANSFERENCIA DE DATOS EN EL BUS IEEE-488.

El comité encargado de la normalización del protocolo estableció que la transferencia de datos se haría siguiendo dos directrices:

- a) Comunicación de bits en paralelo.
- b) Comunicación de bytes en serie.

El bus funciona en base al envío de dos tipos principales de mensajes: Mensajes unilínea (transferidos por la acción de una sola línea del bus) y mensajes multilínea (transferidos por la acción de dos o más líneas del bus).

En la figura 2.2 se representa el envío del número 25H (H-hexadecimal). En la figura se ven las líneas de datos llevando los dígitos binarios que corresponden a este número hexadecimal.

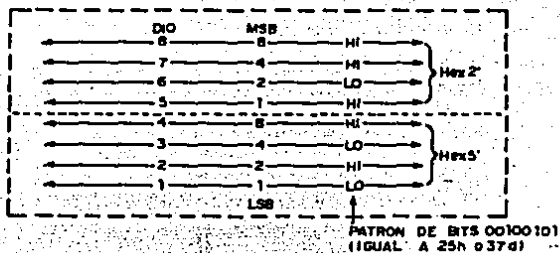


Fig. 2.2.- Transferencia de bits en paralelo.

Aquí resalta una de las principales distinciones de la comunicación de datos en este protocolo. A diferencia de la representación "normal", el "1" lógico se representa por un nivel bajo y el "0" lógico se representa por un nivel alto. Los niveles usados en esta transferencia son compatibles con los niveles utilizados por los circuitos TTL (lógica transistor-transistor). La figura 2.3 representa la característica de transferencia de bytes en serie. En ella se representa el envío de la palabra GENE utilizando el código ASCII (American Standard Code for Information Interchange) para la representación de cada uno de los caracteres.

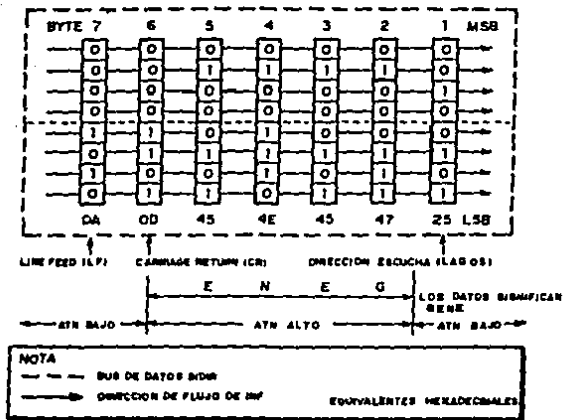


Fig. 2.3.- Transferencia de bytes en serie

La transferencia de datos en el protocolo IEEE-488 puede conceptualizarse como un enlace entre un "parlante" y al menos un "escucha". Esto se representa en la siguiente figura.

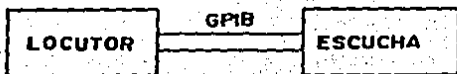


Fig. 2.4.- Esquema básico de comunicación en el bus.

La comunicación de datos en el bus se realiza mediante un proceso de validación y aceptación de cada byte transferido. Este proceso se conoce como "saludo" (aunque es más familiar el nombre en inglés de "handshaking"). Para la realización del "saludo" se utilizan tres líneas dependientes entre sí. Estas son las líneas del grupo de control de transferencia: DAV, NDAC y NRPD. Para llevar a cabo la transferencia del dato, el "parlante" deberá indicar cuando es válida la información presente en el bus de datos. A su vez el "escucha" debe informar al "parlante" que ha aceptado la información. La figura 2.5 muestra un diagrama de tiempos simplificado del "saludo" mostrando la interacción entre las tres señales que forman el grupo de control de transferencia. La línea DAV es manejada por el dispositivo "parlante" mientras que las líneas NDAC y NRPD son activadas por el o los dispositivos "escuchas". El "escucha" usa NRPD para indicar que está listo para recibir datos y NDAC indica que el dato enviado ha sido recibido.

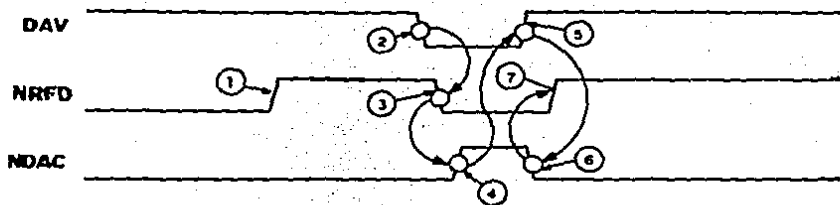


Fig. 2.5.- Diagrama de tiempos del proceso de "saludo"

Asumiendo que se ha verificado la presencia del instrumento y se enviaron direcciones de forma tal que se ha elegido un "parlante" para enviar un dato y un "escucha" para recibirlo, la transferencia de datos consta de las siguientes etapas (referidas a la figura 2.5):

- (1) El "escucha" levanta la línea NRFD indicando así que está listo para recibir datos (hay que recordar que la línea se llama NO LISTO PARA RECIBIR DATOS y es activa en nivel bajo). En este momento el "parlante" coloca el dato en las líneas DIO 1-8.

- (2) Despues de permitir un tiempo para que las líneas se estabilicen, el "parlante" pone en bajo la línea DAV indicando que el dato presente en las líneas de datos es válido.
- (3) Despues de detectar la línea DAV en bajo, el "escucha" activa la línea NRPD para indicar que no puede recibir más datos inmediatamente.
- (4) Despues de alimentar el dato a su memoria interna, el "escucha" levanta la línea NDAC para indicar que ha aceptado el dato que le fue enviado.
- (5) El "parlante", al reconocer que se ha aceptado el dato que envió, levanta DAV para anunciar que los datos presentes en el bus ya no son válidos.
- (6) Cuando el "escucha" detecta DAV en alto, baja la línea NDAC, reconociendo que se está cambiando la información presente en el bus.
- (7) El "escucha" levanta la línea NRPD indicando que está listo para recibir el siguiente dato.

Esta es toda la secuencia. El "escucha" está listo para recibir el siguiente dato y las líneas de control se encuentran como al principio del proceso. Todo el funcionamiento del bus IEEE-488 se basa en la secuencia detallada anteriormente. Es muy importante notar que la naturaleza asincrónica de las señales permite

tomar en cuenta los retrasos debidos a la propagación en las líneas y el tiempo de procesamiento tanto del "escucha" como del "parlante".

En el protocolo existen dos formas de transmitir un mensaje. Estas dos formas se conocen como transferencia activa y transferencia pasiva. Resumiendo, transferencia activa significa que una línea o grupo de líneas adopte un nivel bajo para transmitir un mensaje. La transferencia pasiva significa que una línea o grupo de líneas adopte el nivel alto para transmitir el mensaje. Este esquema se diseñó con el propósito de resolver conflictos entre dispositivos que envíen mensajes opuestos. El bus está diseñado electricamente de tal manera que en todo conflicto entre valores opuestos del mensaje, uno de ellos se transferirá activamente y el otro lo hará pasivamente, predominando en todo caso el mensaje activo. Esto es lo que sucede en el caso de varios instrumentos conectados dentro de un sistema IEEE-488. Cuando uno de ellos envía al "parlante" el mensaje RFD (listo para recibir datos) verdadero (transferencia pasiva) y otro envía el mensaje RFD falso (transferencia activa), el mensaje dominante, y el que el "parlante" detecta, es el mensaje RFD falso el cual se transmitirá activamente. Algo semejante ocurre con el mensaje DAC (dato aceptado). Esta estructura de envío de mensajes, junto con la naturaleza asíncrona del bus, permite que el protocolo pueda acomodar tanto dispositivos lentos como rápidos. La figura 2.6 muestra detalladamente la interacción de estas líneas.

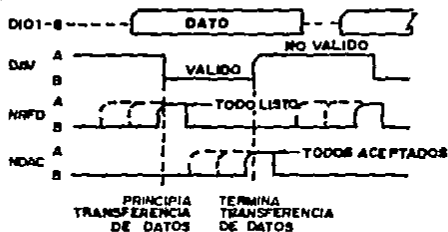


Fig. 2.6.- NRFD y NDAC con respecto a DAV.

Como se observa en la figura anterior la velocidad de la transferencia de datos está determinada por la velocidad del instrumento más lento que interviene en ese intercambio. En la figura las líneas de puntos representan las líneas de control de transferencia a medida que son liberadas por cada uno de los instrumentos de acuerdo a la capacidad de cada uno. El controlador puede pasar a la siguiente fase únicamente cuando todos los instrumentos hayan liberado la línea.

Dentro del protocolo los mensajes se dividen en mensajes remotos y mensajes locales. Los mensajes locales son aquellos que se transfieren entre las funciones del dispositivo y las funciones de la interfaz. Los mensajes remotos son aquellos transferidos entre las funciones de la interfaz y pueden ser mensajes propios de la interfaz o mensajes específicos de los instrumentos.

Las funciones del dispositivo son aquellas capacidades no contempladas por el protocolo y que son dependientes de la aplicación (por ejemplo, alcance de un multímetro, precisión, tipo de corriente que se mide, etc.)

Las funciones de la interfaz son aquellas contenidas en el protocolo y que son independientes de la aplicación. Por ejemplo el envío de un dato, la recepción de un dato, la generación de interrupciones, etc.

Los mensajes remotos multilinea se codifican usando, cuando más, las 8 líneas de datos. Además de esto la línea ATN deberá estar activa, lo que los distingue como mensajes remotos (entre funciones de interfaz). El uso de las 8 líneas permite un máximo de 256 (2^8) combinaciones. Primeramente hay que mencionar que la mayoría de estos mensajes no usa el octavo bit (bit más significativo).

En el apéndice 2 se reproduce la tabla 38 de la norma, llamada codificación de mensajes remotos. En ella aparecen los estados que deberán asumir las 16 líneas del bus para transmitir un cierto mensaje. Estudiando esta tabla notamos en la columna denominada "Type" (tipo) los dos tipos de mensajes mencionados anteriormente: unilínea (U) y multilínea (M). En la columna denominada "Class" (clase) aparecen las varias categorías de mensajes presentes en el protocolo. Estas son:

AC = comando direccionado
AD = dirección
UC = comando universal
DD = dependiente del dispositivo
HS = "saludo"
SE = secundario
ST = estado

Así pues, en esta tabla aparecen mensajes unilínea y mensajes multilínea. No es posible estudiar la codificación de los mensajes dependientes de dispositivos (DD) ya que no existe un caso general aplicable a todos los instrumentos pues dependen de las funciones del dispositivo en cuestión (características de programación, formato de envío de datos, etc.)

Los mensajes remotos multilinea se utilizan para realizar la secuencia de operación de las funciones de la interfaz contenidas en los varios dispositivos de un sistema. Estos pueden ser:

- Comandos universales (dirigidos a todos los dispositivos).
- Comandos dirigidos o direccionados (a todos los dispositivos seleccionados para escuchar).
- Direcciones (a todos los dispositivos).
- Direcciones o comandos secundarios (a todos los dispositivos habilitados por una dirección o comando primario).

Considerando la utilización de 7 bits, se usa un cierto arreglo de los 2 bits más significativos para distinguir que tipo de comando se encuentra en el bus. De esta manera se tendrán los siguientes formatos para la codificación de mensajes remotos:

Líneas de datos								Significado
DIO								
8	7	6	5	4	3	2	1	
N	0	0	0	C	C	C	C	Comando dirigido o direccionado
N	0	0	1	C	C	C	C	Comando universal
N	0	1	A	A	A	A	A	Dirección de "escucha"
N	1	0	A	A	A	A	A	Dirección de "parlante"
N	1	1	S	S	S	S	S	Dirección secundaria

Si se agrupan los bits de un cierto comando para formar los equivalentes hexadecimales y se asume que el bit 8 se envía como 0 (estado alto o pasivo), entonces todos los comandos direccionados tienen como dígito hexadecimal más significativo al 0 mientras que los comandos universales tienen al 1 como dígito hexadecimal más significativo. Así, el comando SDC (selective device clear), el cual indica a un dispositivo en especial que debe regresar a su configuración inicial, se codifica como:

DIO							
8	7	6	5	4	3	2	1
X	0	0	0	0	1	0	0

Dado que el bit 8 generalmente se envía como 0, entonces este código corresponde al número hexadecimal 04.

II.1.3 DIRECCIONAMIENTO EN EL BUS.

A fin de clarificar la codificación de direcciones de "escuchas" y "parlantes", es necesario detallar una de las características de las funciones de la interfaz en un dispositivo real. Una de las funciones que no pueden realizarse remotamente en un sistema IEEE-488 es la asignación de las direcciones de los dispositivos. Es por esto que debe usarse un método local (y manual) de realizar esta asignación. Para esto se usa un grupo de interruptores en el instrumento. En la figura 2.7 se muestra un grupo de estos interruptores junto con la nomenclatura normalmente utilizada para cada uno de ellos.

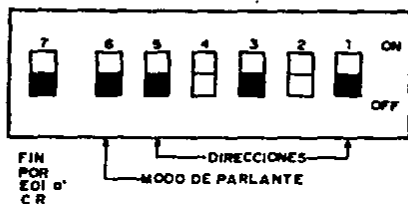


Fig. 2.7.- Interruptores para direcciones

La configuración mostrada es el caso más general y por lo tanto el más ilustrativo. Los 5 interruptores colocados a la derecha se usan para seleccionar la dirección del dispositivo. Dado que se tienen 2 posiciones para cada interruptor y 5 interruptores, se puede tener cualquiera de 32 (2^5) opciones lo

que define un máximo de 32 direcciones en el sistema. El procesador central del instrumento se encarga de leer estos interruptores, normalmente al momento de encenderlo, y esta dirección será la utilizada en las transacciones con la interfaz. El siguiente interruptor hacia la izquierda se denomina EOI y con este se indica al procesador central del instrumento cual será el modo de señalar el fin de transmisión de un bloque de datos. Las dos opciones son utilizar el carácter LF (linefeed) cuyo código es 0AH o la activación de la línea EOI. Los dos interruptores colocados a la izquierda del anterior determinan el modo de operación del dispositivo cuando sea controlado remotamente. El segundo interruptor de izquierda a derecha, cuando está activo (hacia arriba) ordena al procesador que opere en modo "sólo 'parlante'", mientras que el interruptor de la extrema izquierda habilita el modo de operación de "sólo escucha". Supóngase que se colocan los interruptores en la posición ilustrada a continuación:



Fig. 2.8.- Interruptores de Instrumento 8.

Esta configuración corresponderá a la dirección 01000B u 8 decimal. El formato para los mensajes presentado anteriormente deberá realizar la transferencia de esta dirección así como distinguir entre direcciones de "escucha" y de "parlante". De acuerdo a la tabla de codificación de mensajes, la dirección de "escucha" tiene el siguiente formato:

N 0 1 A A A A A,

donde AAAAA es la dirección del dispositivo. Si se sustituye AAAAA por 01000, se obtendrá el siguiente byte:

N 0 1 0 1 0 0 0.

Este será el byte enviado por el controlador, con la línea ATN activa, para habilitar al instrumento 8 como "escucha". Si el bit 8 se envía como 0, este byte corresponde al número hexadecimal 28. Si se deseara habilitar a este mismo dispositivo como "parlante", se sustituye el valor 01000 en el formato de la dirección de "escucha" resultando:

N 1 0 0 1 0 0 0,

lo que será el byte enviado para habilitar al dispositivo 8 como "parlante". Dado que el octavo bit generalmente no se envía, esta dirección corresponderá al número 48H. Esta es la forma en que el dispositivo distingue entre el "permiso para hablar" (dirección de "parlante") y la "orden de escuchar" (dirección de "escucha"). Cada una de ellas se codifica de manera diferente.

Aún cuando los 5 bits de selección de dirección permiten 32 combinaciones, una de ellas no deberá usarse. Esta combinación corresponde al número 3FH para los instrumentos "escucha", se le llama UNL y se envía para devolver a los dispositivos "escuchas" a su estado inactivo. En el caso de los dispositivos "parlantes" esta combinación es 5FH, se llama UNT y se utiliza para devolver a los dispositivos "parlantes" a su estado inactivo (en el que liberan las líneas de datos).

Para un cierto dispositivo, el código correspondiente a su dirección de "escucha" se denomina MLA (my listen address) mientras que el código correspondiente a un dispositivo "parlante" se llama MTA (my talk address).

Además de estas direcciones de un byte, llamadas direcciones primarias, existen direcciones codificadas empleando 2 bytes llamadas direcciones secundarias. A los dispositivos que cuentan con capacidad de reconocer estas direcciones se les llama dispositivos extendidos (TE en el caso de "parlantes" y LE en el caso de "escuchas"). Debe mencionarse que los instrumentos con

direcciones secundarias son poco comunes debido sobre todo a que el uso de microprocesadores facilita la programación a partir de direcciones primarias unicamente.

Un dispositivo que realiza funciones tanto de "escucha" como de "parlante" puede tener la misma combinación de los 5 bits menos significativos de su dirección de "escucha" y de su dirección de "parlante", lo que permite usar un solo grupo de interruptores para configurar, simultaneamente, las direcciones de "escucha" y "parlante".

Una manera sencilla de encontrar el byte que deberá transferirse como dirección de un cierto dispositivo es usar la tabla ASCII modificada que se reproduce en el apéndice 2. En esta aparecen los códigos correspondientes a las direcciones de "escuchas", "parlantes" y direcciones secundarias así como los mensajes remotos multilínea. Para saber el código correspondiente a una cierta dirección, por ejemplo el byte para la dirección de "escucha" 16, se localiza este número en el grupo correspondiente. Este es LAG (listen address group). Los nombres de los grupos se encuentran en el extremo inferior de la tabla. En la parte superior de la columna donde se encuentra este número aparece el símbolo \$3 (el signo \$ indica que se trata de un número hexadecimal) y es el dígito más significativo del byte correspondiente (es decir los 4 bits más significativos). A la extrema izquierda de 16 aparece el símbolo \$0 correspondiente al dígito menos significativo del byte. Por lo tanto, el código de la

dirección de "escucha" 16 es 30H.

Un comando remoto universal cualquiera se localiza en el grupo UCG (universal command group); por ejemplo el comando SPE (habilitación de encuesta en serie). En el extremo superior de este comando se encuentra \$1 correspondiente al dígito más significativo mientras que a la extrema izquierda se encuentra \$8 que el dígito menos significativo. Por lo tanto SPE se codifica como 18H.

Es importante saber el origen de la codificación de estos mensajes y direcciones dado que en el capítulo 4 se usarán estos códigos en la escritura de algunas rutinas de demostración para la tarjeta controladora.

El bus IEEE-488 sólo especifica las características eléctricas de los mensajes a transmitir a través del bus y los mensajes propios de la interfaz; sin embargo no dicta ninguna regla en cuanto al formato de los datos dependientes de los dispositivos. El formato más utilizado, aunque no es aceptado unánimemente, consta de las siguientes características:

- (1) Toda la información se transfiere usando el código ASCII.
- (2) La información se transmite de izquierda a derecha; por ejemplo la palabra DATO se transfiere como:

4E	54	41	44
O	T	A	D

(3) Todas las secuencias de transmisión de datos concluyen con el número 0DH (símbolo ASCII llamado "line feed") en vez de utilizar la línea EOI.

11.1.4 CARACTERISTICAS ELECTRICAS.

La normalización del protocolo incluye, también, las principales características eléctricas que existirán dentro de un sistema IEEE-488. El documento especifica que estas características eléctricas están basadas en la tecnología TTL aunque el uso de ésta no es forzoso.

El protocolo funciona en base al envío de mensajes que se codifican por medio de los voltajes presentes en las líneas. Esta codificación ocurre mediante el empleo de "lógica negada". La relación entre estados lógicos y voltajes en la línea se muestra en la tabla 2.1

Tabla 2.1

Estado lógico	Nivel eléctrico
0	2.0 V.
1	0.8 V.

Los niveles descritos en la tabla 2.1 están referidos a tierra lógica.

De acuerdo a la norma se pueden utilizar dos tipos de excitadores en las líneas de señal del bus: De colector abierto y de tres estados. Se especifica que se deberá utilizar excitadores de colector abierto para las líneas SRQ, NRD y NDAC. Para las líneas DIO 1-8, DAV, IFC, ATN, REN y EOI se podrán utilizar

excitadores de tres estados o de colector abierto de acuerdo a la velocidad de transferencia requerida, con excepción de la respuesta a una encuesta en paralelo en cuyo caso se deberá alimentar las líneas de datos mediante excitadores de colector abierto. Las características eléctricas de estos transceptores se resumen en las secciones 3.3 y 3.4 de la norma IEEE-488.

La manera de lograr que la tarjeta cumpla con estas características eléctricas se abordará en el capítulo 3.

II.1.5 CARACTERISTICAS MECANICAS.

El protocolo cuenta también con una serie de requisitos mecánicos a los que se deberá ajustar cualquier dispositivo que se conecte al bus. Entre estas se especifica el tipo de conector utilizado, la asignación de contactos para las líneas del bus, las dimensiones del cable, la construcción de éste, etc. La figura 2.9 muestra la asignación de contactos en el conector así como una aproximación de la forma que tiene este conector.

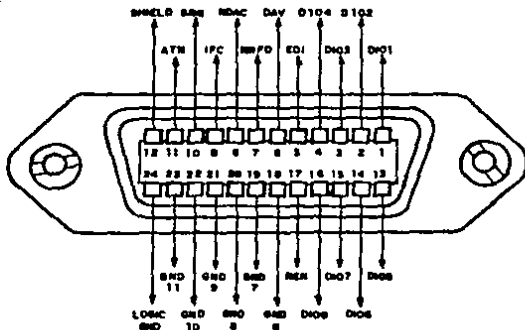


Fig. 2.9.- Asignación de líneas IEEE-488

El documento especifica de manera detallada las consideraciones eléctricas que deberán influir en la elección del conector así como las especificaciones de tipo mecánico que deberán

cumplir estos mismos.

Las principales características mecánicas son:

- Número de contactos: 24
- Superficie de los contactos: auto-limpiable
- Durabilidad: mayor o igual a 1000 inserciones.

La figura 2.10 muestra un extremo del cable que se utilizará para realizar la conexión entre los dispositivos conectados al bus. La parte superior de la figura muestra una de las principales características de estos cables: Cada una de las terminaciones permite la conexión de más de un instrumento pues por un lado el conector es hembra y por el otro lado es macho, permitiendo así la conexión en cadena (daisy-chain) para formar un sistema IEEE-488.

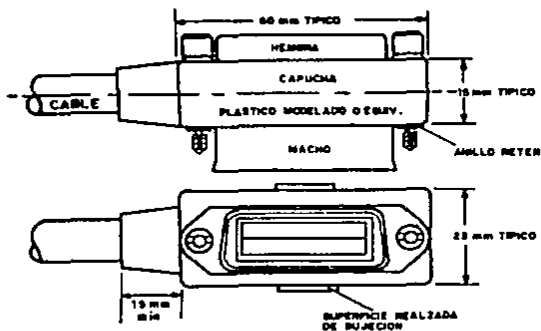


Fig. 2.10.- Conector IEEE-488 típico.

El cable de interconexión del bus IEEE-488 tiene también características especiales que permiten operar en ambiente de ruido relativamente alto. Se especifica que el cable deberá tener por lo menos 24 conductores de los cuales 16 deberán ser líneas de señal y el resto serán retornos a tierra lógica y conexión entre los chasis de los instrumentos integrantes del sistema.

Se establece que la capacitancia máxima (medida a 1 kHz) entre cualquier línea de señal y todas las demás líneas conectadas a tierra deberá ser de 150 pf. por metro.

La figura 2.11 muestra un corte del cable de conexión típico en el

objetivo de esta construcción tan especial es el de minimizar los efectos de interferencia (crosstalk) entre las varias líneas de señal, disminuir la susceptibilidad de estas líneas al ruido externo y evitar la transmisión de las señales de la interfaz al ambiente externo. Irónicamente, la construcción tan especial del cable de conexión del bus IEEE-488 es una de las razones por las que el bus no ha logrado la aceptación total de los fabricantes de instrumentos y esto ha propiciado la aparición de otros buses de control de instrumentos; esto se debe a que el alto precio que alcanza el cable (superior a los 100 dólares) es desproporcionado con el costo de la circuitería del instrumento de medición por lo que algunos fabricantes han decidido adoptar otro tipo de conexiones (que funcionen de acuerdo a otro tipo de protocolos) que se puedan integrar con costos menores, usando, por ejemplo, el cable plano.

II.1.6. LA NORMA IEEE-488 CON RESPECTO A LA NORMA IEC-625.

Existe una versión internacional del protocolo de control de instrumentos programables. Esta es la norma 625-1 de la Comisión Electro-técnica Internacional (IEC)". Ambas especificaciones son en la práctica idénticas en sus especificaciones eléctricas y funcionales. En la versión internacional, IEC-625-1, existen 25 señales que están asignadas de manera diferente, con excepción de las primeras 4 líneas (DIO1-4).

La única línea que no existe en ambos conectores es la tierra de la línea 12 de la norma IEC-625 (ATN), lo que es consecuencia del uso de 25 líneas en vez de 24 (IEEE). La figura 2.12 muestra la representación de un sistema IEEE-488 en el que se incluye un instrumento programable cuya conexión se ajusta a la norma IEC-625. Normalmente estos instrumentos cuentan con conectores "macho" de 25 patas montados en la parte trasera para realizar la conexión al bus. En la figura se representa (sombreado) el adaptador que permite esta conexión entre IEC-625 y IEEE-488.

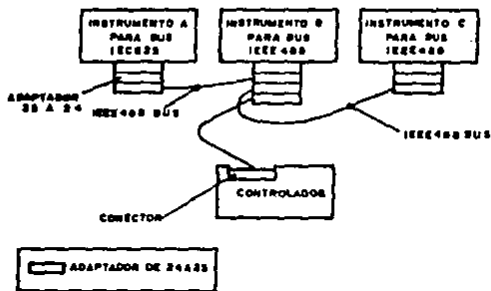


Fig. 2.12.-Compatibilidad entre IEC-625 e IEEE-488.

11.2 CONCEPTUALIZACIÓN DE UNA TARJETA DE INTERFAZ COMPATIBLE CON EL BUS IEEE-488.

La tarjeta que se diseñó en este trabajo puede concebirse como un "puente" entre dos ambientes de trabajo, cada uno de funcionamiento diferente. Por un lado se tiene una computadora que se comunica con el exterior mediante el envío de datos ya sea en serie o en paralelo. Esta conexión con la computadora se abordará posteriormente. Por otro lado tenemos un ambiente de aplicaciones muy específicas y que funciona en base a reglas ajenas a cualquier tipo de computadora.

Como se vió en la parte anterior, el bus IEEE-488 funciona en base a mensajes tanto específicos de la interfaz como dependientes del dispositivo. Una tarjeta que permita la conexión de una computadora a un sistema de este tipo deberá encargarse de tomar los mensajes enviados a la computadora (el cual contará con direcciones de "escucha" y "parlante") y pasarlos al procesador central. También deberá tomar los mensajes enviados por el procesador central de la computadora y enviarlos al bus cumpliendo el protocolo establecido para ello. Más aún, si lo que se busca es diseñar un controlador IEEE-488 (explicado en la parte anterior), la tarjeta deberá responder a las peticiones de servicio, leer palabras de estado generadas por los instrumentos, asignar dispositivos "parlantes" y "escuchas", (pudiendo direccionarse a sí mismo para ejecutar alguna de estas funciones) y realizar encuestas

en paralelo, entre otras cosas.

11.3 DEFINICION DE LAS FUNCIONES A REALIZAR POR LA TARJETA.

Por lo tanto desde el punto de vista de la computadora, la tarjeta representará uno o más puertos de entrada/salida o una o más localidades de memoria; esto dependerá de la configuración y esquema de decodificación utilizados.

Desde el punto de vista del bus, las funciones a realizar por la tarjeta son un poco más complejas y requieren, por lo tanto, de una mayor explicación.

Como se mencionó anteriormente la interfaz funciona en base a la transferencia de mensajes que podrán ser unilínea o multilínea (estos fueron definidos en la sección 2.2). Cada mensaje se enviará falso o verdadero dependiendo del estado en que se encuentre la función de la interfaz.

El dispositivo incurre en estos estados de acuerdo a las funciones del bus que contenga. En el documento se han definido tanto las funciones como los estados que pueden ocurrir dentro de ellas.

Cada una de las funciones de interfaz recibe un nombre especial (y que al principio podrá parecer un poco ambiguo). Además, el nombre de la interfaz tendrá una abreviatura (el documento de la normalización llama a esta abreviatura símbolo).

La abreviatura es la forma más común de designar las funciones de la interfaz. La sección 2 del documento IEEE-488 define las funciones de la interfaz discutiendo las capacidades de cada una de ellas.

El documento describe cada una de las funciones utilizando diagramas de estado que representan en forma detallada la secuencia de ejecución de cada una de estas funciones. Como se describió en el capítulo 1, cada una de las funciones se conceptúa como una máquina de estados. La realización física de esta máquina se dificulta a medida que crece el número de estados dentro de una función, especialmente si en algunos de los estados se envían mensajes a la interfaz (definidos estos en las tablas de salida de mensajes). A fin de disminuir las dificultades en la construcción de estas funciones, y entendiendo que no es necesario contar con todas las funciones en un dispositivo, el comité estableció un grupo de subconjuntos de las funciones. Cada uno de los subconjuntos se nombra por la letra de la función a que pertenece y un número que define la capacidad de ejecución con respecto a la operación completa de la función. Un caso especial (y el de mayor interés para este trabajo) es de la función Controlador (C).

Para un controlador se escoge una o más de las capacidades parciales C1 a C4 en combinación con uno, y sólo uno, de los subconjuntos C5 a C28. La notación típica para describir un controlador consiste de la letra C seguida de uno o más de los números que indican los subconjuntos disponibles (por ejemplo C1,

2, 3, 4, 8).

La complejidad del funcionamiento de la interfaz cuando se requiere contar con varias de las funciones de la misma dió origen a dos tendencias seguidas por los fabricantes de equipo adaptable al bus:

- a) Muchos fabricantes decidieron incorporar en sus productos una compatibilidad parcial ignorando algunas de las líneas de manejo de interfaz, utilizando principalmente las líneas de datos y las tres líneas de control de transferencia, ignorando la realización de las funciones más complejas como la encuesta en paralelo.
- b) La mayoría de los fabricantes comenzó a usar en sus diseños de acoplamiento al bus los circuitos integrados que aparecieron un poco después de la revisión 1978 de la norma, los cuales cumplen con la mayoría de las funciones del protocolo, simplificando grandemente la tarea del diseñador de instrumentos programables.

El segundo enfoque usado es la realización de la interfaz por medio de programación. Para esto se elabora un grupo de subrutinas que se encarguen de la generación de mensajes, estado de las señales, reconocimiento de errores, etc. Estas rutinas serían ejecutadas por un microprocesador. La figura 2.13 muestra un

esquema de circuito de este tipo.

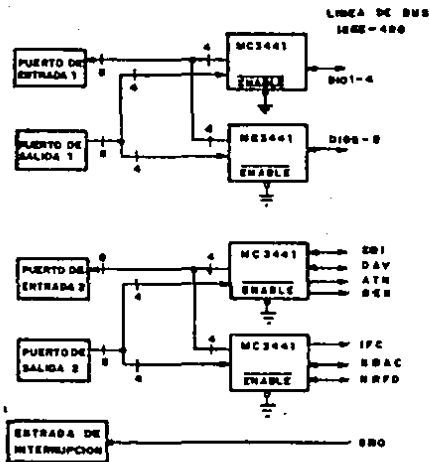


Fig. 2.13.- Conexión IEEE-488 usando μp .

Los puertos señalados en la figura pueden ser simples circuitos "cerrojo" (latches) del tipo 74373 o 74374 (por citar el tipo más común) o puertos programables del tipo 6522, 8255 o similares. El circuito anterior no incluye la lógica de decodificación necesaria para lograr la conexión de estos puertos de entrada/salida, pero si se incluyen los circuitos transceptores necesarios para cumplir las especificaciones de tipo eléctrico señalados por la norma. Estos son necesarios puesto que la mayoría de puertos de entrada/salida del microprocesador no tienen la capacidad de corriente necesaria.

Estos pueden ser del tipo MC3446, SN75160 o cualquier otro tipo similar.

Sin embargo, a pesar de los ventajoso que resulta la flexibilidad obtenida, la realización de las funciones de la interfaz puede resultar en un programa demasiado grande y cuya ejecución consuma un tiempo excesivo del microprocesador lo que ocasionaría que se requiriera de otro procesador (más circuitos, mayor costo, mayor consumo de energía) para realizar las función de control central del dispositivo de medición.

A últimas fechas se han desarrollado un grupo de circuitos de alta escala de integración que incorporan la mayoría de las funciones del protocolo IEEE-488 incluyendo los cambios especificados por la revisión de 1978, lo que ha simplificado grandemente la tarea de acoplar un instrumento al bus.

El uso de estos circuitos integrados resulta en un acoplamiento al bus que es una combinación de circuitería con programación que resulta eficiente en estos dos aspectos.

A la fecha existen varios circuitos que realizan estas funciones, cada uno de ellos con ventajas y desventajas que determinarán la selección de ellos por parte del diseñador. La referencia [9] describe algunos de los problemas que han tenido varios diseñadores en el diseño de interfaces al bus usando algunos de los circuitos disponibles.

El uso de estos circuitos facilita enormemente el diseño del acoplamiento al bus reduciendolo al diseño de subrutinas que se encarguen de verificar el estado del bus por medio de estos circuitos y tomen decisiones en base a esto.

El uso de estos circuitos integrados simplificará el envío. El controlador sólo tiene que escribir el dato a un registro específico del controlador. Después de esto, el circuito, en forma totalmente independiente del procesador central, revisará el estado del bus esperando a que los "escuchas" estén listos para aceptar el dato, enviará el dato y usperará hasta que los "escuchas" lo hayan aceptado.

En general estos circuitos funcionan de manera muy similar por lo que son bastante parecidos en sus configuraciones y conexiones. La mayoría de ellos tienen la característica de inversión de nivel. Con esto se libera al procesador central de la tarea de realizar la conversión necesaria (recuérdese que en el bus las señales se manejan como activo bajo). Tienen además una serie de terminales para la conexión al bus IEEE-488. Estas incluyen las líneas de datos, las líneas de control de transferencia y las líneas de manejo de interfaz. Todos cuentan con un bus de datos de 8 bits para realizar la conexión al procesador central, líneas de habilitación de lectura y escritura (/RD y /WR), una o más líneas de habilitación general del circuito, una línea para el reestablecimiento (RESET) y una o dos entradas para un circuito de sincronización de algún tipo. Además, estos circuitos normalmente

tienen una línea conectable a la lógica de generación de interrupciones del procesador. Por medio de esta se puede indicar al procesador central cuando exista alguna condición en el bus que requiera atención especial del procesador (por ejemplo la activación de la señal SRQ). Además pueden contener lógica de arbitraje de transferencias directas a memoria. Para el procesador central estos circuitos se comportan como un grupo de registros contiguos de los cuales algunos son sólo de escritura y otros sólo de lectura.

El circuito utilizado como parte central de la tarjeta de acoplamiento al bus es capaz de realizar los siguientes subconjuntos de funciones de interfaz:

- SH1 (capacidad completa)
- AH1 (capacidad completa)
- L3 (Escucha básico con dirección de un byte, operación en modo de "solo escucha" y deshabilitación de direccionamiento cuando se recibe MTA)
- LE3 ("escucha" extendido básico con dirección de dos bytes, operación de "solo escucha" y deshabilitación de direccionamiento cuando se recibe MTA o MSA y se ha recibido la primera parte de la dirección).

- T5 ("parlante" básico con dirección de un byte, operación de encuesta en serie, operación en modo de "sólo parlante" y deshabilitación de dirección cuando se recibe MLA).
- T55 ("parlante" básico extendido con dirección de dos bytes, operación de encuesta en serie, operación en modo de "solo parlante" y deshabilitación de dirección cuando se recibe MSA y se ha recibido la primera parte de la dirección).
- SR1 (capacidad completa)
- RL1 (capacidad completa)
- PP1 o PP2 (configuración remota o local)
- DC1 (capacidad completa)
- DT1 (capacidad completa)
- C1, C2, C3, C4 o C5 (todas las capacidades de controlador).

Al ser este un controlador programable significa que para que se realicen todas las funciones mencionadas arriba será necesario programar al dispositivo en la manera apropiada. Los alcances de este trabajo en este aspecto se discutirán en el capítulo 4.

11.4. DIAGRAMA A BLOQUES DE LA TARJETA.

Tomando en cuenta las características de los circuitos mencionados y los problemas presentados por algunos de ellos, en este trabajo se decidió utilizar el controlador NEC μ PD7210 debido a las consideraciones de espacio, cantidad de circuitería adicional requerida y velocidad. Este controlador integra en un solo encapsulado las funciones de la interfaz necesarias para el diseño de dispositivos "parlantes", "escuchas" y controladores (pudiendo combinarse las tres características en un solo dispositivo).

En la figura 2.14 (sig. hoja) se muestra el diagrama a bloques de la tarjeta controladora.

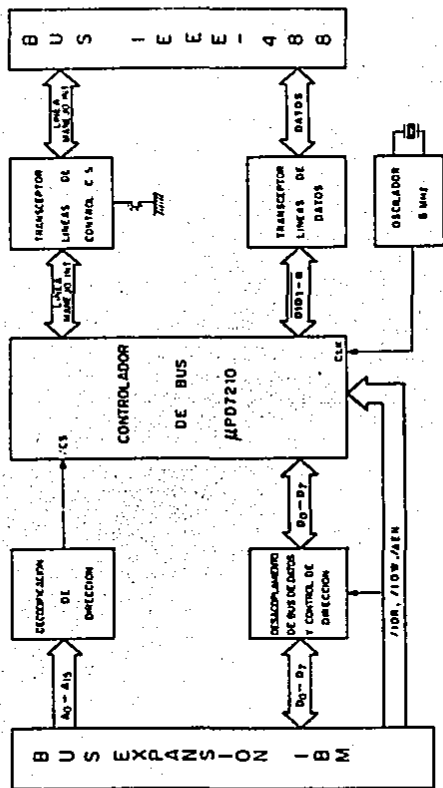


Fig. 2.14.- Diagrama a bloques de la tarjeta.

El elemento fundamental es el μ PD7210 señalado como el bloque mayor. Para la activación de éste dentro de un cierto grupo de direcciones se requiere decodificar las líneas de direcciones para obtener a partir de ellas la línea de activación del circuito (llamada genéricamente "chip select"). Esto se realiza en el bloque llamado DECODIFICACION DE DIRECCIONES que tiene como entradas las direcciones originadas en el bus de la computadora y cuya salida es una o más líneas de habilitación. No todas las líneas de dirección pasan por el proceso de decodificación. Hay que recordar que estos circuitos controladores cuentan con varios registros internos y para seleccionar uno de ellos se requerirá de algunas líneas de dirección las cuales, si las especificaciones eléctricas lo permiten, podrán conectarse directamente al circuito.

El bus de datos de la computadora se alimenta al bloque llamado de DESACOPPLAMIENTO Y AMPLIFICACION DE CORRIENTE. Este bloque tiene dos funciones: primeramente se encarga de que las líneas de datos de la tarjeta no sobrecarguen al bus de datos de la computadora en caso de que existan muchas compuertas conectadas a éste. Además de esto, sirve para controlar la dirección de los datos ya que estos son bidireccionales.

Las líneas de control del bus de la computadora personal se alimentan al bloque denominado CONTROL DE DIRECCION. De este bloque se obtienen una o más señales que manejan la dirección del

flujo de datos en base al estado de las líneas de control del bus del computador. Adicionalmente se obtienen algunas de las líneas de control afectadas unicamente por retrasos necesarios para lograr la conexión adecuada al circuito. Esto se detalla en el capítulo 3.

El bloque denominado OSCILADOR tiene como salida una señal periodica de 6 MHz. Como se mencionó anteriormente, estos circuitos controladores requieren una señal de reloj para regular sus funciones internas y cumplir algunas restricciones de tiempo impuestas por la norma.

La conexión del controlador al bus no puede hacerse directamente. Se debe tener presente que el μ PD7210 es en realidad un microprocesador y por lo tanto no cuenta con la gran capacidad de manejo de corriente para poder conectarse al bus y alimentar el máximo de dispositivos conectables. Es por esto que se requiere de adaptadores (llamados transceptores) que cumplan con las especificaciones eléctricas tan especiales del protocolo IEEE-488. Dado que existen 16 líneas en el bus y que los transceptores manejan 8 líneas cada uno, se deberán utilizar dos de ellos. Los dos transceptores utilizados no son iguales entre sí: Uno de ellos está diseñado especialmente para manejar el bus de datos (todos los canales de éste son iguales), mientras que el otro maneja en forma independiente cada una de las líneas del bus de control de la interfaz. En el capítulo 3 se describe detalladamente el diseño de la tarjeta.

CAPITULO III

DISEÑO DE LA INTERFAZ Y CARACTERÍSTICAS DE ACOPLAMIENTO AL COMPUTADOR.

III.1 GENERALIDADES.

Se decidió utilizar uno de los circuitos especializados como parte central de la tarjeta de conexión al bus IEEE-488. Se trata del μ PD7210 fabricado por NEC. Este puede actuar en los tres tipos de dispositivos definidos en la norma: "parlantes", "escuchas" y controladores. La disposición de conexiones de este circuito así como sus principales características eléctricas se detallan en el apéndice 1.

La figura 3.1 (sig. hoja) muestra el diagrama a bloques de este circuito. En éste se puede observar la representación de los 16 registros internos de este circuito y la representación de las funciones de la interfaz realizables por él.

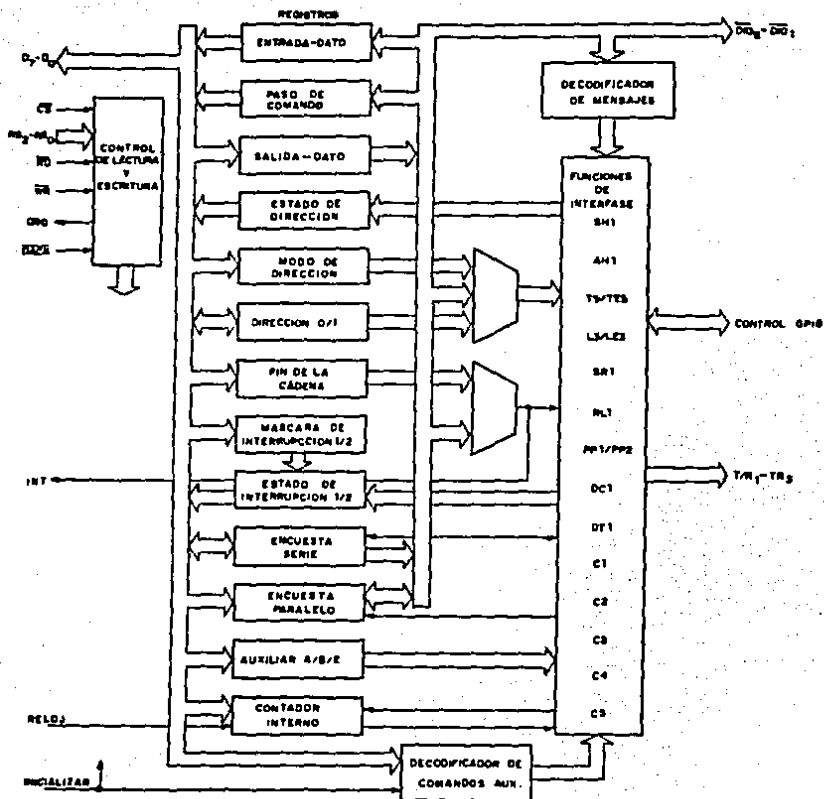


Fig. 3.1.- Controlador WPD7210 a bloques.

Las funciones y modos de operación de cada uno de los registros se describirán más adelante. Por ahora es suficiente decir que por medio de éstos se pueden realizar directamente la mayoría de las funciones de la interfaz.

III.2 ACOPLAMIENTO A LA COMPUTADORA PERSONAL.

III.2.1 CARACTERISTICAS DEL CONECTOR DE EXPANSION

La figura 3.2 muestra el esquema del conector de expansión de la computadora personal IBM. Este conector de expansión es el conjunto de la mayoría de las líneas del microprocesador provistas de la suficiente capacidad de manejo de corriente. Como un antecedente sobre este esquema hay que decir que la computadora personal IBM tiene como su procesador central un microprocesador INTEL 8088 que es una versión del microprocesador 8086 del mismo fabricante.

Las principales características del conector de expansión son:

- 8 líneas de datos
- 20 líneas de dirección
- 6 líneas de petición de interrupción
- 4 canales de Acceso Directo a Memoria (DMA)
- 4 líneas de habilitación de lectura y escritura (memoria y entrada/salida)
- Señales de control varias (ALE, RESET, CHRDY, CHCHK, AEN)

- 2 señales de reloj (14.318 MHz y 4.77 MHz)
- 8 líneas de alimentación y tierra (para voltajes de +5, -5, +12 y -12 V.)

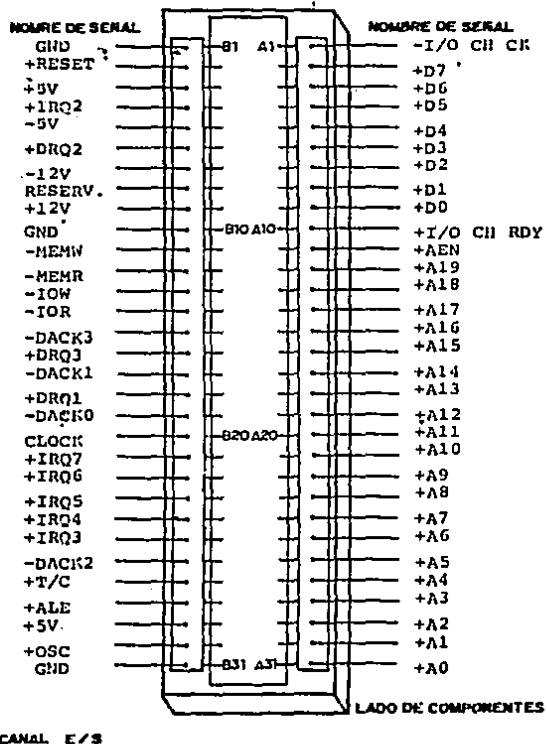


Fig. 3.2.- Conector de expansión IBM.

Como se puede observar, la conexión a este bus de expansión logra una interacción más directa con el microprocesador. Por medio de esta expansión podremos conectar dispositivos que existan tanto en el espacio de memoria como de entrada/salida del microprocesador, tener acceso a las interrupciones del sistema, líneas de alimentación, etc. Debido a esto se escogió realizar el diseño para ser conectado a estas ranuras de expansión.

A fin de generar una base "válida" para el diseño se utilizó la figura llamada SYSTEM BOARD DATA FLOW presentada en la referencia [2] y se calcularon los tiempos utilizando las ecuaciones presentadas en la referencia [4]; usando este diagrama a bloques y calculando los retrasos generados por la circuitería adicional conectada al grupo del microprocesador (formado por el microprocesador 8088, el controlador de reloj 8284 y el controlador de bus 8288) fue posible obtener el marco de referencia requerido. El diagrama a bloques en el que se basó este cálculo se representa en la figura 3.3

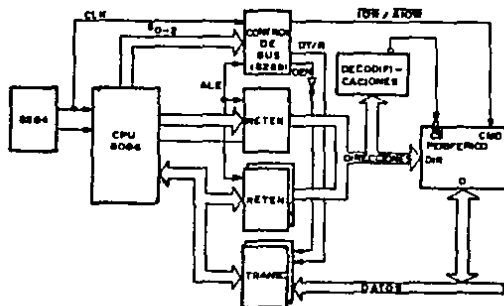


Fig 3.3.- Diagrama a bloques del conjunto del procesador.

En la figura 3.3 destacan, además del procesador funcionando a 5 MHz en modo máximo, los siguientes circuitos adicionales:

- Generador de reloj 8284.
- Controlador de bus 8288 encargado de generar la mayoría de las señales de control.
- Los circuitos denominados LATCH encargados de retener las direcciones una vez que han sido removidas por el microprocesador.

- Los circuitos denominados BUFFER encargados de aumentar la capacidad de corriente para cada una de las señales del microprocesador.
- Los circuitos denominados TRANSCEPTORES que aumentan la capacidad de corriente al mismo tiempo que controlan la dirección del flujo de datos.

La referencia [2] especifica que el bus de expansión proporciona la suficiente corriente para alimentar las 5 ranuras de expansión asumiendo 2 cargas TTL por cada ranura.

En la parte anterior se mencionó que el circuito encargado de realizar el protocolo utiliza para su operación 16 registros internos accesables mediante tres líneas de dirección. Esto quiere decir que, desde el punto de vista del microprocesador, la tarjeta ocupará, por lo menos, 8 localidades contiguas.

La referencia [2], página 1-10, indica las localidades ocupadas por los varios dispositivos conectados o conectables al bus de entrada/salida. La máquina personal IBM, y cualquier otra que proclame un alto grado de compatibilidad (ver capítulo 4), hace una distinción entre los dispositivos de entrada/salida localizados en la tarjeta principal (o tarjeta madre) y aquellos que se encuentren acoplados a los conectores de expansión. Para los primeros se asignan direcciones cuyo bit A9 sea 0 mientras que para los segundos asigna direcciones cuyo bit A9 es 1. Esto quiere decir que no podrán asignarse dispositivos externos a las direcciones comprendidas entre 0000H y 01FFH, sino sólo direcciones entre 0200H y 3FFH (según la Referencia Técnica IBM). En este documento se indica que el espacio localizado entre 0300H y 031FH está destinado a tarjetas cuyas funciones no estén comprendidas dentro de las listadas (se les llama tarjetas prototipo). Este será el espacio asignado a las direcciones de la tarjeta de acoplamiento al bus IEEE-488.

III.2.2. RELACIONES DE TIEMPO EN EL CONECTOR DE EXPANSION.

Debido a la amplia variedad de máquinas compatibles funcionando a varias velocidades, es necesario establecer un común denominador que permita calcular los tiempos requeridos de tal forma que los valores sean aplicables a la mayor cantidad de máquinas. Para esto se considerará que el bus de expansión es manejado por un microprocesador 8088 funcionando a 5 MHz.

Antes de detallar las características de tiempo del procesador se describirá en forma somera el desarrollo de un ciclo de bus del procesador. El tiempo necesario para transferir una unidad de datos desde o hacia la CPU se llama ciclo de bus. En el 8088 la unidad de datos se llama "byte" y la longitud mínima de un ciclo de bus es de 4 ciclos de reloj (1 ciclo = 200 ns. @ 5 MHz.). Estos ciclos se denominan T1 a T4. Cada ciclo de reloj realiza diferentes actividades. La figura 3.4 representa en forma simplificada el ciclo de bus, tanto sin estados de espera como con un estado de espera.

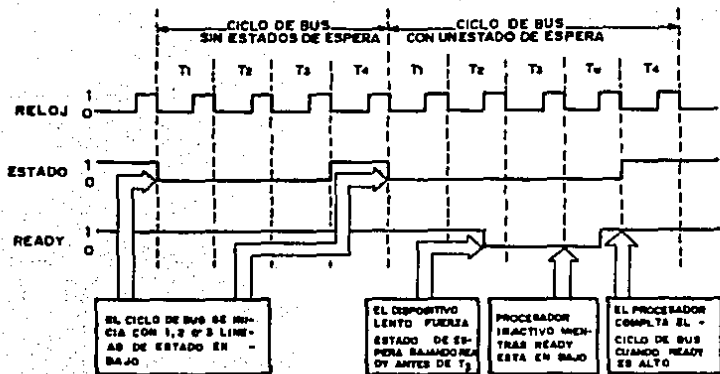


Fig. 3.4.- Ciclo de bus del 8088 en una IBM-PC

- Durante T1, la CPU emite una petición de transferencia de bus en las líneas de estado junto con una dirección en las líneas de datos/direcciones. Las líneas de estado indican el tipo de acceso (memoria o un puerto de entrada/salida) y si se trata de entrada o salida. La dirección se almacena en un circuito "cerrojo" para que se mantenga durante el resto del ciclo de bus.
- En T2, el procesador quita las direcciones de las patas correspondientes a las líneas de datos y direcciones y en el caso de un ciclo de escritura, coloca los datos de salida en estas mismas líneas. Si se trata de un ciclo de lectura, las líneas se desconectan de la CPU para ser usadas por los

dispositivos de memoria o de entrada/salida para transmitir los datos. Mientras tanto, los circuitos de decodificación de direcciones conectan las líneas de datos de los dispositivos de memoria o de entrada/salida y los transceptores de datos establecen la dirección de la transferencia (desde o a la CPU).

- Durante T3 el dispositivo de memoria o de entrada/salida realiza la transferencia mientras que la CPU permanece inactiva.
- En T4, último ciclo de reloj, el procesador se desconecta de las líneas de datos y deshabilita todas las señales de control, regresando a su estado inactivo. Para un ciclo de lectura la CPU se reconecta a las líneas de datos para obtener los datos presentes ahí.

Este proceso de 4 pasos representa un ciclo de bus mínimo, sin estados de espera. Nominalmente, el tiempo de transferencia de datos desde o a los dispositivos externos es un ciclo de reloj (200 ns. a 5 MHz) por lo que la mayoría de los dispositivos que se conectan al bus de expansión de la PC son capaces de realizar esta transferencia en un tiempo aproximado de 200 ns.

Si un dispositivo de memoria o de entrada/salida no puede responder con la suficiente velocidad para realizar la transferencia en poco más de un ciclo de reloj, se diseña el circuito para que inserte estados de espera entre T3 y T4. Esto se hace utilizando la línea RDY del procesador. Durante un ciclo de bus, la CPU no entra al estado T4 si RDY no tiene el nivel alto. Cuando se selecciona un

dispositivo lento por la lógica de decodificación de direcciones (durante T2), éste deberá bajar inmediatamente la línea RDY la cual se alimenta al 8088 por medio del controlador de reloj 8284, usado para sincronizar las transiciones en esta línea con los ciclos de reloj. La línea RDY no tiene efecto en T3 sino que a partir del final de éste, el procesador permanecerá inactivo, en decir en estado de espera, por cada ciclo de reloj en que RDY permanezca en bajo. Después de que ha transcurrido un número determinado de ciclos de reloj, suficientes para completar la transferencia, el dispositivo levanta la línea RDY permitiendo que el procesador avance a T4 para completar el ciclo de bus.

La PC basada en el 8088 se diseñó con cero estados de espera en accesos a memoria y un estado de espera en accesos a entrada/salida. Este estado de espera se inserta sin considerar la velocidad de operación del dispositivo que está siendo direccionado por lo que el ciclo de entrada/salida no podrá completarse en menos de 5 ciclos de reloj (equivalente a 1000 ns. @ 5 MHz.). Debido a la dificultad de conocer la configuración exacta de la circuitería adicional para todas las máquinas existentes, es necesario hacer el cálculo de los tiempos para una frecuencia igual o mayor a 4.77 MHz (existente en la máquina IBM) para obtener una aproximación de los tiempos de interacción de todas las líneas (datos, direcciones y control). Para lograr un cálculo mucho más fidedigno se utilizan los diagramas de una computadora cuyo bus de expansión es compatible con el de la IBM-PC. Estos diagramas se publicaron en la referencia [6]. En el apéndice 1 aparece la hoja de datos del

microprocesador 8088. Los tiempos pertinentes a la frecuencia de operación de 5 MHz aparecen en la columna denominada 8088. En la hoja correspondiente se especifica el significado de cada uno de los parámetros. Es importante tener en mente que existen restricciones de tiempo que no pueden alterarse por la inserción de estados de espera.

Tabla 3.2.- Tiempos para un 8088 @ 5 MHz

Nombre común	Nombre/microprocesador	Valor
LAR	TAVRL	100 nseg.
LRR	TRLRH	375 nseg.
LRD	TRLDV	335 nseg.
TRA	TRHAX	160 nseg.
tDF	TRHDZ	175 nseg.
tAD	TAVDV	460 nseg.
tRV	TRLRL	800 nseg.
TAW	TAVWLA	100 nseg.
TWA	TWHAX	160 nseg.
TWW	TWLWHA	375 nseg.
TDW	TDVWH	300 nseg.
TWD	TWHDX	93 nseg.
TRV	TWLCLA	800 nseg.

Estos son los tiempos del microprocesador funcionando sin estados de espera, es decir realizando sus operaciones en 4 ciclos de reloj. Algunos de estos valores se modifican cuando se inserta un ciclo de reloj adicional como en el caso de la computadora personal. Especificamente los parámetros que se modifican y los valores que éstos asumen son:

TRR	TRLRH	575 nseg.
TRD	TRLDV	535 nseg.
TAD	TAVDV	660 nseg.
TRV	TRLRL	1000 nseg.
TWW	TWLWHA	575 nseg.
TDW	TDVWH	500 nseg.
TRV	TWLCLA	1000 nseg.

Estos tiempos se modificaron debido a que los datos son válidos por el procesador en T3 o durante el último ciclo de espera antes de T4. Estos tiempos son afectados adicionalmente por los retrasos debidos a la circuitería existente entre el microprocesador y el conector de expansión. Para obtener estos tiempos se usarán los dos diagramas mencionados anteriormente así como los retrasos producidos por los circuitos adicionales. Estos últimos se mencionan en la referencia [4].

El diagrama de tiempos de la interacción de las señales del microprocesador con la circuitería adicional se muestra en la hoja de datos del apéndice 1. A continuación se calcula la relación de tiempos para el caso de funcionamiento con un estado de espera a partir de los diagramas antes mencionados.

Al valor TAVRL que se refiere al intervalo existente entre la presencia de direcciones válidas (estables) y la activación de la línea IOR/ se le deberá restar el máximo retraso debido a la propagación en el "retén" de direcciones (74LS373). Es decir a 100 nseg. se deberá restar el máximo retardo que es 18 ns. obteniéndose el valor de 82 ns. En este parámetro se deberá especificar el valor mínimo y éste deberá ser mayor que el mínimo especificado para el dispositivo periférico.

El valor TRHAX que es el tiempo existente entre la desactivación de la línea IOR/ y la desactivación de las direcciones se modifica únicamente por el mínimo retraso de

propagación del circuito de retención de direcciones (74LS373) puesto que éste no se deshabilita durante un ciclo de lectura a los dispositivos de entrada/salida. Únicamente es necesario deshabilitar estos circuitos cuando el controlador DMA tiene el control del bus y esto se hace sólo cuando termina el ciclo de bus, por lo que se asumirá como 160 ns. debido a que a partir de que aparece la señal ALE, que indica el inicio del siguiente ciclo de bus, el circuito o localidad direccionados en el ciclo anterior deberán desconectarse del bus; en realidad el tiempo mínimo disponible entre la desactivación de la línea de lectura RD/ y la desactivación de las direcciones es 160 ns. más el retraso mínimo de propagación del 74LS373 que es de 12 ns. lo que resulta en 172 ns. (160 + 12). El valor de 12 ns. no es el tiempo mínimo posible sino el tiempo mínimo documentado en la referencia [4]. Desafortunadamente, los manuales de los circuitos integrados digitales no brindan información sobre el retardo mínimo que ocasiona un circuito y ante esta situación se decidió usar el tiempo típico como tiempo mínimo encontrándose que esta aproximación resulta satisfactoria en todos los parámetros que involucren tiempos mínimos; esto se debe a que los tiempos del bus de expansión de la computadora personal son bastante relajados con respecto a los del μ PD7210. Para este parámetro, el valor disponible deberá ser mayor que el del circuito externo.

El valor TRLRH, el ancho del pulso de escritura, no sufre alteración puesto que, como se puede observar en la figura 3.3, las líneas generadas por el controlador de bus no se conectan a ningún circuito adicional antes de llegar al conector de expansión. Esto es fácilmente explicable si se estudian las características de manejo de corriente del 8288, el cual es capaz de alimentar una carga de 5 mA en sus líneas de comandos (IOR/, IOW/, etc.) y conducir a tierra 32 mA en estas mismas líneas. Para este valor se debe especificar el mínimo y éste tiene que ser mayor que el valor mínimo especificado para el dispositivo periférico.

El valor TRLDV es el tiempo entre la activación de la línea RD/ y la presencia de datos válidos en el bus del microprocesador. Al valor obtenido de la hoja de datos del microprocesador se deberá restar el retraso máximo producido por el circuito transeptor (74LS245). Este retraso es de 12 ns. por lo que el valor efectivo para la configuración base será de 535 ns. menos 12 ns., es decir 523 ns. En este caso se especifica el valor máximo permitido por el microprocesador y éste deberá ser mayor que el máximo proporcionado por el circuito externo.

El valor TRHDZ se refiere al tiempo máximo que podrán permanecer los datos en el bus a fin de evitar conflictos ("bus contention") en el mismo. Usando la ecuación mencionada en la referencia [3] se obtiene un valor de 155 ns.; sin embargo este valor no es el máximo permitido por el microprocesador. El valor correcto es 175 ns. que es el tiempo mínimo entre la desactivación

de la línea de lectura (IOR/) y la generación de nuevas direcciones por parte del microprocesador. Más aún, analizando el diagrama de tiempos del microprocesador se puede observar el funcionamiento de la línea llamada DEN manejada por el controlador de bus. Esta línea se activa (estado alto) para habilitar los transceptores de datos normalmente conectados al microprocesador por lo que este valor se obtuvo con la relación del tiempo máximo de desactivación de DEN ($t_{CVNXmax} = 45 \text{ ns.}$) y el tiempo mínimo de desactivación de IOR/ (t_{CLMH}). Entonces DEN se desactivará un tiempo máximo de 35 ns. después de la desactivación de IOR/. Para la desactivación del transceptor de datos se añade el tiempo máximo de propagación t_{PLH} de un 74LS04 más el tiempo de desactivación del 74LS245 (15 ns. + 25 ns.) lo que resulta en 75 ns. Se hace notar que la diferencia entre 75 y 175 ns. (100 ns.) permite compensar cualquier retraso adicional debido a la inclusión de más circuitos entre la línea DEN y la entrada de habilitación del transceptor de datos. Para este parámetro se especifica el máximo valor y éste deberá ser mayor que el tiempo máximo establecido para el circuito externo. Es importante tomar en cuenta que esta relación de tiempos es aplicable únicamente para el ciclo de lectura del procesador ya que en el ciclo de escritura las señales de control se desactivan cuando ya ha ocurrido la transición positiva de T4.

El valor TAVDV es el tiempo existente entre la presencia de direcciones válidas por parte del microprocesador y datos válidos por parte del circuito externo. Al valor presentado en la tabla 3.2 se le deberá restar los retrasos producidos por el circuito de

retención de direcciones (74LS373, 18 ns.) y el circuito transceptor del bus (74LS245, 12 ns.). Estos suman 30 ns. por lo que el valor para esta configuración será de 630 ns. En todos los cálculos que involucran direcciones no se considera el retraso producido por la línea de retención (LE) del 74LS373 porque, cuando las direcciones aparecen en el bus del microprocesador, esta línea se encuentra en estado alto y en este caso el circuito se comporta como un "retén" transparente, debiéndose considerar únicamente el retraso de propagación. Este parámetro se especifica como valor máximo y deberá ser mayor que el máximo especificado para el circuito externo.

El valor TRLRL es el tiempo existente entre la activación de la línea RD/ y la activación siguiente. Este valor no sufre modificación respecto del mostrado en la tabla 3.2. Se especifica el valor mínimo el cual deberá ser mayor que el especificado para el circuito periférico.

Los valores mencionados hasta este momento se refieren al ciclo de lectura. Para el ciclo de escritura los valores se modifican como se describe a continuación.

El valor TAVWLA es el tiempo existente entre la presentación de direcciones y la activación de la línea IOW/. Dado que en este tipo de máquinas se usa la señal "avanzada", el valor es igual que el parámetro TAVRL y la modificación sufrida es la misma. Es decir este valor será de 82 ns. En este caso se debe especificar el

valor mínimo y éste deberá ser mayor que el límite mínimo del circuito externo.

El valor TWHAX sufre la misma modificación que en el ciclo de lectura, es decir que este valor será de $142 - 30$ o 112 ns. y se especifica el valor mínimo permitido por el procesador y la circuitería principal.

El valor TWLWHA es el ancho del pulso de escritura y no sufre modificación puesto que las líneas de comando se alimentan directamente al bus de expansión. Este es valor mínimo y debe ser mayor que el límite mínimo requerido por el circuito externo.

El parámetro TDVWH es el tiempo mínimo de estabilización de los datos antes de que la línea IOW/ se desactive. Al valor de 500 ns., especificado en la tabla anterior, se le deberá restar el retraso máximo debido al transceptor del bus de datos (12 nseg.) lo que da un tiempo de 488 ns.

El parámetro TWHDX es el tiempo mínimo que permanecen los datos en el bus después de que se ha desactivado la señal de escritura. La obtención de este valor requiere un poco de explicación: Este valor es una restricción de los circuitos externos, los cuales necesitarán que los datos permanezcan un cierto tiempo después de haberse desactivado la línea de escritura y el tiempo requerido por el circuito externo deberá ser menor que el valor mínimo proporcionado por el procesador. Por supuesto que

el tiempo máximo está limitado por la iniciación del siguiente ciclo de bus, ya que en esas condiciones el procesador volverá a usar esas líneas para enviar direcciones. Al igual que en los casos de TRHAX y TWHAX, se tuvo que usar el retardo típico en la inteligencia de que el resultado obtenido cuenta con un amplio margen sobre el límite del circuito externo. Analizando el diagrama de tiempos de procesador (reproducido en el apéndice 1) se aprecia que en el ciclo de lectura la línea DEN se desactiva tCVNX ns. después de la transición positiva de T4. Asumiendo, como se indica en la referencia [3], que DEN se conecta a la entrada de activación del transceptor (G/) por medio de un inversor de voltaje, los datos se desactivarán un tiempo tCVNX después de la transición positiva de T4. Asumiendo que el transceptor se conecta a DEN, éste se desactivará tCVNX más tpLK típico del 74LS04 (asumiendo el uso de este inversor) más el tiempo típico de desactivación del transceptor; es decir $34 \text{ ns. } (10 + 9 + 15)$ por lo que la desactivación del transceptor ocurrirá $118 - 35 + 34 \text{ ns} = 117 \text{ ns.}$, valor mayor que el obtenido considerando únicamente la desactivación de los datos del procesador, que es de $93 \text{ ns} + 8 \text{ ns.}$, este último valor debido al retardo típico por propagación del 74LS245.

El tiempo de recuperación para escritura TWLCLA no sufre modificación por lo que este mínimo se conserva.

De esta manera los tiempos considerados límite (máximo o mínimo según sea el caso) para la configuración modelo serán los especificados a continuación

Ciclo de lectura:

- TAVRL = 82 ns. mínimo.
- TRHAX = 160 ns. mínimo.
- TRLRH = 575 ns. mínimo.
- TKLDV = 523 ns. máximo.
- TRHDZ = 175 nseg. máximo o 75 ns. (hab del 74245).
- TAVDV = 630 ns. máximo.
- TRLRL = 1000 ns. mínimo.

Ciclo de escritura:

- TAVWLA = 82 ns. mínimo.
- TWHAX = 160 ns. mínimo.
- TWLWHA = 575 ns. mínimo
- TDVWII = 488 ns. mínimo

- TWHDX = 101 ns. mínimo
- TWLCLA = 1000 ns. mínimo

Estos son los valores de referencia para la configuración basada en un microprocesador 8088 funcionando a una frecuencia de 5 MHz con un estado de espera y la circuitería adicional representada en la figura 3.3 entre él y los conectores de expansión.

III.3 DISEÑO DE LA TARJETA.

III.3.1 INTERACCION DE LOS REGISTROS DE LA TARJETA CON LA COMPUTADORA.

La figura 3.5 (hoja anexa) muestra el diagrama general del circuito; éste está organizado en áreas dispuestas en forma similar al diagrama a bloques del capítulo 2.

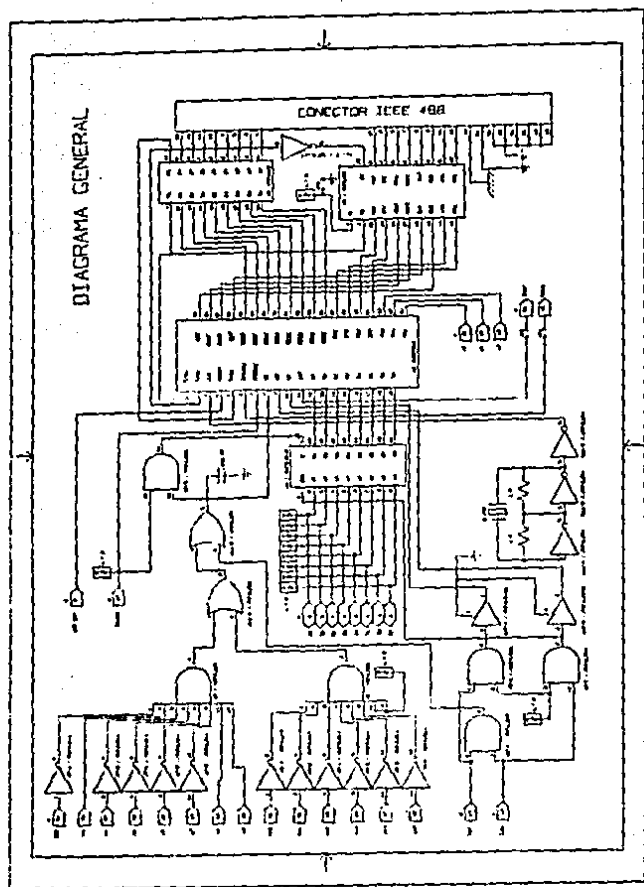


Fig. 3.5.- Diagrama eléctrico de la tarjeta IEEE-488.

Primeramente se analizarán los tiempos pertinentes al ciclo de lectura.

La figura 3.6 y 3.7 muestran los diagramas de tiempos de los ciclos de lectura y escritura a los registros internos del controlador de bus μ PD7210. Estos diagramas fueron tomados de la hoja de datos correspondiente

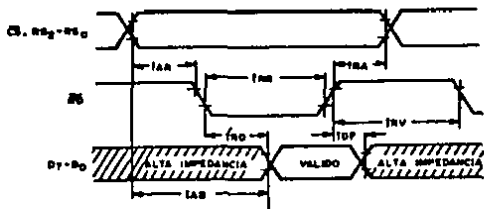


Fig. 3.6.- Ciclo de lectura al μ PD7210.

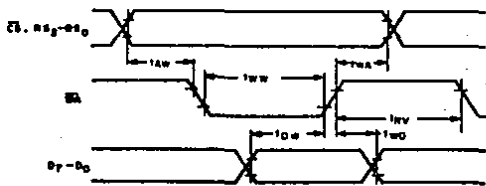


Fig. 3.7.- Ciclo de escritura al μ PD7210.

Las características de tiempo relevantes a la conexión con la computadora personal se anotan en la tabla 3.3 que se presenta a continuación. En esta se anotan el tiempo máximo o mínimo según corresponda, designandolas con el nombre que corresponde en el diagrama de tiempos correspondiente.

Tabla 3.3.- Relación de tiempos del μ PD7210

Símbolo	Límite	
	Mín.	Máx.
tAR	85 ns.	
tRA	0 ns.	
tRR	170 ns.	
tAD		250 ns.
tRD		150 ns.
tDP	0 ns.	80 ns.
tRV	250 ns.	
tAW	0 ns.	
tWW	170 ns.	
tDW	150 ns.	
tWD	0 ns.	
tRV	250 ns.	

Tomando en cuenta los tiempos mencionados en la tabla, la interacción de la circuitería adicional al microprocesador y la relación de tiempos del microprocesador, se obtendrán las características de tiempo de la tarjeta diseñada.

La etapa de decodificación de direcciones se basa en compuertas NAND de 8 entradas 74LS30. Cada una de las entradas representa, según la hoja de datos, una carga de 0.5 unidades en nivel alto y 0.25 unidades en nivel bajo. (La unidad de carga en estado alto está referida a 40 μ A; una unidad en estado bajo equivale a 1.6

mA.) Esto significa que las líneas del conector de expansión no sufren sobrecarga alguna al alimentar estas compuertas. Los inversores usados son del tipo 74LS04 los cuales representan una carga de 0.5 unidades en estado alto y 0.25 unidades en estado bajo.

Las líneas RS0-RS2 del controlador de bus se conectan directamente a las líneas A0-A2. Esto es posible debido a la carga tan baja que representan.

La etapa de control de dirección y reforzamiento del bus de la tarjeta diseñada se realizó en base a un transmisor/receptor 74LS245. Este cuenta con 16 conexiones para datos (8 líneas para cada bus) y 2 líneas de control. La conexión denominada G/ (la diagonal indica que esta línea es activa en estado bajo) es la habilitación del circuito.

En la tarjeta controladora la línea de dirección (DIR) está conectada a la pata 8 de la compuerta U9 de tal forma que esta línea adopta el estado bajo cuando se activa la línea IOR/ del conector de expansión y existirá comunicación hacia el bus de datos de la computadora, es decir del lado B al lado A, cuando se realice una operación de entrada (lectura) en el intervalo de direcciones correspondiente a la tarjeta. Además, se habilita constantemente la comunicación de la computadora hacia la tarjeta dado que en estas condiciones, la línea IOR/ tendrá el nivel alto.

De esta manera se habilitará la etapa de decodificación de la tarjeta cuando se verifiquen simultáneamente las tres condiciones siguientes:

- (a) El microprocesador tiene el control del bus (AEN/ es baja)
- (b) La dirección generada está entre 308H y 30FH
- (c) IOR/ o IOW/ está activa

Las líneas IOR/ o IOW/ se conectan a un par de compuertas AND 74LS08. La salida de cada una de ellas adopta el nivel bajo cuando cualquiera de estas líneas se activa (recuérdese que ésta es una de las condiciones de activación). La otra conexión para cada una de ellas es a una compuerta AND 74LS08. En cada una de estas compuertas, la otra entrada se mantiene en un "1" lógico conectándola a voltaje por medio de una resistencia de 1k. Las compuertas están conectadas de esta manera para tratar de prevenir "disparos en falso" ya que al tener éstas un cierto retraso de propagación, a fin de poder detectar un nivel bajo y que éste modifique la salida, el pulso deberá tener un ancho mayor al retraso mínimo de la compuerta ($t_{PHL} = 10 \text{ ns}$). A la salida de estas compuertas se conectan un par de reforzadores 74LS125 para satisfacer algunas restricciones de tiempo que se mencionarán posteriormente. Nótese que se están considerando las 16 líneas de direccionamiento usadas por el microprocesador para establecer comunicación con los puertos de entrada/salida. Esto se hizo para evitar al máximo cualquier posible conflicto con otro dispositivo

de entrada/salida.

Los inversores 74LS04 tienen un retraso máximo de 15 ns. tanto en transición positiva como negativa. A este retraso se debe sumar el retardo máximo de la compuerta 74LS30 (20 ns. en transición negativa) y el retardo de la compuerta 74LS32 (OR de dos entradas) que es de 22 ns.; de ahí que el retardo máximo entre la presentación de las direcciones y la generación del estado bajo en la salida 3 del circuito U10 será 57 ns. (15 ns. + 20 ns. + 22 ns.). Como se mencionó anteriormente, es condición para la habilitación del circuito la activación de la línea IOR/ o IOW/. Estas líneas se activan 82 nseg. (TAVRL o TAVWLA) después de que se han presentado las direcciones. La transición en la línea RD/ o WR/ se retrasa 20 ns. Dado que el retardo sufrido por las líneas de control es mayor que el sufrido por las direcciones, son aquellas las que determinan el tiempo de generación de CS/. Una vez que las entradas 4 y 5 de la compuerta U10 son bajas, la salida 6 adoptará el estado bajo 22 ns. después. Esto significa que CS/ se activará 124 ns. (82 + 20 + 22) después de que se han presentado las direcciones si y sólo si se ha activado alguna de las líneas de control (IOR/ o IOW/).

En la hoja de datos del controlador se especifica que la línea de lectura (pata 9) deberá activarse un mínimo de 85 ns después de que se presentan las direcciones (parámetro TAR) por lo que para este valor se deberán considerar los retrasos mínimos de los circuitos conectados entre IOR/ y RD/ del µPD7210. Las líneas RS0-RS2

(patas 21, 22 y 23) están conectadas directamente a las direcciones A0-A2. La línea RD/ del controlador se activa un mínimo de 17 ns. $(10 + 7)$ después de que se ha activado la señal IOR/. Por lo tanto la línea RD/ se activa un mínimo de 99 ns. después de que se han presentado las direcciones cumpliendo la restricción del circuito. La inserción de los reforzadores permite asimismo que la línea RD/ se active 25 ns. $(124 - 99)$ antes de activarse CS/.

El valor TRHAX generado por la computadora es 160 ns. mínimo. El mínimo requerido por el controlador es 0 ns. Dado que la línea IOR/ se retrasa un tiempo t_{PLH} (15 ns. máximo) de la compuerta AND más t_{PLH} del reforzador (15 ns. máximo) para un total de 30 ns. (se consideran los tiempos máximos porque TRHAX se cuenta a partir de la desactivación de la línea RD/), las direcciones se deshabilitan 130 ns. $(160 - 30)$ después de que se ha levantado la línea RD/ del controlador.

El pulso de lectura generado por la computadora sufre dos retrasos de diferente magnitud: La señal RD/ del controlador se activará 38 ns. máximo (t_{PHL} del 74LS08 + t_{PHL} del 74LS125) después de que se ha activado la señal IOR/ y se desactivará 17 ns. (t_{PLH} típico del 74LS08 + t_{PLH} del 74LS125 después de que se ha desactivado la línea del bus. Esto significa que el pulso en la línea RD/ del controlador tiene una duración mínima de 554 ns. $(575 - 38 + 17)$. (Esta duración del pulso de lectura no se muestra en el diagrama de tiempos de la figura 3.6 debido a la necesidad de representar el valor TAR mínimo; El peor caso real es 21 ns.

menor) La hoja de datos del controlador especifica un pulso mínimo de 170 ns., valor que es 384 ns. menor que el proporcionado por la computadora.

Después de que se ha activado la línea RD/, los datos tardarán un cierto tiempo en aparecer y estabilizarse en el bus correspondiente. A partir de la generación de las direcciones, la línea RD/ se activará un máximo de 120 ns. después. Dado que el valor TRD (línea RD/ activa a dato válido) se cuenta a partir de que CS/ y RD/ son ambas activas, es decir 42 ns. después de que se ha activado IOR/, a este valor se le deberá sumar el retraso máximo producido en el controlador que es de 150 ns. Una vez que el controlador ha liberado los datos, éstos pasarán por el transceptor de datos 74LS245 (U8) que producirá un retraso adicional de 12 ns. Estos tres valores dan como resultado un retardo para todo el circuito de 204 ns. ($42 + 150 + 12$). Este valor máximo es menor que el valor requerido por la configuración base (TRLDV) que es de 517 ns.

También debe considerarse el intervalo entre la presentación de direcciones y la obtención de datos válidos por parte del microprocesador. Como se mencionó anteriormente, la conexión CS/ del μ PD7210 (pata 8) se activa un máximo de 124 ns. después de las direcciones. A su vez el controlador tarda 250 ns. en liberar los datos a partir de que CS/ y RS0-RS2 son activas. Después de que se han liberado los datos, éstos pasan por el transceptor del bus que les produce un retraso máximo de 12 ns. Al igual que en el

caso anterior, aquí no se considera el tiempo de habilitación del transceptor (30 ns. máx. a partir de la activación de la entrada G/) porque este tiempo transcurre mucho antes de que el controlador genere los datos. Por lo tanto el valor total de este tiempo será 386 ns. ($124 + 250 + 12$), valor menor que el máximo permitido por la configuración base que es de 622 ns.

Después de que se ha levantado la línea IOR/ los datos deberán permanecer un tiempo máximo en el bus de datos. A este valor se le llama TRHDZ o TDF. Considerando los retrasos sufridos por la línea IOR/ antes de llegar a la conexión RD/ y el valor TDF máximo del controlador, este tiempo medirá 110 ns. ($80 + 30$). Sin embargo, en el diagrama general del circuito se observa que la línea IOR/ entra en el proceso de decodificación para la obtención de las señales CS/ del controlador y G/ de habilitación del transceptor. Considerando los retrasos de los circuitos involucrados se desprende que la línea G/ (pata 19 de U4) se desactiva 52 ns. máximo ($15 + 22 + 15$) después de la desactivación de IOR/. Entonces el bus de datos del conector de expansión adoptará el estado de alta impedancia 25 ns. máx. a partir de la desactivación de G/ o 77 ns. ($52 + 25$) después de la transición positiva de IOR/. Este valor es menor que el máximo absoluto del microprocesador que es de 175 ns. Más aún, la configuración base muestra un esquema de conexión en el que el bus de datos adopta el estado de alta impedancia 75 ns. después de que se ha desactivado la línea de lectura correspondiente (IORC o MRDC). Los tiempos obtenidos utilizando los transceptores demuestran la conveniencia

del uso de éstos en aplicaciones en las que un grupo de dispositivos comparten las mismas líneas de datos o direcciones (como es el caso del controlador 7210 y la computadora personal).

El último tiempo a considerar es el intervalo mínimo entre dos activaciones consecutivas de la línea RD/. Este valor se denomina TRLRL y este valor no sufre modificaciones por la repetibilidad de los retrasos. Todas las relaciones entre los tiempos de escritura con excepción del pulso mínimo de lectura se muestran gráficamente en el diagrama de tiempos de la figura 3.8

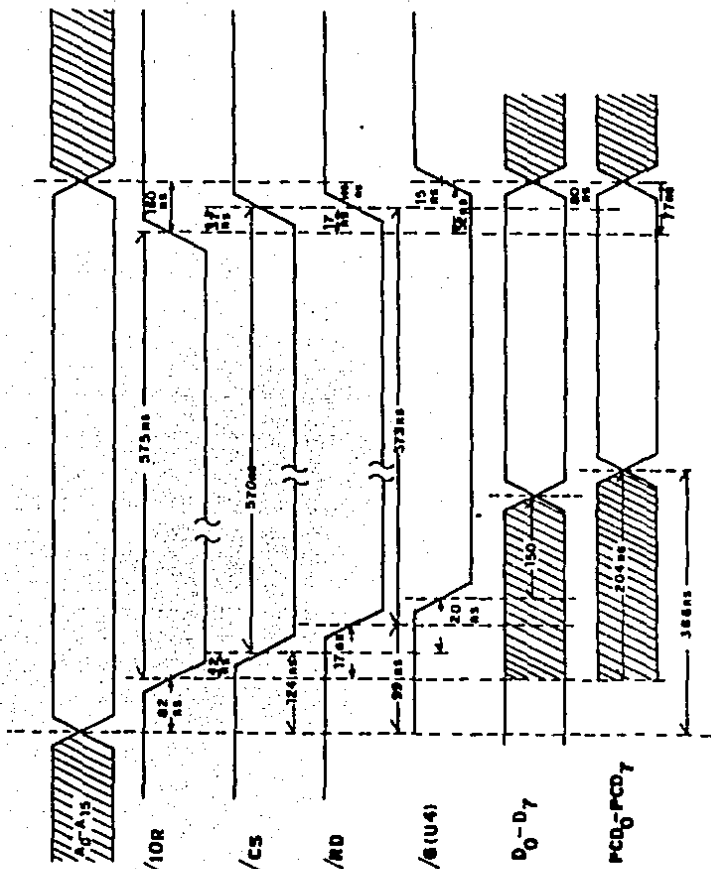


Fig. 3.8.- Ciclo de lectura a la tarjeta controladora.

Para el ciclo de escritura deberán realizarse cálculos similares y éstos se describen a continuación:

A partir de la presentación de las direcciones en las líneas correspondientes deberá transcurrir un tiempo mínimo antes de la activación de la línea IOW/. Antes de poder calcular estos tiempos fue necesario determinar que línea de comando se utiliza en la máquina IBM. Como se mencionó anteriormente, el microprocesador 8088 de esta máquina opera en modo máximo; esto significa que las líneas de comando (IOW, IOR, MRD y MWC) no son generadas por el microprocesador sino por el controlador de bus 8288. Este circuito de alta velocidad (puede funcionar hasta 10 MHz) genera señales específicas de lectura y escritura tanto para el espacio de entrada/salida como para memoria (a diferencia del microprocesador que genera una señal de lectura y una de escritura y se distingue el tipo de acceso por medio de la señal IO/M).

El controlador de bus 8288 genera las siguientes señales de comando: MRDC/ (comando de lectura a memoria), IORC/ (comando de lectura a entrada/salida) AMWC/ (comando avanzado de escritura a memoria), AIOWC/ (comando avanzado de escritura a entrada/salida) e INTA/. La diferencia entre los comandos avanzados de escritura y los comandos de escritura normales es que los primeros se activan un ciclo de reloj antes que estos últimos. La revisión de la hoja de datos del microprocesador muestra que el ancho de los pulsos de escritura normales es bastante reducido (alrededor de 170 ns.), y

esto dificultaría la conexión de los dispositivos periféricos al procesador, incluso aquellos que se encuentran en la tarjeta principal y por supuesto que podría restringir la utilización del PPD7210. A fin de verificar que tipo de señal es usado en la máquina IBM, se estudiaron los diagramas de una computadora cuyo bus de expansión es compatible con el de IBM. En estos diagramas (referencia [6]) se muestra que las señales usadas son los comandos avanzados. Por lo tanto los tiempos calculados son para los comandos avanzados (el comando que nos concierne es A10WC/).

En la tabla 3.3 aparece que el valor (TAVWLA) para la configuración modelo es 82 ns. A este tiempo se deberá agregar el retraso mínimo de la compuerta AND U9 ($t_{pHL} = 10$ ns.) y el reforzador U12 que es de 7 ns. para producir un retraso total de 17 ns. Nótese en el diagrama de tiempos correspondiente que el tiempo de generación de CS/ a partir de las líneas de dirección es el mismo que en el ciclo de lectura. Esto se debe a que la relación de tiempos del comando avanzado de escritura a entrada/salida es la misma que la del comando de lectura (no existe comando avanzado de lectura). Entonces, el tiempo entre la presentación de las direcciones y la activación de la conexión WR/ (pata 10) del controlador es 99 ns. El valor mínimo (TAW) especificado en la hoja de datos del controlador es 0 ns. por lo que existe concordancia en este parámetro.

A partir de la desactivación de WR/, las direcciones permanecerán "flotando" un mínimo de 142 ns. Dado que la línea WR/ se desactiva 30 ns. despues de que se ha desactivado IOW/, el valor TWA desde la perspectiva del controlador será de 112 ns. $(142 - 30)$. El valor mínimo requerido por este último es 0 ns. por lo que el valor está dentro de lo permitido.

El pulso de escritura generado por la microcomputadora, sufre retardos semejantes a los que afectan al pulso de lectura. Es decir se activa 38 ns. máx. despues de que se ha activado la señal correspondiente en el bus de expansión (IOW/) y se desactiva 17 ns. mín. despues, por lo que el pulso de escritura que llega al μ PD7210 será de 554 ns. $(575 - 38 + 17)$. El valor mínimo requerido por el controlador es 170 ns., 384 ns. menos que el valor proporcionado por la computadora.

Una vez que se ha activado la línea /IOW y que existe un dato válido en el bus de datos, este dato deberá permanecer un tiempo mínimo TDW (o TDVWH). antes de la desactivación de WR/. En el diagrama de tiempos del ciclo de escritura se muestra que los datos se retrasan 12 ns. debido al transceptor y que la línea WR/ se desactiva 17 ns. mín. despues de que lo hace IOW/. El valor proporcionado por la configuración base es de 482 ns. Esto significa que TWD para la tarjeta será 487 ns. $(482 - 12 + 17)$. El valor mínimo especificado para el controlador es 150 ns.

Despues de que se levanta la línea IOW/ (WR/) los datos deberán permanecer en el bus un valor mínimo TWD. La hoja de datos del controlador establece para este tiempo un valor mínimo de 0 ns. El tiempo proporcionado por la configuración modelo es de 101 ns. En el circuito diseñado la línea IOW/ es condición de la decodificación para la obtención de la línea de habilitación del transceptor de datos U8. Por lo tanto el tiempo que transcurrirá será el retardo mínimo en transición positiva de la compuerta AND U9 más el retardo en transición positiva de la compuerta OR U10 más tpLH mín. de la compuerta AND conectada a la entrada CS/ más el retardo mínimo por deshabilitación del transceptor 72LS245. Entonces los datos se deshabilitan 45 ns. (8 + 14 + 8 + 15) despues de la desactivación de IOW/. Todas estas relaciones se representan en el diagrama de tiempos de la figura 3.9 (sig. hoja)

La salida 6 de la compuerta U10 es el resultado de todo el proceso de decodificación de direcciones y señales de control y por lo tanto sería lo más aconsejable conectarla a la entrada CS/ del μ PD7210. Sin embargo no debe pasarse por alto que se desea que la tarjeta efectúe transferencias directas a memoria por lo que será necesario tomar en cuenta la secuencia de estas transferencias. En los párrafos anteriores se demostró la conveniencia de la utilización de los transceptores a fin de liberar el bus de datos lo más rápidamente posible. Pero, para poder asegurar un funcionamiento ordenado, se debe restringir la operación del transceptor únicamente al tiempo de comunicación con la tarjeta por lo que la conexión de CS/ a G/ del transceptor sería la primera opción. Sin embargo esto imposibilitaría la realización de los accesos directos a memoria. En las máquinas compatibles con IBM, el circuito encargado de realizar este tipo de acceso es el 8237 de Intel que cuenta con cuatro canales DMA independientes entre sí. La referencia [2] indica que de los cuatro canales, el canal 0 está ocupado por el circuito de refresco de la memoria dinámica.

Todo ciclo DMA se inicia con la petición correspondiente activando la línea DRQ. Si no se ha activado simultáneamente la DRQ de un canal de mayor prioridad, el 8237 activará la señal HRQ la cual puede conectarse a la entrada correspondiente del procesador o, en el caso de la PC, a un grupo de circuitos biestables cuya función es generar AEN para el controlador de reloj

8284 y también producir la señal HLDACK (hold acknowledge) que indica al 8237 que se ha concedido su solicitud de control del bus del sistema.

La principal diferencia del ciclo DMA con el ciclo programado es que las direcciones generadas por el 8237 corresponden únicamente al espacio de memoria y no se genera la dirección del dispositivo de entrada/salida. Además, al desactivarse la línea AEN del conector de expansión (obtenida del circuito de arbitraje), se desactiva el circuito de decodificación de la tarjeta y en estas condiciones, y si se conectara la señal CS/ a G/ del 74LS245, no podría existir comunicación de datos entre el bus de datos del conector de expansión y el bus de datos del 7210. De ahí la necesidad de un circuito que permita la activación del transceptor de datos tanto en condiciones de transferencia programada como DMA. Esta es la razón de la inclusión de la compuerta AND (U9) entre CS/ del controlador y G/ del transceptor de datos que satisfaga la ecuación:

$$G/ = CS/ + DACK/$$

Evidentemente esta ecuación se satisface por una compuerta AND positiva de dos entradas (7408). Durante este tipo de comunicación, el controlador de bus reconoce la señal DACK/ como la línea de selección por lo que no requerirá de una dirección en las

líneas correspondientes. En este caso, al activarse DACK/ se seleccionará únicamente el registro de entrada de datos o el registro de salida de datos de acuerdo a la señal de control que se active: IOR/ o IOW/ (registro de entrada de datos para IOR/ y salida de datos para IOW/). La referencia [2] indica que todos los ciclos DMA tienen una duración de 5 ciclos de reloj (1000 ns. @ 5 MHz.) con excepción de los ciclos de refresco de memoria que duran 4 ciclos de reloj (800 ns. @ 5 MHz.) La documentación del 7210 indica las restricciones para realizar transferencias DMA desde el bus IEEE-488 hacia la memoria de la computadora. De acuerdo a la hoja de datos del 8237, todos estos tiempos se cumplen perfectamente. Por supuesto que el 74LS08 introduce un retraso adicional entre la activación de la línea de selección del circuito y la activación del bus de datos de la tarjeta; sin embargo, debido al funcionamiento de la tarjeta, este retraso no tiene repercusión en la velocidad de comunicación de los datos por parte de ésta pues, como se muestra el diagrama de tiempos, el retraso adicional producido por la compuerta agregado al retraso máximo de habilitación del tranceptor será mucho menor que el retraso de liberación de datos por parte del controlador o el procesador.

Los cálculos anteriores demuestran que es factible utilizar la tarjeta en la máquina personal IBM o sus compatibles. Más aún, la obtención de la relación de tiempos a partir de los parámetros del microprocesador funcionando sin estados de espera demuestra que es posible utilizar esta tarjeta en máquinas que funcionen a velocidad plena (5 MHz sin estados de espera), o lo que es de mayor

factibilidad, conectar la tarjeta para que se localice en el espacio de memoria de la computadora. Sin embargo, aunque esto ampliaría grandemente los recursos utilizables en la computadora puesto se podría utilizar la gran cantidad de instrucciones aplicables a memoria disponibles en el 8086/88 (en comparación con las dos instrucciones para el espacio de entrada/salida), la ganancia en velocidad buscada al realizar transferencias DMA se desperdicia debida a que el controlador de este tipo de accesos (8237) requiere de dos ciclos de máquina para completar la transferencia, es decir 8 ciclos de reloj, mientras que el dispositivo conectado a entrada/salida realiza el acceso en solo 4 ciclos de reloj debido a la activación simultanea de las líneas de control de entrada/salida y de memoria.

Aquí debe hacerse la advertencia que todos estos tiempos se obtuvieron a partir de la referencia [3], las hojas de datos del 8088 y del μ PD7210 y la referencia [4]. Se enfatiza que los datos de tiempo son aplicables a los circuitos TTL-LS de TEXAS INSTRUMENTS y todos aquellos que tengan las mismas especificaciones de tiempo. Durante el diseño de la tarjeta se consultaron dos manuales de circuitos TTL y se encontraron diferencias entre los tiempos de retraso y desactivación máximos.

Se decidió basar el diseño en la documentación de TEXAS INSTRUMENTS debido a que éstos son los circuitos más comunes en el mercado y cuyas especificaciones son las más seguidas por las "segundas fuentes".

En estas condiciones, las direcciones correspondientes a los varios registros del μ PD7210 serán las mostradas en la tabla siguiente. Estas serán las direcciones usadas en la escritura de los programas presentados en el capítulo 4.

Registros	Dirección
0R y 0W	0308H
1R y 1W	0309H
2R y 2W	030AH
3R y 3W	030BH
4R y 4W	030CH
5R y 5W	030DH
6R y 6W	030EH
7R y 7W	030FH

La línea RESET del 7210 se conecta a la salida RESETDRV (pata 4) del conector de expansión. Esta línea se activa al encender la máquina y al ejecutar una secuencia de arranque de la máquina en caso de que ésta cuente con un botón que permita reestablecer la máquina.

La pata INT del μ PD7210 se conectará a una de las líneas de petición de interrupción del conector de expansión. Estas líneas están a su vez conectadas al periférico encargado de manejar las interrupciones en este tipo de máquinas. Se trata del PIC 8259. El BIOS ROM de la IBM-PC configura al 8259 de tal manera que las 8 líneas de interrupción (IRQ0 a IRQ7) correspondan a los tipos 08H a 0FH. (La interrupción IRQ0 corresponde al tipo 08h mientras que IRQ7 corresponderá al tipo 0FH). Algunas de estas líneas son utilizadas por circuitos que realizan funciones específicas dentro

de la computadora personal. El resto de las líneas de interrupción está libre para poder conectarse a los circuitos que se agreguen a la máquina. La tarjeta de interfaz al bus IEEE-488 usará la línea IRQ7. Para poder usar esta interrupción será necesario configurar adecuadamente la tabla de vectores de interrupción y habilitar esta línea, es decir "desenmascararla".

III.3.2 CIRCUITO DE SINCRONIZACION.

Como se mencionó en el capítulo 2, aún cuando el bus IEEE-488 funciona de manera asíncrona, existen tiempos límite que deberán respetarse para lograr la compatibilidad completa con el bus. Estos tiempos se anotan en la tabla 39 de la norma IEEE-488.

El μ PD7210 cuenta con la capacidad de generar estos tiempos usando un contador interno manejado por una señal de reloj alimentada a la pata 3 (CLK). Para realizar la generación de tiempos límite se requiere, además, que se escriba el valor de la frecuencia correspondiente a la señal de reloj alimentada al circuito en uno de los registros del μ PD7210. Existen dos restricciones para la generación de tiempos:

- (a) La frecuencia del reloj conectado deberá ser menor a 8 Mhz.
- (b) La frecuencia del reloj deberá ser un valor entero.

Ambas restricciones se especifican en la documentación del circuito integrado. El registro del contador interno del circuito integrado tiene el siguiente formato:

0 0 1 0 F3 P2 P1 F0

Cuando se describió el conector de expansión de la computadora personal se mencionó que existen dos señales de reloj en este conector: Una se nombra OSC, con una frecuencia de 14.31818 Mhz. Esta no se puede utilizar por ser mayor a 8 Mhz; la otra se llama CLK y tiene una frecuencia de 4.77 Mhz. Esta señal se alimenta al oscilador del microprocesador y es la frecuencia de operación del 8088 presente en la computadora IBM y la mayoría de los compatibles. Esta señal se obtiene de dividir entre 3 la frecuencia de 14.318. Esta señal no se puede utilizar por no ser una frecuencia entera. Es por eso que se requiere de una señal de reloj independiente.

Este requisito se cumplió utilizando un oscilador de cristal construido a base de compuertas lógicas, como se muestra en el diagrama general del circuito.

Estas son inversores TTL retroalimentados mediante resistencias para mantenerlos en la región lineal (transición entre estado alto y bajo), de tal forma que antes del arranque del oscilador, estos circuitos se comporten como amplificadores lineales. Este oscilador es del tipo resonante en serie el cual se construye a partir de un amplificador no inversor. Esta es la razón del uso de los dos inversores dentro del lazo. Las dos resistencias se colocaron de esta manera para lograr mantener a los inversores operando como amplificadores (en la región activa) al mismo tiempo que se evita la retroalimentación negativa que impediría la oscilación.

El μ PD7210 genera los tiempos requeridos por la norma IEEE-488 de acuerdo a las siguientes formulas:

$$T1 \text{ (baja velocidad)} = T6 = T7 = T9 = 2NF/fc + t_{sync}$$

$$T1 \text{ (alta velocidad)} = NF/2fc + t_{sync}.$$

donde

NF = entero representado por el valor binario P0-P3 entre 1 y 8

fc = frecuencia de sincronización (oscilador)

t_{sync} = error interno del oscilador debido a la sincronización; valor entre 0 y el tiempo máximo que la señal se conserva sea en estado alto o bajo.

De las ecuaciones anteriores se deduce que si $NF = fc$, entonces:

$$T1 \text{ (baja velocidad)} = 2 \mu s. + t_{sync}.$$

$$T1 \text{ (alta velocidad)} = 500 \text{ ns.} + t_{sync}.$$

Conviene usar la frecuencia más alta posible a fin de disminuir el error t_{sync} tanto como sea posible. Nótese que para un oscilador de 8 MHz (frecuencia máxima de operación del μ PD7210) y ciclo de trabajo del 50 %, t_{sync} tendrá un valor máximo de 62.5 ns. La hoja de datos del μ PD7210 especifica que el voltaje máximo de entrada para estado bajo es -0.5 V. y el máximo será +0.8 V. Para el estado alto el voltaje mínimo será 2.0 V. y el máximo $V_{cc} + 0.5$ V (5.5 V en este caso). En estas condiciones el tiempo para el

estado alto. (arriba de 2.0 V.) de la señal proporcionada por el oscilador (medido en el circuito completo) es de 65 ns. mientras que el tiempo para el estado bajo es 95 ns. y el periodo de la señal es 166.6 ns (1/6 MHz). Esto significa que el ciclo de trabajo es 39 %. En este caso t_{sync} tendrá un valor máximo de 95 ns. por lo que T₁ tendrá un valor máximo de 595 ns. El valor T₁ se aplica para los bytes transmitidos después del primero posterior a la desactivación de la línea ATN. Como lo especifica la norma, se puede realizar esta transferencia a alta velocidad porque se cuenta con transceptores de 3 estados en las líneas de datos (DIO 1-8) y en DAV.

III.3.3 ACOPLAMIENTO DE LA TARJETA AL BUS IEEE-488

Para la conexión con el bus se deberán usar circuitos de acoplamiento puesto que el μ PD7210 es un circuito sin la capacidad de cumplir con los requisitos eléctricos impuestos por la norma. En la norma IEEE-488 se especifican los requerimientos de los excitadores y receptores de conexión al bus; en esta parte del trabajo se explicará la manera de cumplir con la norma en este aspecto.

La figura 3.10 muestra un circuito típico de acoplamiento de una línea de señal al bus. Este circuito es realizable tanto con circuitería TTL como con componentes discretos.

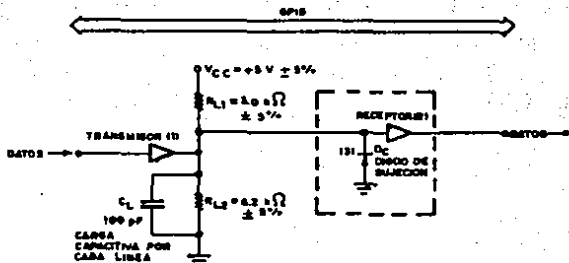


Figura 3.10.- Transceptor típico del bus.

El documento de la normalización establece las restricciones de este circuito (Referencia [1], párrafo 3.5.5)

El lograr ajustarse a estos requisitos puede ser complicado si se utilizan componentes comunes (esto es, de propósito general) puesto que se deberán incluir terminaciones resistivas, circuitos de acoplamiento de impedancias, amplificación de corriente, etc. La solución más adecuada es utilizar receptores/transmisores especialmente diseñados para este bus. Existen varias marcas y modelos de circuitos de este tipo.

En este trabajo se decidió usar los transceptores de Texas Instruments SN75160 y SN75162. En el apéndice 1 se reproducen las hojas de datos de estos circuitos, mostrando la asignación de

terminales de cada una de las líneas de comunicación con el bus.

El primero es un transceptor de 8 líneas y alta velocidad (retrasos máximos de 20 ns.) usado para conectar las líneas de datos del controlador μ PD7210 al bus IEEE-488. En la figura 3.11 se muestra el diagrama a bloques de este circuito.

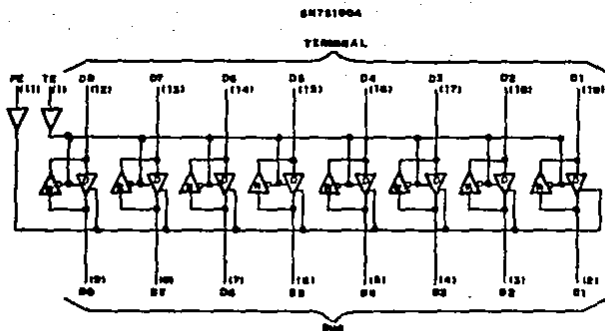


Fig. 3.11.- Transceptor SN75160.

Las líneas mostradas en la figura tienen las siguientes funciones:

- B1-B8: Líneas de conexión al bus IEEE-488

- D1-D8: Líneas de conexión al controlador
- TE: Habilitación de transmisión (desde el controlador)
- PE: Habilitación de circuitería de 3 estados

La tabla 3.5 resume el funcionamiento del SN75160 considerando las posibles combinaciones de valores en las líneas de datos y de habilitación.

Tabla 3.5.- Funcionamiento del transceptor de datos.

Excitadores				Receptores			
Entradas			Salida	Entradas			Salida
D	TE	PE	D	B	TE	PE	D
H	H	H	H	L	L	X	L
L	H	H	L	H	L	X	H
H	X	L	F	X	H	X	Z*
L	H	L	L				
X	L	X	F				

En la tabla anterior, H indica estado alto, L es estado bajo, Z es el estado de "desconexión" entre buses y F es el estado de alta impedancia modificado por las terminaciones resistivas a voltaje y tierra.

La línea TE controla la dirección de los datos dentro del circuito por lo que deberá conectarse a una línea de control de dirección. El μ PD7210 cuenta con tres líneas de control de

transmisión/recepción cuya operación facilita la conexión a los transceptores para las líneas de datos y control. Estas son T/R1, T/R2 y T/R3. Se conectará la línea TE a T/R1 directamente dado que esta línea determina de manera fundamental el sentido de la comunicación. Cuando T/R1 tiene el nivel bajo indica recepción de datos y cuando esta línea tiene el nivel alto significa que se está enviando un dato al bus. La línea TE del transceptor 75160 en bajo (véase la tabla anterior) activa los receptores por lo que la salida D (lado terminal) sigue el estado de la línea B (lado bus). Cuando TE tiene el estado alto la línea B (bus) sigue el estado de la línea D (lado terminal). De ahí la necesidad de controlar TE con la señal T/R1 del UPD7210. La conexión de las líneas T/R2 y T/R3 se explica a continuación:

La línea PE determina una de las ventajas del uso de este circuito: Si TE es alto y PE es bajo las salidas se comportarán como excitadores de colector abierto; si PE es alto el circuito se comportará como un excitador de 3 estados. Esta característica permite utilizar el bus de datos en configuración de tres estados, pudiéndose realizar transferencias a velocidades altas, y cambiar al modo de colector abierto cuando se realice una encuesta en paralelo. El SN75160 es un circuito no inversor lo que obliga a realizar una inversión de niveles de voltaje antes de presentar los datos al transceptor. El bus de control de la interfaz se conecta al sistema mediante un transceptor SN75162. La principal ventaja de este circuito respecto de otros transceptores que se ajustan a las características eléctricas de la norma es el tratamiento que

hace de cada línea de control manejándolas en forma separada y de acuerdo a la función de cada línea dentro de la protocolo. La figura 3.12 muestra el diagrama de bloques del 75162. Este transceptor tiene tres líneas de habilitación: TE (habilitación de transmisión), DC (control de dirección) y SC (control del sistema).

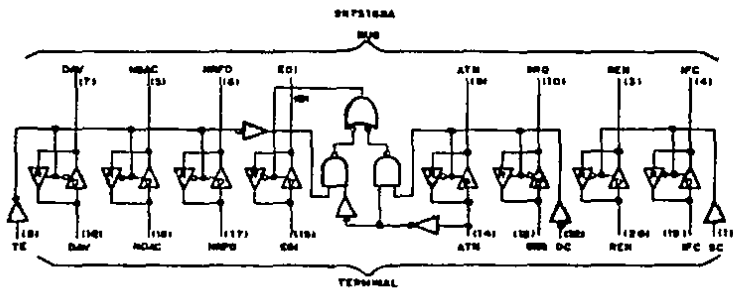


Fig. 3.12.- Transceptor SN75162

Como se muestra en la figura, cada una de las líneas de habilitación maneja diferentes líneas del transceptor. Así, TE (talk enable) se encarga de configurar las tres líneas de control de transferencia y su conexión muestra la característica mencionada anteriormente: NDAC y NRFD se habilitan en forma opuesta a DAV como lo requiere la especificación pues las dos primeras líneas son manejadas por los dispositivos "escuchas" y la última es activada

por el dispositivo "parlante". Cada una de las líneas debe conectarse a la línea correspondiente tanto en el conector del bus como en el controlador. La línea DC (direction control) maneja las líneas ATN y SRQ las cuales tienen direcciones opuestas entre el controlador y los dispositivos conectados al sistema: ATN se activa por el controlador mientras que SRQ es manejada por el resto de los dispositivos. Es por esto que cuando se habilita el transmisor de una de éstas dos líneas, se habilita el receptor de la otra.

La última línea de control tiene un funcionamiento que requiere un poco de explicación. La norma IEEE-488 establece que si existen varios aparatos conectados al bus que cuenten con la función de controlador (C), solo una de estas funciones C podrá estar activa a la vez. El controlador activo se denomina Controlador a cargo (CIC) y manifestará su estado activando la línea ATN. Existe una secuencia por la cual el controlador activo puede ceder esta función a otro dispositivo

Además existe un tipo "especial" de controlador llamado controlador del sistema. El aparato que tiene este estado dentro del sistema lo manifiesta manejando las líneas IFC y REN. Solo puede existir un controlador del sistema (sea activo o inactivo) y esta función no puede cederse. El SN75162 realiza esta función usando la línea SC (System Controller). Cuando el voltaje aplicado a SC es alto, las líneas IFC y REN se habilitan para transmisión y en caso contrario (estado bajo) se habilitan para recepción. Debido a la

función que realiza esta línea, para configurarla adecuadamente se usará un puente o interruptor conectándose esta línea a voltaje por medio de una resistencia de "pull-up" de 2.7 kΩ. Si el puente o interruptor está abierto la tarjeta actuará como controlador de sistema. En caso contrario otro dispositivo ejercerá esta función.

Las dos líneas de habilitación restantes (PE y DC) se manejan por medio de las líneas T/R2 y T/R3 del µPD7210. Estas tienen funciones programables a fin de poder utilizar varios tipos y marcas de transceptores de bus. La programación de estas líneas se realiza escribiendo un cierto valor para dos bits del registro de modo de direccionamiento (4W). Las configuraciones posibles se muestran a continuación:

T/R2	T/R3	TRM1	TRM0
EOIOE	TRIG	0	0
CIC	TRIG	0	1
CIC	EOIOE	1	0
CIC	PE	1	1

Si CIC es 1 (alto), ATN es salida y SRQ es entrada.

Si CIC es 0 (bajo), ATN es entrada y SRQ es salida.

En la tabla de funciones del 75162 se observa que cuando DC es alto, correspondiente a 1 en lógica positiva, ATN es entrada (R) y SRQ es salida (T); cuando DC es bajo (0), ATN es salida y SRQ es

entrada. Esto quiere decir que los niveles de control de la entrada DC son opuestos a los proporcionados por la función CIC. Es por esto que se usa un inversor de voltaje (74LS04, U11) en la salida CIC (T/R2) para hacer la conexión a DC.

PE indica el tipo de excitador de bus conectado a las líneas de datos DIO 1-8 y a la línea DAV:

Si PE es 1 (alto) se usan excitadores de colector abierto

Si PE es 0 (bajo) se usan excitadores de tres estados

La ecuación para PE indica el estado de esta línea por la presencia de dos estados de la interfaz:

$$PE = \text{CIC.PPAS/}$$

Esto indica que cuando el estado PPAS (estado activo de encuesta en paralelo) sea verdadero, PE será falso y la línea PE será baja con lo que los transceptores de datos se comportarán como un circuito de colector abierto (de acuerdo a los requisitos impuestos por la norma).

Revisando la tabla de funciones del transceptor 75160 se concluye que PE (T/R3) del μ PD7210 se puede conectar a la línea PE del transceptor de manera directa. Entonces, para el tipo de transceptores 75160 y 75162 se usará la configuración:

T/R2 = CIC

T/R3 = PE

Para esto se deberá programar el registro 4W con TRM1=TRM0=1.

Estos dos transceptores tienen otra característica que no se encuentra en los circuitos comunes (como el 74LS245).

El párrafo 6.2.4 de la norma IEEE-488 especifica que un sistema operará correctamente con cualquier número de instrumentos apagados siempre y cuando éstos no degraden la condición de estado alto, esto es, que el voltaje en cualquiera de las líneas de señal, cuando todos los excitadores conectados a ella se encuentren en estado pasivo falso, sea mayor a +2.5 V. con respecto a tierra lógica. Los transceptores SN75160 y 75162 cumplen con esta condición por medio de la inserción de componentes activos en la terminación resistiva por lo que los transceptores adoptarán el estado de alta impedancia cuando $V_{cc} = 0$.

Los transceptores requeridos por la norma deberán tener una línea de carga como la mostrada en la figura 3.13.

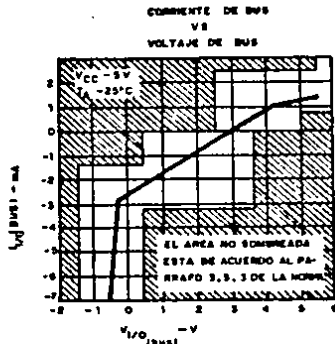


Fig. 3.13.- Línea de carga de transceptores

El documento establece que los circuitos usados para actuar como los transceptores del sistema de interfaz deberán satisfacer condiciones de carga que estén en el área no sombreada de la gráfica la cual corresponde a una resistencia no mayor de $3K\Omega$.

En las hojas de datos de los circuitos se especifican los retrasos máximos y típicos tanto en transición positiva como negativa en ambos sentidos de la comunicación. Para el transceptor del bus de datos el retraso máximo será de 22 ns. (en transición negativa del bus hacia el controlador). Para el transceptor de líneas de control el retraso máximo será de 25 ns. (es idéntico en ambos sentidos de la comunicación). Debido a la naturaleza asíncrona del sistema de interfaz IEEE-488, en el cual la transmisión de un dato puede detenerse reteniendo alguna de las

líneas de control de transferencia, no es necesario considerar la influencia de los retrasos debidos a los circuitos transceptores en la comunicación de un dato al bus. Tampoco son relevantes los retrasos debidos al cambio de estados dentro de las funciones efectuables por el μ PD7210, mientras éstos no afecten alguno de las restricciones de tiempo dictadas por la norma. En el apéndice 1 se reproducen las hojas de datos del controlador μ PD7210 y de los dos transceptores utilizados en el trabajo, incluyendo sus características de tiempo.

En el siguiente capítulo se describe detalladamente la estructura interna del μ PD7210 y se describen las rutinas escritas para verificar su operación.

CAPITULO IV
ESPECIFICACIONES SOBRE EL AMBIENTE
Y OPERACION DE LA TARJETA.

IV.1 CARACTERISTICAS DE LA COMPUTADORA EN LA QUE SE USARA LA
INTERFAZ.

IV.1.1 GENERALIDADES

La tarjeta se diseñó para ser utilizada en microcomputadoras del tipo compatible (es decir, de funcionamiento análogo) con la computadora personal de IBM.

Existen tres características que han contribuido de manera determinante a hacer que este tipo de computadoras personales ocupe el lugar predominante en el mercado:

- (a) El uso de procesadores con arquitectura de 16 bits, lo que proporciona una gran capacidad de manejo de memoria y un conjunto de instrucciones muy poderoso.
- (b) La disponibilidad de un bus de expansión cuya asignación de señales fue publicada en una Referencia Técnica dada a conocer a todas las personas interesadas. La utilización de este método de expansión permitió incrementar la versatilidad de estas máquinas al poder agregar circuitos tales como convertidores A/D y D/A, puertos de comunicaciones en serie y en paralelo, controladores de video con resoluciones variadas, modems para comunicación telefónica, digitalizadores, etc.
- (c) El hecho de ser un producto IBM. Aunque esto no tiene nada que ver con las características técnicas, es indudable que éste es el factor principal del gran auge adquirido por estas máquinas.

Las computadoras compatibles con IBM utilizan procesadores de 16 bits de Intel. Estos incluyen al 8086, 8088 y 80286 trabajando a frecuencias de operación de 4.77, 6 y 8 MHz. Estos microprocesadores tienen la capacidad de acceder de manera directa hasta un 1 Mbyte de memoria y 65,536 localidades de entrada/salida. Una característica muy importante de estos microprocesadores es el contar con circuitería que permite la conexión de "coprocesadores" de funciones especializadas como el 8087 (u 80287) que liberan al procesador central de la realización de algunas tareas específicas, principalmente operaciones aritméticas.

IV.1.2 ALGUNAS CONSIDERACIONES SOBRE COMPATIBILIDAD.

Una cierta computadora personal deberá contar con características específicas a fin de poder utilizar tanto programas como tarjetas de expansión diseñados para la computadora personal IBM. A esto se le denomina compatibilidad "en programación" (software) y "en circuitería" (hardware). La compatibilidad desde el punto de vista de circuitería se origina en la arquitectura del sistema, es decir en el conjunto formado por el procesador central y los mapas de entrada/salida (I/O) y de memoria. Esta arquitectura es de importancia fundamental para lograr el acoplamiento entre la circuitería y los programas encargados de controlarla. El primer paso al logro de compatibilidad en esta área es la incorporación de procesadores compatibles con el 8088. Aún cuando existen varios que son compatibles con las instrucciones usadas por el 8088, existen diferencias en la arquitectura de éstos que afectan la compatibilidad al nivel de sistema. Entre éstas se pueden citar diferencias en el tamaño del bus de datos, el manejo de interrupciones y la posibilidad de conectar el coprocesador 8087 mencionado anteriormente.

Un programa diseñado para la computadora deberá interactuar con los registros de los dispositivos de alta integración que realizan funciones complementarias a las del microprocesador. Dado que IBM hizo públicas las direcciones de los registros de estos circuitos, existe una gran cantidad de programas que los utilizan directamente. Esto determina que la computadora compatible puede

incluir cualquier tipo de circuito de entrada/salida siempre y cuando los registros de datos, comandos y estado se comporten exactamente igual (y aparezcan en las mismas direcciones) que los correspondientes en la máquina IBM. En la página 1-10 de la referencia [2] aparece el mapa de entrada/salida de las principales funciones de la máquina IBM.

Análogamente, una computadora altamente compatible deberá contar con un mapa de memoria similar al de la computadora personal IBM debido a que una gran cantidad de programas interactúan directamente con localidades de memoria (evitando el BIOS y el sistema operativo), principalmente para el envío de datos al monitor; además de esto, algunas tarjetas de expansión cuentan con programas almacenados en memoria ROM y éstas se diseñan para que el espacio ocupado por estos programas quede comprendido en los intervalos no usados en la computadora personal. La figura 4.1 muestra un diagrama del mapa de memoria aplicable a los dos tipos de computadoras personales ofrecidos por IBM (normal y AT) en el que se observan los principales grupos de localidades requeridos por el procesador y el sistema operativo así como los espacios disponibles para circuitos externos (en esta figura los números son hexadecimales).

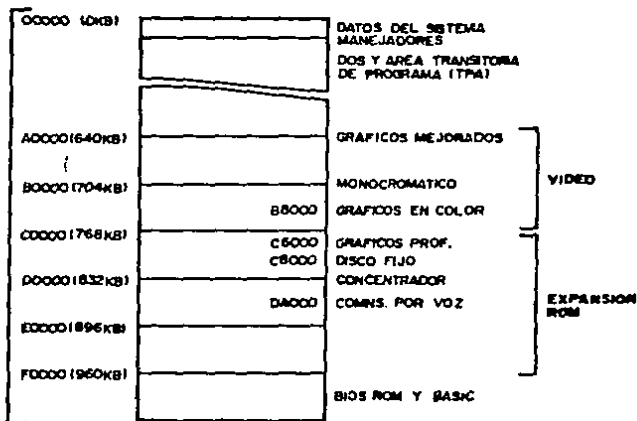


Fig. 4.1.- Disposición de memoria en la computadora personal.

La consideración final de compatibilidad al nivel de circuitería (y la más importante para los fines de este trabajo) involucra los conectores de expansión de la IBM-PC (62 terminales). Estos fueron discutidos detalladamente en el capítulo 3. Este es el requisito fundamental que deberá cumplir la máquina en que se desee utilizar la tarjeta de acoplamiento al bus IEEE-488.

La compatibilidad desde el punto de vista programación no es importante para el funcionamiento de la tarjeta ya que ésta es un circuito externo como tal no tiene que ver con los programas que corran en la máquina. Sin embargo los programas que se presentarán en la siguiente parte de este trabajo utilizan algunas facilidades proporcionadas por los programas del sistema con que cuenta una IBM-PC. Es por esto que se describirán someramente los principales aspectos de estos programas.

Los programas del sistema consisten de dos elementos principales: El BIOS (Sistema Básico de Entrada/Salida) y el sistema operativo (DOS). El BIOS está contenido en la memoria EPROM (por lo que también se le llama "firmware" o BIOS ROM). Estas rutinas realizan la inspección y prueba general del sistema, la verificación y cuantificación de la memoria, la configuración de los vectores de interrupción, la programación de los circuitos LSI mencionados anteriormente, la interfaz con el BIOS por medio de los vectores de interrupción correspondientes y la parte final de estas rutinas (es decir la que se ejecuta en último término) consiste en llevar a memoria RAM el sistema operativo (DOS) contenido en disco.

Por lo tanto, para poder usar la tarjeta en una cierta computadora, ésta deberá ser compatible en el conector de expansión y a fin de poder usar los programas listados en este capítulo, se deberá disponer también de compatibilidad desde el punto de vista de programación.

IV.2 PROGRAMAS PARA LA TARJETA.

IV.2.1 ARQUITECTURA INTERNA DEL CONTROLADOR PD7210

En este punto del trabajo se abordará con detalle la operación de la tarjeta controladora. Dado que el componente encargado de realizar el protocolo es el μ PD7210, lo que en realidad se describirá es la programación que deberá realizarse sobre este circuito para que funcione adecuadamente.

En el capítulo 3 se mencionó que el μ PD7210 cuenta con 16 registros internos, 8 de los cuales son de escritura y 8 de lectura. Estos se accesan con la dirección de cada uno de ellos en las líneas RS0-RS2 y la activación de /RD o /WR.

Recordando, los registros de lectura tienen los siguientes nombres y direcciones:

Nombre	dirección
Entrada de datos [0R]	308H
Estado de interrup.1 [1R]	309H
Estado de interrup.2 [2R]	30AH
Estado de encuesta serie [3R]	30BH
Estado de direcciones [4R]	30CH
Paso de comandos [5R]	30DH
Dirección 0 [6R]	30EH

Dirección 1 [7R]

30FH

mientras que los registros de escritura tienen los siguientes nombres y direcciones:

Nombre	dirección
Salida de dato [0W]	308H
Máscara de interrup. 1 [1W]	309H
Máscara de interrup. 2 [2W]	30AH
Modo de encuesta serie [3W]	30BH
Modo de dirección [4W]	30CH
Modo auxiliar [5W]	30DH
Dirección 0/1 [6W]	30EH
Fin de cadena [7W]	30FH

Estos registros se usan para efectuar la interacción entre el bus y el instrumento (en este caso la computadora personal) en la construcción de las varias funciones de la interfaz de tal manera que el controlador realice el protocolo en forma independiente de la computadora. Adicionalmente, algunos registros permiten la ejecución de transacciones del bus no realizables directamente por el μ PD7210.

Los dos registros de datos (OR y OW) se usan en la recepción y transmisión de datos a través del bus. Tanto la recepción como la transmisión de estos datos se realizan mediante la secuencia de saludo descrita en el capítulo 2. Es conveniente mencionar que, desde el punto de vista del microprocesador, el 1 corresponde a voltaje alto mientras el cero corresponde a voltaje bajo. Estos valores son convertidos a los equivalentes eléctricos requeridos por el bus IEEE-488 de tal forma que un cero escrito por el microprocesador al registro de dato de salida se envía a través del bus como un voltaje alto (>2.0) y un 1 se enviará como voltaje bajo. Esto significa que el controlador deberá conectarse al bus por medio de transceptores no inversores (ver capítulo 3). El registro de entrada de datos [OR] se usa para leer datos enviados por medio del bus. El contenido de este registro se vacía al bus de datos de la computadora durante una operación de lectura y se mantendrá hasta la recepción del siguiente dato. El registro de salida de dato [OW] retiene el dato o comando a enviarse por la computadora a través del bus IEEE-488. El contenido de este registro se actualiza con la transición positiva de la señal de escritura.

Como se mencionó en el capítulo 3, el μ PD7210 puede generar interrupciones para el microprocesador usando la señal INT. Existen varias condiciones especiales del funcionamiento del controlador que podrían requerir atención directa de la CPU. Existen 4 registros (2 de lectura y 2 de escritura) relacionados con la activación de esta interrupción para el microprocesador.

Los 2 registros de lectura son registros de estado de las condiciones que pueden activar la línea INT mientras que los 2 registros de escritura sirven para desactivar ("enmascarar") la generación de dichas interrupciones. La condición de generación de interrupción se habilita cuando el bit correspondiente en el registro "mascarilla" es 1. Cuando la CPU recibe una interrupción deberá leer el registro de estado de interrupciones para determinar cual de las condiciones fue la que provocó dicha interrupción. Al realizar esta lectura, todos los bits del registro de estado cuyo valor sea 1 son cambiados a 0, es decir son reestablecidos. Una de las ventajas de este circuito es el procedimiento efectuado en el caso de que ocurra una interrupción en el momento en que se realiza la lectura al registro de estado. En esta situación, la petición de interrupción se mantiene hasta que se haya limpiado el registro y entonces esta condición se coloca en el registro. La referencia [11] describe el formato de estos registros así como las condiciones que darán lugar a la activación de la línea de interrupción, así como la función y operación de los 14 registros restantes.

El bit INT (en el registro de estado 2) es el OR lógico de todas las condiciones de interrupción no desactivadas. Cuando cualquiera de estos bits de estado no "enmascarados" se activa, INT adquiere el valor de 1 y esto hace que se active la línea INT del controlador (terminal 11). Los bits más importantes de estos 2 registros se mencionan a continuación.

Los registros [3R] y [3W] se utilizan durante la ejecución de una encuesta en serie (función SR de la interfaz).

El registro [3W] contiene el byte de estado (S1-S6,S8) enviado a través del bus IEEE-488 y el mensaje local (es decir, enviado por la CPU a la función de la interfaz) rsv (request service). El registro [3R] se utiliza para leer el resultado de la ejecución de una encuesta en serie.

Los registros [4R] y [4W] se utilizan en el procedimiento de direccionamiento. El registro [4W] se denomina registro de modo de direcciones. Este registro, entre otras funciones, selecciona las funciones de las patas T/R2 y T/R3, como se vió en el capítulo 3. Se mencionó que la configuración usada es:

T/R2 = CIC

T/R3 = PE

lo que requiere que se programe TRM1=TRM2=1. Los 4 bits restantes de este registro se utilizan para seleccionar el modo de direccionamiento. Estos modos configuran al sistema para trabajar sin controlador, reconocer direcciones secundarias y la localización de las direcciones así como la operación del dispositivo en modo de sólo "escucha", sólo "parlante" y detección de direcciones no principales (La información detallada de esto se encuentra en la referencia [11]. En los modos de "sólo escucha"

y "sólo parlante" no es necesaria la identificación de direcciones por lo que los registros no se utilizan y deberán desactivarse.

Existen 3 registros relacionados con las direcciones asignadas a un dispositivo. El registro [6W] contendrá las direcciones del dispositivo (de acuerdo al modo de direccionamiento explicado anteriormente). Además este registro permite que el dispositivo detecte direcciones de "escucha", "parlante" o ambas (En el capítulo 2 se mencionó la diferencia en la codificación de estos dos tipos).

Los bits del registro de estado proporcionan la información acerca del estado en que se encuentra el dispositivo a partir de la dirección recibida por medio del bus. Revisando el estado de algunos bits de este registro el procesador central puede saber si ha sido direccionado como "parlante" o como "escucha". Otros dos bits de este registro indican si el bus está en modo de datos o de comandos (estado de ATN) y si el dispositivo que contiene al PD7210 es el controlador a cargo.

El registro de paso de comandos realiza la función de "puente" para la recepción de un comando no definido por la norma IEEE-488.

Se pueden leer 3 tipos de comandos a partir de este registro: Mensajes no definidos por la norma, direcciones secundarias o respuestas a encuestas en paralelo.

El registro de fin de cadena (EOS) [7W] se usa para almacenar el carácter que distinguirá el fin de transmisión de un bloque de datos. Escribiendo algunos valores en otros registros del controlador puede seleccionarse la longitud del mensaje (7 u 8 bits), la activación del bit END al recibir este dato y la activación de la línea EOI durante el envío de este dato ("parlante")

El registro auxiliar de modo [5W] realiza una gran cantidad de funciones y es por esto que se describirá detalladamente. En la descripción de este registro se podrá observar la gran cantidad de funciones realizables por medio del controlador. El formato de este registro se muestra a continuación:

CNT2 CNT1 CNT0 COM4 COM3 COM2 COM1 COM0

Las varias funciones se realizan escribiendo a este registro los bits CNT (CNT0-CNT2) de acuerdo a la configuración que determinará cualquiera de las siguientes funciones:

- Escritura al registro auxiliar
- Generación de un comando auxiliar

- Pijación de los tiempos prohibidos de cambio de estado.
- Escritura al registro de encuesta en paralelo.

Estas funciones se realizan como se describe a continuación:

CNT	COM	OPERACION
2 1 0 0 0 0	4 3 2 1 0 C4 C3 C2 C1 C0	Genera un comando auxiliar especificado por C0-C4 (éstos se describirán en su momento)
0 0 1	0 F3 F2 F1 F0	Se especifica la frecuencia del oscilador de referencia a partir del cual se determinan T1, T6, T7 y T9 (esto se describió detalladamente en el capítulo 3).
0 1 1	U S P3 P2 P1	Se configura al dispositivo para responder a una encuesta en paralelo.
1 0 0	A4 A3 A2 A1 A0	Escribe al reg. auxiliar A.
1 0 1	B4 B3 B2 B1 B0	Escribe al reg. auxiliar B.
1 1 0	0 0 0 E1 E0	Escribe al reg. auxiliar E

Los bits 0 y 1 del registro auxiliar A controlan el envío de mensajes asociados con la transferencia de datos de acuerdo a la siguiente tabla:

A1	A0	Modo de recepción de datos
0	0	modo de "saludo" normal
0	1	retención de RFD en todos los datos
1	0	retención de RFD en el fin

1 1 modo continuo.

En el modo de saludo normal se genera el mensaje "listo" (rdy) cuando se reciben los datos. Cuando el dato recibido se lee del registro de entrada de datos, se genera este mensaje local. En los modos restantes se retiene el mensaje RFD, manteniendo la línea NRPD en bajo, en la condición mencionada liberándose hasta que el microprocesador envíe el comando auxiliar TERMINA SALUDO. El modo continuo es una variación de los dos modos de retención con la diferencia de que no se activa el bit D1, por lo que no podrá leerse el dato en el registro de entrada de datos.

Los bits restantes del registro auxiliar tienen funciones asociadas con el mensaje de fin.

Los 5 bits del registro auxiliar B tienen funciones asociadas con varios procedimientos del bus: Detección de comandos indefinidos y activación de la línea EO1 cuando se responde a una encuesta en paralelo.

Una operación importante es la del bit 2; éste determina la velocidad de transmisión de datos al establecer el valor para T1. Si B2=1, entonces T1 será T1 para alta velocidad de acuerdo a lo determinado en el capítulo 3 (oscilador y contador interno del μ PD7210); si B2=0, entonces T1 será T1 para baja velocidad.

El bit B3 especifica el nivel activo de la línea INT del μ PD7210 (pata 11). Cuando B3=1, INT será activa en estado bajo y si B3=0 será activa en estado alto.

El registro auxiliar E controla el modo de aceptación de datos del μ PD7210 controlando la línea NDAC (permitiendo o no la aceptación del mensaje en forma automática) a partir de la recepción de los mensajes de reinicio de funciones de dispositivo (Device Clear) y de disparo del dispositivo (Device Trigger).

El registro de encuesta en paralelo se utiliza para configurar al μ PD7210 para que proporcione la respuesta correspondiente cuando el dispositivo controlador ejecuta una encuesta en paralelo. La función de interfaz de encuesta en paralelo (PP) tiene 3 variantes permitidas: Ninguna capacidad, capacidad completa y capacidad no configurable remotamente. Cuando el μ PD7210 se usa en dispositivos configurables remotamente (subconjunto PPI), no se deberá escribir en este registro puesto que el controlador lo configurará para que responda adecuadamente. (A la respuesta se le llama PPRN.) Para contar con la variante configurable remotamente, se deberá escribir en este registro antes de que se puede efectuar la encuesta en paralelo.

Como se puede deducir de la anterior descripción de los registros internos, el μ PD7210 es un controlador sumamente versátil y su operación completa permite realizar todos los procedimientos del bus IEEE-488. Basándose en la descripción de la

operación del bus presentada en el capítulo 2 es posible comprender la mayoría de las funciones de cada uno de los registros de este circuito integrado. En la siguiente parte de este trabajo se describirá la operación del controlador por medio de rutinas en lenguaje ensamblador del 8086/88 de INTEL utilizando los recursos de la computadora personal IBM. Como introducción a estas rutinas se mencionan algunas características sobre el microprocesador 8088.

IV.2.2 CARACTERISTICAS DEL MICROPROCESADOR 8088.

El microprocesador 8088 constituye una "etapa de transición" entre la tecnología de los procesadores de 16 bits y la gran cantidad de circuitos de soporte existentes para los microprocesadores de 8 bits. Al usar un bus de datos de 8 bits, brinda la facilidad de integrar sistemas usando componentes bastante comunes sin necesidad de duplicar el número de éstos (lo que se tendría que hacer si se usara un microprocesador de 16 bits) al mismo tiempo que permite disponer de las facilidades proporcionadas por una arquitectura de 16 bits.

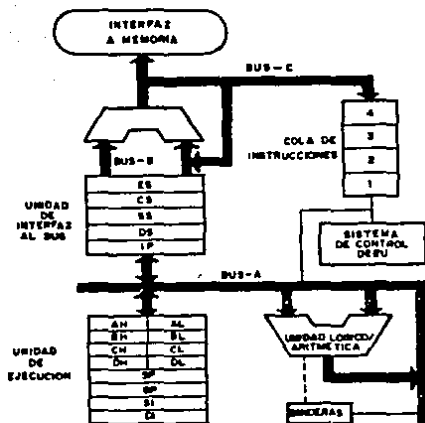


Fig. 4.2.- Arquitectura del 8088.

El procesador está formado por 2 unidades funcionales: La unidad de interfaz al bus (BIU) y la unidad de ejecución (EU). Cada una de estas unidades trabaja en forma asincrónica respecto de la otra comunicándose por medio de la cola de instrucciones de 4 bytes. La unidad de ejecución es donde se lleva a cabo el procesamiento de los datos ya que contiene a la unidad lógico-aritmética junto con los registros utilizados para manipular datos, almacenar resultados intermedios y vigilar el estado de la pila. La unidad de ejecución acepta instrucciones que han sido llevadas al

microprocesador por la BIU, procesa los operandos y regresa los resultados a la BIU para su almacenamiento en memoria.

Dentro de la unidad de ejecución, existen dos grupos de registros. El primer grupo se conoce como grupo de propósito general aunque también se le llama grupo HL porque cada uno de ellos se puede dividir en mitades alta (H) y baja (L). En este grupo se encuentran el registro acumulador (AX), el registro base (BX), el registro cuenta (CX) y el registro de datos (DX). Cada uno de éstos se puede direccionar como un registro de 16 bits o puede partirse y direccionarse como 2 mitades (por ejemplo AH y AL para el registro AX). El otro grupo de registros se llama grupo de apuntador e índice (P e I). En éste se incluyen el apuntador de pila (SP), el apuntador de base (BP), índice fuente (SI) e índice destino (DI). En términos generales estos registros contienen direcciones de desplazamiento (offset) usadas para direccionar dentro de un segmento de memoria aunque también pueden participar, junto con los registros de propósito general, en operaciones aritméticas y lógicas del 8088.

La memoria total está organizada como un arreglo lineal de 1,048,576 bytes localizados desde 00000H hasta FFFFFH. El 8088 genera una dirección de 20 bits combinando un desplazamiento de 16 bits y el valor límite del segmento almacenado en uno de los registros de segmento. En la figura 4.3 se representa el arreglo de memoria, el uso de los registros de segmento y el desplazamiento para acceder una localidad en particular así como el almacenamiento

de una palabra de 16 bits utilizando el esquema de almacenamiento inverso.

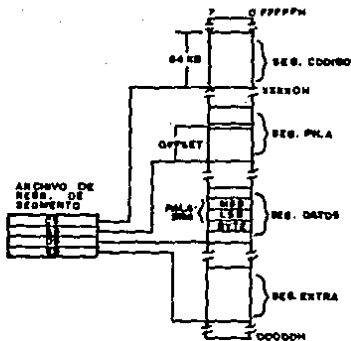


Fig 4.3.- Arreglo y direccionamiento en memoria.

La unidad de interfaz al bus cuenta con 4 registros llamados registros de segmento para almacenar la localidad "base" de cada uno de los segmentos de memoria con que trabajará el microprocesador. Cada uno de los registros de segmento de 16 bits, el registro de segmento de código (CS), el registro de segmento de pila (SS), el registro de segmento de datos (DS) y el registro de segmento de datos extra (ES) contiene un valor que se suma a la dirección de desplazamiento de 16 bits formando una dirección de 20 bits. El contar con 4 registros de segmento permite que en un cierto momento existan 4 segmentos de 64 kbytes activos lo que permitirá acceder directamente un máximo 256 kbytes. El segmento

de código es la parte de la memoria en donde se almacenan las instrucciones, el segmento de pila es donde se localiza la pila de datos (stack), el segmento de datos contendrá los operandos mientras que el segmento extra es un segmento adicional de 64 Kbytes.

IV.2.3 DESCRIPCION DE LAS RUTINAS DE PRUEBA.

A fin de poder operar la tarjeta cuando se realiza la conexión con uno o más instrumentos programables (como se describe en el capítulo 6), es necesario elaborar un grupo de subrutinas encargadas de realizar la comunicación con el controlador y, a través de éste, con el bus IEEE-488. Estas rutinas se escribieron usando el ensamblador de la computadora personal (Macro-Assembler de Microsoft) empleando los recursos de los programas del sistema (DOS y BIOS) mencionados en la parte anterior. El listado de las rutinas se muestra en el anexo. A continuación se describen las principales características de los programas haciendo énfasis en las instrucciones particulares de estos microprocesadores. El programa está compuesto de rutinas de utilería usadas en la interacción con los registros del controlador y rutinas dependientes de la aplicación. Estos se explicarán en el capítulo 6.

Las rutinas utilizan un grupo de constantes referidas a los registros internos del PD7210. Después se definen un grupo de nombres referentes a bits de los cuatro registros de estado del

controlador. Cada uno de estos bits se nombra con B precediendo al nombre del bit dentro del registro correspondiente; por ejemplo BLA, BEND y BCO. Finalmente se definen varios mensajes remotos tomados de la tabla de codificación de mensajes (tabla 38 de la norma). Ejemplos de éstos son DCU, LLO y TCT. Los nombres de estos mensajes aparecen tal y como se especifican en la norma y su significado se explicará más adelante.

En el programa se reserva espacio para 2 localidades especiales llamadas ESTADO1 y ESTADO2. Para esto se usará el operador DB que reserva un espacio de 8 bits. El signo de interrogación (?) indica que no se asigna un valor determinado a la localidad, sólo se reserva el espacio. Después se reservan 32 localidades usadas para almacenar los datos procedentes del bus. Estas localidades serán llenadas por la rutina RECIBE.

El orden de escritura de estas subrutinas no es importante debido a que éstas se ejecutan de manera independiente. La primera rutina se llama PRU_CO y verifica el estado del bit CO (que indica cuando el controlador está listo para enviar mensajes de la interfaz). La prueba se realiza en forma iterativa iniciándose con la lectura del registro de estado de interrupciones 2 (EST_INT2). Una vez que se ha leído éste, se usa una de las instrucciones específicas de la familia del 8086: TEST. Esta instrucción se emplea para aislar uno o más bits dentro de un byte pero a diferencia de la operación AND que destruye los operandos, TEST no altera el contenido del registro sobre el que opera y sólo modifica

el estado de las banderas en caso de que exista coincidencia de unos (1). En este caso se desea saber el estado del bit 3 de AL. Para esto se ejecuta la instrucción

TEST AL,BCO

BCO es el nombre de una constante definida en la parte inicial del listado y equivale a 08H. La instrucción siguiente revisa el estado de la bandera de cero (Z) en el registro de banderas del microprocesador de manera que si el bit CO es 1, la rutina termina ejecutando la instrucción RET regresando al punto de llamado. El resto de las subrutinas funciona de manera similar. PRU_DO revisa el estado del bit DO usado en la transmisión de datos; PRU_TA verifica que el PD7210 haya sido direccionado como "parlante" activo en el sistema mientras que PRU_LA revisa si el circuito ha sido direccionado como escucha. PRU_DI revisa el estado del bit DI que indica cuando se ha recibido un dato procedente de la interfaz. Sin embargo esta rutina requiere una pequeña variante debido a las características de funcionamiento de la interfaz y el circuito integrado. Cuando se está recibiendo un bloque de datos dependientes del dispositivo, el bit DI se activa con cada dato válido que aparece en el bus. Cuando se recibe el último dato, éste estará acompañado de la activación de la línea EOI. Cuando se detecta esta condición, se enciende el bit END por lo que al recibir el último dato se activarán los bits END y DI y éstos se

apagarán cuando se lea el registro de estado o el registro de entrada de datos. De ahí que si la rutina lee primeramente el registro de estado revisando el estado de DI, y END está encendido, éste se apagará y cuando el programa vuelva a leer este registro para revisar el estado de END, no obtendrá la información correcta. Es por esto que la rutina PRU_DI almacena el dato leído en la localidad ESTAD01 de donde podrá leerse para averiguar el estado del bit END. PRU_DI termina cuando el bit DI es 1.

Cada una de estas rutinas está delimitada por los operadores PROC y ENDP que separan a cada una de ellas como programas independientes. En ellas debe notarse el direccionamiento indirecto necesario para comunicarse con los puertos de la tarjeta. Como se mencionó en la primera parte del capítulo, el 8088 puede acceder 65536 localidades dentro del espacio de entrada/salida. Para direcciones con más de 8 bits (es decir mayores de FFH) se almacena dicha dirección en el registro DX y la operación de entrada/salida se efectúa indicando la dirección en DX; por ejemplo

```
MOV DX,ESTINT2
IN AL,DX
```

Después de estas rutinas de revisión de estado, se encuentra la rutina PROG encargada de preparar al 7210 para su operación normal. Primeramente se configura el registro de estado de

Interrupciones 1 para que active la línea INT cuando se active la condición ERR, originada por la pérdida del contenido del registro de salida de datos (SAL_D) y por la activación de la línea SRQ del bus por parte de alguno de los instrumentos. A continuación se programa el registro de modo de direccionamiento para que la tarjeta responda a direcciones de "escucha" y de "parlante". Para esto se emplea el modo de direccionamiento 1 y escribiendo la dirección principal (o dirección mayor) en el registro de dirección 0 y desactivando la recepción de direcciones menores en el registro 1 (para esto se escribe EOH en el registro DIR_01). Enseguida se programan varios registros auxiliares para definir la operación del 7210 cuando éste asuma el control del sistema. Primeramente se programa el registro auxiliar A para que se retenga la línea NRFD cuando se active el bit que indica el fin de transmisión del bloque de datos. También se activará el bit END cuando se envíe el dato que señala el fin de bloque (este dato tendrá una longitud de 7 bits). Enseguida se programa el valor de la frecuencia externa conectada a la entrada CLK del circuito (El valor a escribir se explicó detalladamente en el capítulo 3). Después se programa el registro B de tal forma que se prohíba la recepción de comandos indefinidos, se permita la activación de la línea EOI cuando se está respondiendo a una encuesta en serie, permite transferencia de alta velocidad (posible por el uso de transceptores de alta velocidad), determina que la línea INT será activa en estado alto y establece que el valor ist enviado durante una encuesta en paralelo se obtendrá de la bandera de encuesta en paralelo (manejada en el registro de modo auxiliar).

Se programó al registro de modo auxiliar para que no se responda a encuestas en paralelo ya que la tarjeta se probó en un sistema con un solo controlador (ella misma). El registro auxiliar E se programó para que no se realice ninguna acción especial al recibir los mensajes de "reinicio de funciones" y disparo de dispositivo (DEVICE CLEAR y DEVICE TRIGGER). Enseguida se escriben las direcciones de la computadora dentro del sistema. Esta será la dirección 1 decimal por lo que se escribe 01H en el registro DIR_01, significando que la dirección 1 estará en el registro de dirección 0 y corresponderá a la dirección mayor identificando tal dirección como "parlante" y como "escucha". En el mismo registro se escribe el valor E0H que desactiva la detección de direcciones no principales. Finalmente se escribe el dato de fin de bloque para que corresponda a <CR> (0DH) por lo que cuando se envíe este dato, se activará la línea EOI y cuando se reciba, se activará el bit END en el registro de estado de interrupciones 1.

Enseguida aparece la rutina encargada de enviar una cadena de datos al bus. La rutina ENVIA comienza llamando a la rutina PRU_DO para verificar que el 7210 esté listo para enviar datos dependientes de dispositivo. Una vez que se ha ejecutado la rutina de prueba, se efectuará una transferencia de datos de memoria al registro AL utilizando direccionamiento indirecto. Para esto es necesario cargar al registro SI con la dirección inicial del bloque de datos a enviar, el cual deberá concluir con 00H (El 00H no se enviará al bus).

El direccionamiento indirecto se representa encerrando en corchetes al registro que apunta al dato deseado. Enseguida se compara con 0H el dato traído de memoria y si no es igual se incrementa SI (para apuntar al siguiente dato) y se repite la operación de traer el dato de memoria. Si el dato que se trajo de memoria es 0H, se ejecuta la instrucción RET, terminando la rutina.

La rutina RECIBE se encarga de leer un bloque de datos originado en un instrumento direccionado como "parlante" activo del sistema. Primeramente se carga al registro DI con la dirección inicial del espacio reservado para almacenar los datos procedentes del bus. Enseguida se llama la rutina PRU_DI para verificar que el 7210 tenga un dato en el registro de entrada de datos. Cuando termina de ejecutarse esta rutina se direcciona el registro y se lee el dato. Una vez que se tiene el dato dentro del procesador, se guarda en el espacio direccionado por DI (bloque ENTRA) y se escribe el dato en pantalla. Para esto se utiliza la interrupción 010H del BIOS. La función requerida se activa cargando el registro AH con 0EH, BH con 00H y el dato a escribir en el registro AL antes de ejecutar la interrupción. Antes de pasar a la siguiente parte del programa, se incrementa DI para que se apunte al siguiente dato. Después se revisa si el dato leído es el último dato del bloque leyendo el dato almacenado en la localidad ESTAD01 y verificando el estado del bit END. En caso de que se trate del último dato (señalado por la activación de la línea EOI del bus), la rutina escribe la orden de terminar el proceso de saludo (XPINS), el cual fue retenido por la detección del fin de bloque,

escribe un 00H a la localidad señalada por DI y termina la rutina ejecutando RET. En caso de que no se sea el último dato del bloque, la rutina regresa a leer el siguiente dato (salta a la etiqueta LEE).

Las rutinas descritas en esta parte del trabajo no pretenden en ninguna forma ser toda la programación que requiere el 7210 para funcionar como un controlador IEEE-488. Definitivamente, el crear toda la programación que requiere la tarjeta para poder usarse en toda su capacidad está fuera de los alcances de esta tesis. Lo que se pretendió en esta parte (y el objetivo del programa presentado en el capítulo 6) es la demostración del funcionamiento de la tarjeta en una aplicación real, a saber el manejar un instrumento de laboratorio.

En realidad es poco realista pensar escribir las rutinas necesarias para ejecutar todas las operaciones del protocolo en lenguaje ensamblador. Lo más aconsejable es diseñar las rutinas que efectúen la comunicación con los registros del controlador en lenguaje ensamblador, semejantes a los programas incluidos, y agregar procedimientos de comunicación de datos con programas escritos en lenguajes de alto nivel. A este tipo de procedimientos se le llama comunicación de parámetros ("parameter passing") y generalmente involucra operaciones con la pila (stack) del procesador. Al conjunto de programas escritos especialmente para trabajar con un bloque de la circuitería de una computadora personal se le llama "manejador de dispositivo" ("device driver").

Es también conveniente que los programas de control de la tarjeta de control IEEE-488 generen resultados aceptables por programas comerciales de adquisición y graficación de datos por lo que la información obtenida del bus, generalmente datos en código ASCII, deberá procesarse para hacerla compatible con los formatos de estos programas. Esta última parte es un ejemplo de las operaciones realizables en lenguajes de alto nivel.

En el capítulo siguiente se muestra gráficamente la operación del controlador en la computadora personal y se explican los resultados de la primeras pruebas de la tarjeta.

CAPITULO V
ARMADO Y PRUEBA DE LA TARJETA.

V.1 ARMADO DEL EQUIPO.

V.1.1 CONSIDERACIONES SOBRE LA CONSTRUCCION.

El circuito diseñado, cuyo esquema fue presentado en el capítulo 3, se construyó en forma de prototipo a fin de verificar su funcionamiento. Debido a que se trata de un diseño experimental, no es aconsejable diseñar un circuito impreso para la tarjeta puesto que un circuito construido por primera vez, como es el caso de la tarjeta de acoplamiento al bus IEEE-488, es susceptible de mejoras y refinamientos que lo hagan más apropiado para su utilización y construcción definitiva.

V.1.2 CONSTRUCCION DE LA TARJETA.

El prototipo se ensambló empleando una tarjeta de conexiones por enrollado de alambre (a esta técnica se le llama comunmente "wire-wrap"). La tarjeta de alambrado es un modelo comercial por lo que incorpora ciertas características que, según el fabricante, brindan mayor confiabilidad y mejor funcionamiento al circuito que se ensambla en ella. La característica principal de esta tarjeta es el conector de 62 terminales en forma de "peine" para su acoplamiento al bus de expansión de la computadora personal.

Para el armado del equipo se hicieron tres consideraciones principales:

- (a) Este es un circuito de mediana frecuencia puesto que la señal de mayor frecuencia en el circuito es la del oscilador de 6 MHz.
- (b) Este es un circuito digital en el que sólo se emplean circuitos de tecnología TTL, todos con el mismo margen de ruido y aproximadamente el mismo tiempo de ascenso y descenso de la señal.
- (c) El interior de la computadora personal es un ambiente con una gran cantidad de ruido eléctrico.

Por lo anterior, aún cuando el objetivo de este trabajo de tesis es construir un prototipo, se tienen que considerar los tres factores anteriores a fin de construir un circuito cuyo funcionamiento no afecte ni sea afectado por la circuitería adicional presente en la computadora personal.

Es conveniente advertir que el objetivo del trabajo no fue construir un circuito absolutamente inmune al ruido e incapaz de generar ruido que afecte a otros circuitos ya que esto está fuera del alcance de esta tesis.

V.1.3 DISMINUCION DE RUIDO.

V.1.3.1 SISTEMA DE TIERRAS.

La primera regla a seguir para disminuir los problemas de ruido (referencia [8]) consiste en asegurar un buen sistema de tierra para la señal. Existen dos objetivos principales del sistema de tierras de un circuito. Primeramente se trata de minimizar el voltaje de ruido generado por corrientes de dos o más circuitos que fluyen por una impedancia común a tierra. El segundo objetivo es evitar lazos de tierra afectables por los campos magnéticos y diferencias de potencial de tierra.

Las tierras de señal se pueden agrupar en dos categorías: sistemas de un punto y sistemas multipunto. Los sistemas de un punto se dividen a su vez en sistemas de un punto en serie y sistemas de un punto en paralelo. A la conexión serie se le llama también sistema de tierra común mientras que a la conexión en paralelo se le llama sistema de tierras separadas.



Fig. 5.1.- Sistemas de conexión de un punto.

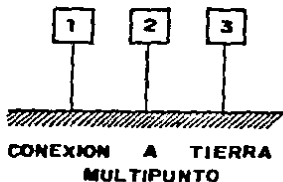


Fig. 5.2.- Sistema de conexión multipunto.

Desde el punto de vista de la eliminación de ruido, la conexión menos efectiva es la conexión de tierra común (conexión de un punto en serie).

El sistema de conexión unipunto en paralelo es el esquema más efectivo a bajas frecuencias debido a que no existen acoplamientos entre las corrientes de tierra de diferentes circuitos pero presenta el inconveniente de requerir una gran cantidad de alambre para la conexión directa a tierra.

La referencia mencionada indica que a frecuencias menores a 1 MHz es preferible un sistema de un punto. Arriba de 10 MHz es mejor utilizar un sistema multipunto. Entre 1 y 10 MHz se indica que se puede utilizar el sistema unipunto.

Una de las principales características de la tarjeta de alambrado usada en el diseño es la inclusión de una rejilla formada por las líneas de tierra dispuesta en el lado de componentes y otra compuesta por líneas de alimentación (5 V.) en el lado de soldadura. La rejilla es una alternativa más práctica al plano de tierra pues si ésta está colocada adecuadamente, se obtendrán voltajes de tierra ligeramente mayores que los obtenidos con un plano, ocupando un menor espacio.

De acuerdo en lo aconsejado en la referencia mencionada, se utilizó un esquema de conexión unipunto serie a fin de evitar un esquema de conexiones muy complejo. Lo que se hizo fue conectar cada una de las líneas de tierra de los circuitos a la rejilla de tierra que se encuentra presente en la cara anterior de la tarjeta (cara de componentes). Esto se aconseja a frecuencias menores a 10 MHz, siendo la condición que se agrupan las tierras de los circuitos cuyos voltajes de entrada sean similares. Dado que sólo se usan circuitos digitales no es necesario agrupar las tierras de acuerdo a los niveles de operación.

Una forma de determinar la calidad del sistema de tierra es medir el voltaje de tierra en varios puntos del circuito, sugiriéndose que para un funcionamiento correcto en sistemas digitales se deberá mantener este voltaje por debajo de 500 mV. El voltaje de ruido en la conexión de tierra del μ PD7210 es de aproximadamente 150 mV. p-p mientras que en la conexión de tierra del transceptor 75160 se obtuvo un voltaje de 400 mV. p-p y en la conexión de tierra del 74LS125 es de 250 mV. p-p.

V.1.3.2 DESACOPLANAMIENTO DE LA FUENTE. -

Otra estrategia usada para la prevención de ruido que afecte el funcionamiento del sistema es el desacoplamiento de la fuente de poder para evitar la entrada de voltaje de ruido por medio de las conexiones de alimentación al circuito. Cuando una compuerta

lógica cambia de estado, se produce un transitorio de corriente. Esta corriente circulando a través de la inductancia de la fuente de poder producirá un voltaje de ruido muy grande el cual se aplicará a las terminales de alimentación. Este cambio en el voltaje de alimentación puede ocasionar funcionamiento errático en dicho circuito. Para eliminar o minimizar estos "brincos" de la fuente de poder se deberá proporcionar esta corriente transitoria a partir de otra fuente. Es por esto que se utilizan capacitores. Se debe colocar este capacitor de desacoplamiento lo más cerca que sea posible al CI con el fin de disminuir la inductancia de esta conexión. La figura 5.3 muestra el esquema de dicha conexión en donde se representa la inductancia de la fuente de poder (L_p), el capacitor de desacoplamiento (C_d) y el transitorio de corriente (ΔI).

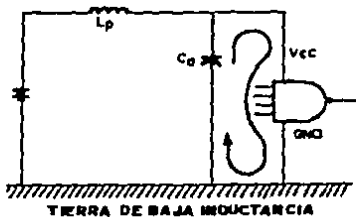


Fig. 5.3.- Circuito equivalente de compuerta y capacitor.

Normalmente el largo total del conductor entre el capacitor y las patas del circuito integrado (tierra y Vcc) deberá ser menor a 3.75 cm. Además de esto, cada tablilla de circuito (sea alambrado

o impreso) deberá contar con un capacitor de 10 a 100 μF en la entrada de energía de la tarjeta. Este capacitor de gran tamaño se usa para reponer la carga extraída de los capacitores pequeños de los circuitos integrados. Los capacitores conectados a cada CI deberán ser capaces de operar a altas frecuencias por lo que es recomendable usar capacitores cerámicos de disco o cerámicos monolíticos y éstos deberán ser lo suficientemente grandes para proporcionar la corriente necesaria durante las transiciones de estado de los circuitos cercanos. De acuerdo a la referencia [7], el valor del capacitor será función del cambio de corriente, el cambio de voltaje y el tiempo en que ocurre dicho cambio. Normalmente se requerirá un capacitor de 0.001 a 0.1 μf por cada uno o dos CI como se observa en la figura 5.4 en la que aparece un capacitor de desacoplamiento para dos circuitos integrados.

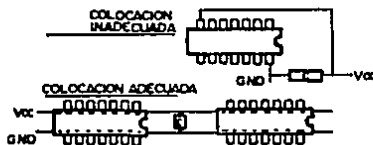


Fig. 5.4.- Colocación de capacitores de desacoplamiento.

El esquema usado en la construcción de la tarjeta consiste en un capacitor cerámico monolítico de 0.1 μf por cada circuito integrado y dos capacitores de 10 μf en la entrada de alimentación a la tarjeta prototipo.

V.2 PRUEBA FUNCIONAL

Una vez que la tarjeta se alambrió con los componentes citados en el capítulo 3 y de acuerdo a los lineamientos descritos en la parte anterior de este capítulo, se realizaron las pruebas de funcionamiento. Primeramente se conectó la tarjeta a una fuente de poder y se comprobó el funcionamiento del oscilador midiendo los tiempos de estado alto y bajo obtenidos cuando el oscilador está trabajando con el resto de los componentes y comparándolos con los valores medidos para el oscilador trabajando sin componentes adicionales en la tarjeta. (Recuérdese que estos valores son importantes para la obtención de los tiempos límite en el bus.)

V.2.1 PRUEBA MEDIANTE PROGRAMA DEL SISTEMA.

Para realizar la primera prueba de operación de la tarjeta se uso un programa del sistema operativo llamado DEBUG. Este realiza las funciones de un programa monitor. Utilizando DEBUG es posible leer y escribir en puertos de entrada/salida y en localidades de memoria, realizar vaciado de secciones de memoria y registros del procesador, grabar un bloque de datos en disco así como cargar bloques del disco a memoria; adicionalmente permite ensamblar instrucciones directamente a memoria y desensamblar datos contenidos en un bloque de memoria. De ahí que DEBUG cuente con una gran cantidad de comandos para poder realizar esta variedad de funciones. Sin embargo, para efectuar la prueba a la tarjeta se

requiere unicamente de dos de ellos. (Todos los comandos de DEBUG aparecen en la referencia [13].) El primer comando usado es:

O<no. hex.> <no. hex.>

donde el primer valor hexadecimal es la dirección de un puerto de entrada/salida y el segundo número hexadecimal indica el dato a enviar a dicho puerto. Por ejemplo, para programar el contador interno del PD7210 a una frecuencia de 8 MHz se efectúa:

O30D 28.

(El significado del segundo valor hexadecimal se explicó en el capítulo anterior.) Para leer los registros de dispositivos conectados en el espacio de entrada/salida se usa el comando I de acuerdo al siguiente formato.

I<no. hex.>

donde <no. hex> especifica la dirección del puerto desde el que se leerá el dato. Por ejemplo:

se encarga de leer el registro de entrada de datos del 7210.

Usando estos dos comandos se realizó la prueba de la tarjeta programando los registros del 7210 (con los datos explicados en el capítulo 4) y tratando de leer los valores esperados en los registros correspondientes. Después de enviar cada uno de los registros internos del controlador usando la instrucción O, estará listo para asumir el control del bus por lo que será equivalente a ejecutar la rutina PROG listada anteriormente. Para verificar el funcionamiento correcto del 7210 se provoca una de las condiciones de falla de dicho circuito. En la referencia [11] se menciona que el bit ERR (bit 2 del registro de estado de interrupciones 1) se activa cuando se escribe en el registro de salida de datos en condiciones no permitidas. Este es el caso cuando el controlador detecta que los instrumentos no están listos para recibir datos (por lo que la línea NRFD se mantiene en bajo). En estas condiciones no podrá activarse el bit DO del mismo registro y cuando se escriba un dato al registro de envío de datos se activará el bit ERR y además se encenderá el bit INT (bit 7) en el registro de estado de interrupciones 2. Al leer del registro de estado de interrupciones 1 (309H), se obtendrá 04H correspondiente al bit 2 encendido (error por pérdida de dato enviado al bus). En el capítulo 4 se mencionaron las características de operación de los registros de estado de interrupciones. En esta parte se

ejemplifica uno de ellas. Al leer nuevamente el registro de estado de interrupciones 1 se obtiene 00 lo que indica que al leer la condición de error, ésta se reestablece. A continuación se lee el registro de dirección 0 (30EH) obteniéndose el valor 01H que representa al dispositivo "parlante"/"escucha" 1.

V.2.2 MEDICION DE LOS TIEMPOS DE ACCESO.

Finalmente, a fin de observar gráficamente la interacción de las señales de la computadora con la tarjeta de control se realizaron dos ciclos de acceso a entrada/salida.

La figura 5.5 muestra la interacción de líneas de datos y control durante un ciclo de lectura, de acuerdo al siguiente grupo de instrucciones:

```
LAZ02:  MOV  DX,DIR_01
        IN   AL,DX
        JMP  LAZ02
```

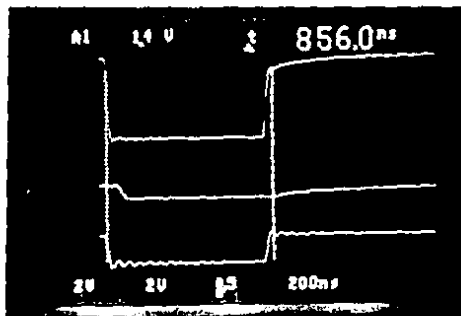


Fig. 5.5.- Ciclo de lectura a la tarjeta.

(El registro del que se lee es irrelevante para los fines de la prueba.) El trazo superior de la fotografía es la señal CS/ tomada en la terminal 8 del controlador PD7210. La fotografía muestra el ancho efectivo del pulso está entre 810 y 860 ns. En el trazo inferior aparece RD/ activándose en un lapso menor a 40 ns. (el tiempo calculado fue de 554 ns.) Así pues, RD/ tendrá un ancho de pulso similar al de CS/. En la parte media de la figura aparece la línea D0 medida en la terminal 12 del controlador) apreciándose el intervalo entre la activación de la señal RD/ y la presencia de datos válidos. El dato es válido cuando el voltaje de la línea baja de 1 (indicativo del estado de alta impedancia) a 0 V (se está leyendo un bit 0). En la figura 5.6 aparece un detalle de esta última relación.

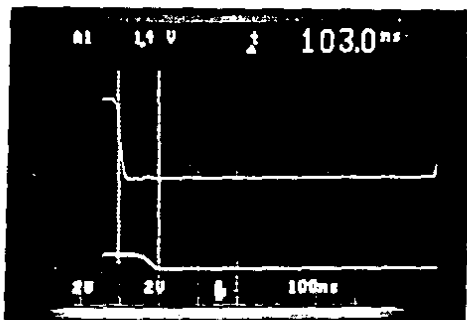


Fig. 5.6.- Relación entre RD/ y dato válido.

La gráfica muestra claramente el valor tRD que es de 100 ns. aprox., 50 ns. menor que el valor máximo proporcionado por el μ PD7210 para este parámetro. Si se considera que el retraso máximo especificado para la circuitería adicional presente entre el controlador y el conector de expansión es de 52 ns., entonces el valor tRD proporcionado por la tarjeta controladora será mucho menor que el límite de 517 ns. requerido por la computadora personal.

La figura 5.7 muestra el resultado de ejecutar el siguiente grupo de instrucciones:

```
LAZ01:  MOV  DX,DIR_01
        MOV  AL,020H
        OUT  DX,AL
        JMP  LAZ01
```

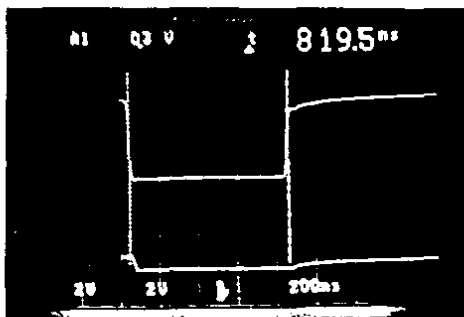


Fig. 5.7.- Ciclo de envío de datos a la tarjeta.

En esta figura el trazo superior es la señal WR/ como llega al controlador (terminal 10). Aquí se aprecia el ancho del pulso de escritura, el cual es similar al pulso de lectura verificando que las señales de escritura usadas por la computadora son las señales avanzadas (explicadas en el capítulo 3). El trazo inferior es D0 nuevamente medido en la terminal correspondiente del controlador. El detalle importante en esta gráfica es el valor tDW como se

detecta en el controlador.' La escala de tiempo usada en esta gráfica es de 200 ns. por división; entonces el tiempo entre la presencia de datos válidos por parte de la computadora personal y la desactivación de la señal WR/ (cursor derecho) es de aproximadamente 700 ns., valor mucho mayor que el requerido por el controlador (150 ns.). Estas imágenes demuestran claramente el funcionamiento de la tarjeta controladora conectada en su ambiente real de trabajo (el interior de la computadora personal). La máquina en la que se realizaron estas pruebas y las descritas en el capítulo 6 es una compatible con PC-AT funcionando a 8 MHz. (en el capítulo 3 se mencionó la razón de la compatibilidad entre las máquinas AT y las tarjetas diseñadas para PC basadas en 8088 funcionando a 4.77 MHz).

Las figuras anteriores no pretenden demostrar la verificación de todos los tiempos requeridos para asegurar el funcionamiento de la tarjeta sino sólo dar una prueba de la necesidad de calcular un esquema de tiempos cuando se está trabajando con circuitos basados en microprocesadores.

Las gráficas muestran la relación de tiempos real entre señales a diferencia de la relación calculada en el capítulo 3. Como se puede observar los tiempos obtenidos en el funcionamiento real no concuerdan con los calculados sino que son mayores. Recuerdese que se mencionó que se deseaba calcular un grupo de tiempos considerados como "peor caso" y la satisfacción de estas restricciones quedó de manifiesto en la ejecución de la prueba mediante DEBUG.

CAPITULO VI
CONEXION DE UN INSTRUMENTO COMPATIBLE CON
EL BUS IEEE-488 A LA COMPUTADORA.

VI.1 CARACTERISTICAS DEL MODULO.

VI.1.1 ATRIBUTOS GENERALES.

Como se mencionó en el capítulo 1, actualmente existen instrumentos acoplables al bus IEEE-488 para realizar mediciones de todo tipo de variables eléctricas (voltaje, resistencia, corriente, frecuencia, capacitancia, inductancia, etc.) Además de esto, existen dispositivos tales como unidades de disco duro, manejadores de cinta para almacenamiento digital de información e, incluso, impresoras y graficadores.

A fin de ejemplificar la conexión entre la tarjeta controladora y un instrumento compatible con el bus, se analizarán las características de funcionamiento y programación del generador de nivel PS-19 fabricado por la compañía alemana Wandel & Goltermann.

Este aparato produce una señal de frecuencia comprendida entre 80 Hz y 25 MHz. La señal de salida es una señal sinusoidal siendo sus principales ventajas el gran intervalo en frecuencia, la alta precisión en frecuencia y nivel y la facilidad de uso.

Cuando se utiliza la salida no balanceada (para conexión por cable coaxial) la frecuencia obtenible se extiende desde 80 Hz a 25 MHz. Usando la salida balanceada se puede obtener un intervalo de 620 KHz a 14 MHz (dependiendo de la impedancia seleccionada). Esto permite el uso de este instrumento en una amplia variedad de equipos de comunicaciones en las etapas de desarrollo, producción, instalación y mantenimiento.

La frecuencia de la señal de salida puede fijarse en forma numérica dentro de todo el intervalo utilizando el teclado o puede variarse en forma continua con una resolución de 1 Hz. Además de esto, es posible establecer cualquier incremento que se requiera o incrementos igualmente espaciados de manera manual o automática. El nivel de salida del instrumento puede ajustarse numéricamente usando el teclado o paso a paso en incrementos de 0.1 dB. El nivel de salida se mantiene constante al nivel seleccionado por la acción

de un amplificador de control de ganancia automática (AGC).

La impedancia de salida para la línea no balanceada es de 75 W. Cuando se realicen mediciones en circuitos balanceados se puede utilizar una de las salidas balanceadas con impedancias ajustables.

El uso del microprocesador permite usar algunas funciones de procesamiento digital. Una de ellas es la posibilidad de almacenar frecuencias "patrón" en la memoria RAM, aún cuando el equipo esté desconectado de la línea de alimentación. Posteriormente estas frecuencias pueden generarse en forma aleatoria o secuencial. El microprocesador es también el encargado de coordinar la comunicación con el bus de control de instrumentos (en este caso la versión internacional, IEC 625).

VI.1.2 CARACTERISTICAS DE USO.

En la figura 6.1 se muestra la vista frontal de PS-19. Para fines de explicación, este panel frontal puede dividirse en tres áreas funcionales: área de conexión, área de operación y área de exhibición de valores. La selección de todos los parámetros necesarios para efectuar mediciones se realiza oprimiendo botones en este panel frontal. El área de operación está compuesta de botones para la selección del nivel y frecuencia de salida, junto con la pantalla que muestra estos mismos valores de salida.

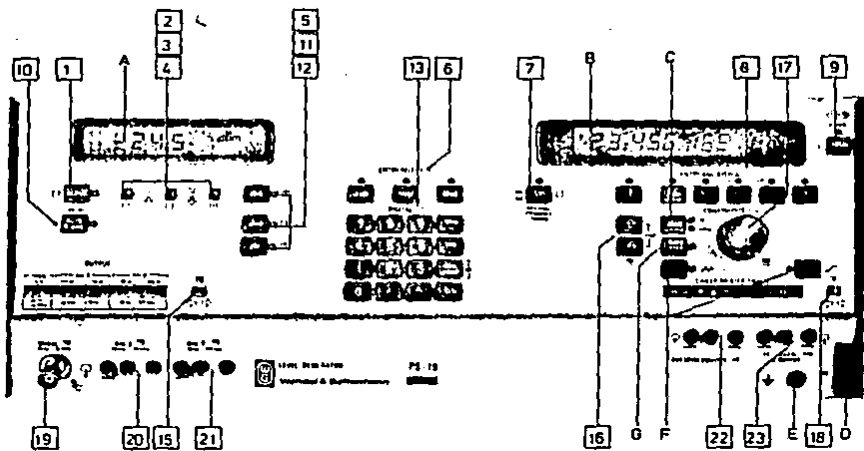


Fig. 6.1.- Vista frontal del generador PS-19.

En el lado derecho de la cara frontal se encuentran los botones para la selección de la frecuencia y la pantalla que muestra qué frecuencia se está generando en ese momento.

Cada uno de los botones de selección de función cuenta con un diodo emisor de luz (LED) que se ilumina cuando la función está activa. (Algunos de los botones tienen más de una función.)

Las principales funciones realizadas por cada uno de estos controles se especifica en la tabla 6.1. Los números que aparecen en la tabla corresponden a la designación dada en el instrumento (véase la fig. 6.1).

Tabla 6.1.- Controles y conexiones del PS-19.

Identificación	Función
5	Botón para la exhibición del nivel de salida en dB o dBm.
6	Botones para la selección de de valores dB/dBm, dB0/dBm0 y dBr.
8	Botones para la selección y exhibición de frecuencia (f), cambio de frecuencia (fstep), límites en el barrido (fstart, fstop o fcent).
9	Botón para cambiar a operación manual durante la operación remota.
11,12,13	Botón para la selección de nivel en dBm0 o dB0 o dBr.
13	Teclado digital para la selección de frecuencia y nivel de salida y botones para la selección de referencia para nivel ("dBm", "dBm0"/"dBr") y función de almacenamiento así como el botón de borrado (CLR).
15	Interruptores de selección de impedancia
18	Selección del tiempo de cambio durante operaciones de barrido o del tiempo de permanencia en operaciones de auto-incremento o barrido manual.
19	Salida no balanceada, 80 Hz a 25 MHz.
20	Salida balanceada, 60 kHz a 14 MHz
21	Salida balanceada, 80 Hz a 620 kHz
A	Pantalla digital del nivel o de la función de apagado de nivel.
B	Pantalla digital de frecuencia, dirección en memoria así como el resultado de la prueba interna realizada al encender el instrumento.
C	Botón de selección de resolución de frecuencia de 100 Hz (se enciende el led "COARSE")

Como se mencionó anteriormente el generador de nivel PS-19 cuenta con una salida coaxial (no balanceada) obtenible en el conector [19] en donde podrá obtenerse el intervalo completo de 80 Hz a 25 MHz. Las dos salidas restantes son utilizadas para medidas balanceadas. Los valores de frecuencia obtenibles en cada uno de los conectores así como las impedancias son:

	Conexión	Z	Intervalo de frecuencia
BAL I	(20)	124 W, 150 W	60 KHz a 14 MHz
BAL II	(20)	0,150 W, 600 W	80 Hz a 620 KHz

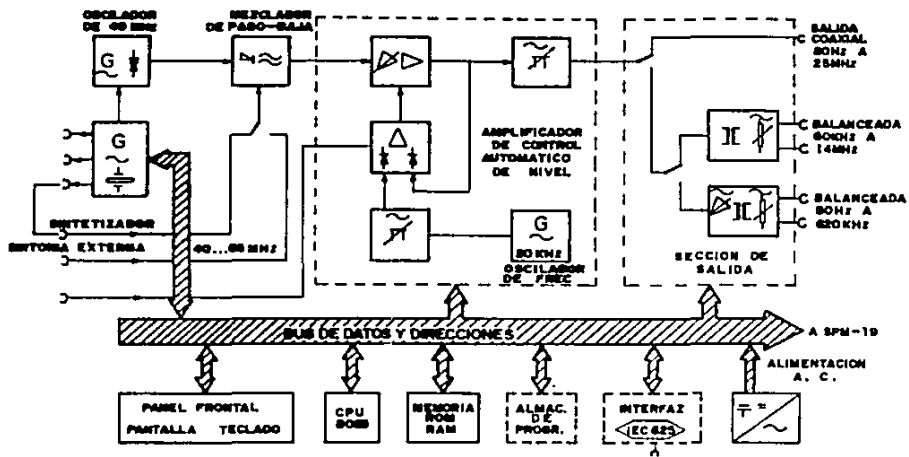
La salida requerida así como el valor de impedancia se selecciona con el interruptor [15]. El instrumento cambia ininterrumpidamente entre los valores de frecuencia e impedancia mientras se esté presionando este interruptor. La salida se activa únicamente cuando se libera el interruptor.

Los números que se incluyen entre paréntesis en la tabla son las designaciones dadas en la partes frontal y trasera del instrumento.

VI.2 DIAGRAMA A BLOQUES DEL INSTRUMENTO.

El generador de nivel PS-19 consiste principalmente de un sintetizador, una etapa de salida y una etapa de control, la cual incluye a la microcomputadora y el panel de control e indicación. La figura 6.2 muestra el diagrama a bloques del generador de nivel PS-19 en el que se aprecian los componentes mencionados a continuación.

Fig 6.2.- Diagrama a bloques del PS-19.



El instrumento opera en el principio heterodino, es decir la frecuencia de salida resulta de la diferencia entre la frecuencia fija de 40 MHz y la frecuencia portadora variable de 40 a 65 MHz. La frecuencia fija se obtiene de un oscilador LC de control de fase que se encadena a una frecuencia patrón generada por el sintetizador. La frecuencia fija se conecta al mezclador por medio de un filtro pasa-bajas y ahí se convierte, usando una frecuencia portadora generada por el sintetizador o por una fuente externa, en la frecuencia de salida en un intervalo de 80 Hz a 25 MHz. El siguiente filtro pasa-bajas elimina la banda lateral superior, las armónicas así como las componentes residuales de las frecuencias variable y fija.

La señal proveniente del mezclador se amplifica en el amplificador AGC (control automático de ganancia) en donde se ajusta a un valor constante. El voltaje de control para esta etapa se obtiene al comparar el voltaje de la señal con un voltaje de referencia a 20 KHz. En esta parte se realiza también el ajuste fino de la señal y a la salida de esta etapa se lleva a cabo la atenuación de la señal usando para ello un atenuador variable.

La salida se conecta directamente a la salida no balanceada y a las otras 2 salidas usando transformadores de balanceo. El transformador en la trayectoria de salida de baja frecuencia está precedido por un amplificador que proporciona tanto una impedancia

de salida más baja y un incremento en el nivel de salida de aproximadamente 10 dB.

El generador de nivel está equipado con una fuente de poder del tipo conmutado que permite la conexión de voltajes de alimentación comprendidos entre 96 y 261 V.

La sintonización de frecuencia se efectúa digitalmente en el código BCD en todos los modos de operación. Para la sintonización de frecuencia pseudo-continua en todo un intervalo continuo, un pequeño generador de DC movido por una perilla giratoria proporciona los pulsos de establecimiento a los contadores internos por medio de un convertidor de voltaje a frecuencia conectado a la salida de éste. La información de frecuencia se pasa a la pantalla de frecuencia y al sintetizador por medio de los adaptadores de pantalla.

La microcomputadora consiste de una CPU (un microprocesador 8085), la memoria de programa (ROM), la memoria principal (RAM) y los puertos de entrada y salida. Las pantallas y controles del panel frontal se conectan a la microcomputadora a través de líneas de datos y control. El teclado del panel frontal se usa, entre otras cosas, para la entrada de frecuencias fijas y de configuraciones completas del equipo a la memoria principal.

VI.3 ESPECIFICACIONES DEL ACOPLAMIENTO AL COMPUTADOR.

VI.3.1 GENERALIDADES.

El instrumento utilizado fue diseñado para conectarse directamente al bus de control IEC-625. Como se explicó en el capítulo 2, este bus es eléctrica y funcionalmente similar al bus IEEE-488. Para realizar la conexión con un cable construido según esta última norma, se utiliza un adaptador entre la salida del instrumento (utilizando un conector DB-25P) y el cable. Dicho adaptador no es más que un conjunto de puentes cruzados terminados por un lado en un conector del tipo "Amphenol" y un conector DB-25S en el otro extremo. El circuito de acoplamiento al bus está construido en base a un controlador de funcionamiento similar al utilizado en la tarjeta de la computadora personal. El diagrama a bloques de la tarjeta de adaptación al bus es bastante similar al de la tarjeta diseñada y como en aquel caso, el adaptador al bus representa un grupo de puertos de entrada/salida en el espacio correspondiente del 8085.

La tarjeta de adaptación al bus está construida en base a un controlador MC68488 de Motorola que cuenta con 7 puertos de entrada y 7 puertos de salida, lo que determina la cantidad y extensión de las funciones realizables por este instrumento (como se verá posteriormente).

El intercambio de datos entre el procesador y el bus se lleva a cabo por medio de registros tales como "Talker byte" y "Listener byte", siendo manejado por el programa de control del bus que está almacenado en memoria EPROM. Por el lado del bus, el bloque de conexión al bus está formado por 4 transeptores del tipo MC 3446 (Motorola), cada uno de los cuales maneja 4 líneas.

La lógica de interfaz realiza la mayor parte de las transacciones del sistema de interfaz sin requerir la acción del procesador central del instrumento, realizando la decodificación de los varios mensajes de la interfaz de manera similar al mPD7210. Entre las varias funciones de los puertos de salida se cuentan:

- La recepción de las instrucciones de control con las cuales el microprocesador puede influenciar la operación de la lógica de interfaz (por ejemplo detener el proceso de saludo).
- La transferencia de datos que se transmiten del instrumento al bus (como el resultado de una medición o el dato de estado del instrumento).

VI.3.2 FUNCIONAMIENTO DE LA INTERFAZ DEL PS-19.

La interacción entre el procesador central del instrumento y el bus de control (via la tarjeta de acoplamiento) se efectua por el programa de control de bus, almacenado en memorias EPROM. La lógica de interfaz llama la atención del procesador, usando la interrupción, cuando la operación del bus requiere su intervención. Como resultado de esta interrupción, el microprocesador ejecuta las rutinas de comunicación con el bus.

VI.3.3 FUNCIONES DEL BUS.

La tarjeta de conexión al bus IEC-625 (o IEEE-488 usando un adaptador especial) integra un subconjunto de las funciones de la interfaz (descritos en el capítulo 2). A su vez éstos representan las capacidades programables del PS-19. Este subconjunto (junto con las características de cada uno de ellos) se describe a continuación.

SH1: Capacidad completa.

AH1: Capacidad completa

T6: "Parlante" con dirección de un solo "byte", deshabilitación de la dirección de "parlante" cuando se recibe la dirección de "escucha", operación en encuesta en serie, sin capacidad de operar en modo "sólo parlante".

Función L4: Dispositivo "escucha" con dirección de un "byte", deshabilitación del direccionamiento cuando se recibe la dirección de "parlante" (MTA), y sin operación en modo "sólo escucha".

Función SRI: Capacidad completa con las siguientes características: Se puede programar al instrumento (a través del sistema de interfaz) para que genere una petición de servicio cuando se reinicie la alimentación (después de una falla) o cuando se completa la operación específica del instrumento (sólo en modo

REMOTO) pudiendo ser programado para solicitar servicio en otras condiciones.

Función RL1: Capacidad completa. Se activa la función cuando el controlador envía el mensaje REN (línea REN en bajo). El instrumento cambia al modo LOCAL cuando se reinicia la alimentación después de una falla, después de la reiniciación de las funciones de interfaz por el mensaje IPC, cuando se desactiva la línea REN o se desconecta el cable de la interfaz, cuando el controlador transmite el comando GTL (go to local) o cuando se oprime el botón LOCAL. Esto último ocurre sólo si el controlador de bus no ha enviado el comando universal LLO evitando que el instrumento cambie a LOCAL a menos que ocurra alguna de las condiciones mencionadas anteriormente. El instrumento tiene los siguientes atributos para esta función:

- Durante la operación remota se desactivan todos los controles para los que existen funciones remotas correspondientes.
- Cuando el instrumento cambia a modo LOCAL, se mantiene la última configuración seleccionada en este modo.
- Durante la operación local todos los controles están activos; las funciones T, PP y SR están activas mientras que las funciones L, DC y DT están desactivadas.

Función PP2. En esta función, la línea en la que el instrumento responderá a la encuesta en paralelo se configura usando un grupo de interruptores en la tarjeta de interfaz. El procedimiento en este instrumento usa el estado del mensaje RQS para responder a la encuesta. Dicha línea se activará (estado bajo) cuando el instrumento transmita una petición de servicio. Adicionalmente, el instrumento también responderá a una encuesta en paralelo cuando opere en el modo LOCAL.

Función DC1. En este subconjunto el instrumento asumirá su estado inicial cuando el controlador transmita el comando universal DCL o el comando SDC (en caso de que el instrumento haya sido direccionado previamente como "escucha"). En el PS-19 estos comandos no tienen ningún efecto en el modo LOCAL.

Función DT1. Se inicia con la recepción del comando GET (group enable trigger) cuando el dispositivo ha sido direccionado como "escucha". GET no tiene efecto en el modo LOCAL. Durante la ejecución de la operación iniciada por GET se activa el bit BUSY del uato de estado. Se puede programar al dispositivo para que genere un petición de servicio al concluir esta operación.

Función C0. El dispositivo no puede adoptar el control del bus.

El indica que los transceptores usados en las líneas de conexión a la interfaz son del tipo colector abierto, impidiendo la realización de transferencias en altas velocidades (T1 será mayor a 2 mseg.)

Como se mencionó anteriormente la dirección del dispositivo se establece por medio de un grupo de interruptores colocados en la tarjeta de interconexión al bus de control.

VI.4 PROGRAMACION DEL PS-19.

La operación del instrumento a través del sistema de interfaz se efectúa enviando una serie de datos que indican al aparato la operación a realizar. En el caso del PS-19 estos datos corresponden a valores codificados en ASCII. Adicionalmente, el instrumento envía al controlador datos que indican el estado en que se encuentra y si ha ocurrido algún error en la comunicación o en la operación interna del aparato. Los bloques de datos de programación consisten de un cierto número de palabras y cada palabra contiene los datos para ordenar la ejecución de una función del instrumento. Cada una de las palabras concluye con un dato que la separa de la siguiente mientras que la última palabra del bloque concluye con el delimitador especial END formado por la activación de la línea EOI simultáneamente con la transferencia del último dato del bloque.

Entre los datos enviados por el instrumento al controlador se encuentra el dato enviado durante la ejecución de la encuesta en serie. Dicho dato (normalmente de 7 bits aunque no existe restricción para usar los 8 bits) contiene un grupo de bits cuya información y formato depende del dispositivo y otro grupo cuya configuración es empleada por la mayoría de los instrumentos conectables al bus. De estos bits, el único especificado por la norma es el bit 7 llamado RQS. Cuando éste es 1 significa que el dispositivo que envió el dato de estado está solicitando servicio del controlador y normalmente este bit depende directamente del

estado de la línea SRQ. Existe otro bit cuyo funcionamiento es interesante. Este es el bit de "ocupado" y se activa como resultado de la realización de operaciones específicas del instrumento durante la operación remota.

La operación del PS-19 podría resumirse en los siguientes pasos, determinados por el hecho de que se trata de un generador de frecuencias: Programación de la frecuencia de salida, programación del nivel e impedancia de salida y modo de envío de datos al controlador. Después de poner al instrumento al mando del controlador se deberá direccionar al instrumento. El manual de programación del PS-19 establece que la tarjeta de conexión al bus está configurada inicialmente con dirección 11 (decimal). Esto corresponde a una dirección de "parlante" de 4BH (ASCII K) y una dirección de escucha de 2BH (ASCII +). Al activarse la línea REN y direccionarse al dispositivo como escucha (enviando 2BH con la línea ATN activa), el instrumento entra al modo remoto y enciende el LED correspondiente en el panel frontal. En estas condiciones el instrumento asume una configuración predeterminada en su diseño. Esta corresponde a una frecuencia de 100 KHz, disparo continuo, envío de frecuencia cuando el instrumento se direcciona como "parlante", nivel de salida en dBm, auto-calibración encendida, ancho de banda de 3.1 KHz, señal conectada a la salida no balanceada (80Hz a 25 MHz) con impedancia de salida de 75 W, control numérico de la frecuencia y la memoria apagada. A partir de esta configuración se programará al PS-19 para demostrar algunas de sus funciones.

El PS-19 utiliza un grupo de delimitadores para saber qué función del dispositivo deberá realizar. Cada uno de estos delimitadores separa un grupo de datos del siguiente y el anterior, y el procesador del instrumento interpreta los datos de acuerdo al significado de ellos por lo que se les llama identificadores de palabra o simplemente identificadores. La tabla 6.2 contiene los identificadores reconocidos por el PS-19 así como la función a la que se refiere. Los programas diseñados para ejemplificar la operación de la tarjeta no utilizan todos los identificadores por lo que se detallará únicamente la operación de los aplicados en dicho programa.

Tabla 6.2.- Identificadores del PS-19.

Identificador	Función
Q	Modo de interfaz
C	Modo de calibración
S	Modo de sintetizador
F	Frecuencia
E	Incremento de frecuencia
U	Frecuencia de inicio
V	Frecuencia de paro
H	Frecuencia central
W	Frecuencia de inicio
A	Modo de memoria y dirección
G	Modo 1 del generador
K	Modo 2 del generador

P	Impedancia de salida
X	Punto de nivel de transmisión
T	Modo de disparo
D	Modo de salida de datos

Asimismo, el PS-19 usa identificadores para indicar a los "escuchas" del bus qué interpretación deberán dar a los datos que está enviando. Estos delimitadores se escriben en la tabla 6.3.

Tabla 6.3.- Identificadores de datos.

F	Frecuencia
G	Nivel de salida
E	Numero de error

El programa de demostración (listado anexo) comienza programando al mPD7210 llamando la rutina PROG (detallada en el capítulo 4). Como se mencionó anteriormente, la configuración inicial del PS-19 señala el fin de bloque activando la línea EOI simultaneamente con la transferencia del último dato por lo que el dato colocado en el registro EOS es irrelevante. Despues de tomar control del bus activando las líneas IFC y REN, se direcciona al generador como "escucha" y a la computadora como "parlante" (esto último se hizo debido a que la norma no especifica un método local para que un controlador/parlante asuma la función de "parlante") y se verifica

que el computador efectivamente haya sido direccionado como tal (llamando la rutina PRU_TA). Enseguida se pone al controlador en modo pasivo enviando la orden XGTS al registro de modo auxiliar (MOD_AUX), con lo que la tarjeta se comporta como cualquier "parlante" para enviar los datos necesarios para programar al generador (recuérdese que se trata de información dependiente del dispositivo). Para enviar el primer bloque de programación se utiliza la rutina ENVIA, descrita en el capítulo 4. Como se mencionó en dicho capítulo, todas las rutinas usadas en el manejo de la tarjeta (y que se aplican a todo tipo de instrumentos) se escribieron en un archivo llamado RUT488 por lo que para poder usarlas en un cierto programa para controlar a un instrumento específico se deberán agregar a dicho programa. Para esto se usa el operador INCLUDE del ensamblador que se encarga de transferir un archivo externo completo al archivo en que se usa. Para llamar la rutina ENVIA se carga la dirección del grupo de datos a enviar (CADENA1) en el registro SI y se utiliza un esquema de direccionamiento indirecto para obtener cada uno de los datos; esto se indica encerrando a SI en corchetes y manipulando este registro para que después de enviar un dato al bus se apunte al siguiente en la cadena.

El primer bloque de datos es:

```
'U0500000,V15000000,E005000000,S56',0
```

Esta cadena configura al PS-19 en modo de auto-incremento (AUTO-STEP) generando una secuencia de frecuencias. La frecuencia inicial se señala por la letra U seguida de la frecuencia inicial requerida. Nótese en el listado que las cadenas de datos están encerradas entre comillas lo que indica al ensamblador que deberá almacenar los códigos ASCII de los datos de la cadena y ésta será la información enviada a través del bus. En este ejemplo, la frecuencia inicial será de 5 MHz (U05000000), la frecuencia final o de paro será 15 MHz (V15000000) y el incremento de frecuencia es de 500 KHz (E00500000). El instrumento requiere que cada grupo de datos que definen una cierta acción se separen del siguiente grupo por medio de una coma (,) que actuará como pulso de disparo cuando el PS-19 está en modo de disparo continuo (configuración inicial). Enseguida se envía el dato S56 el cual define el modo de operación del sintetizador. El 5 indica el modo de auto-incremento y el orden seguido en este programa (envío de frecuencia antes del modo de operación) es el indicado en la referencia [12]. Después se envía el último dato de la cadena que es la coma que sigue a S56 y enseguida se encuentra el 0 que señala el fin de la cadena de datos con lo que termina la rutina ENVIA. El programa continúa ejecutando un lazo de espera que concluye hasta que se presione la tecla <RETURN>. Para ejecutar operaciones que involucren al teclado de la computadora personal, se usa el BIOS a través de la interrupción 016H. Como se mencionó en el capítulo 4, para utilizar las interrupciones del sistema operativo o del BIOS se selecciona la función requerida cargando el valor correspondiente a dicha función en los registros del procesador. Los valores

requeridos por cada función se especifican en la referencia [2]. Para el caso del teclado, existen tres posibles funciones realizables. La función que se necesita en este caso se accesa cargando 0 a AH antes de ejecutar INT 016H. Cuando termina la rutina de servicio a la interrupción, el registro AX contiene el código correspondiente a la tecla con la parte baja (AL) ocupada por el código ASCII de dicha tecla (sólo en el caso de teclas alfanuméricas). La rutina de servicio de la interrupción sólo puede terminar hasta que se presione una tecla; el programa compara la tecla presionada con 0DH (el código ASCII de <RETURN>) y el lazo continúa hasta que la tecla presionada sea <RETURN>. Enseguida, el programa envía los datos para la siguiente operación. La cadena 2 es:

P2,F10055555,L-020.0,D2,',0

La letra P es el identificador de la impedancia de salida del instrumento (y por lo tanto la conexión de salida del aparato). La configuración inicial del PS-19 es la función P0 correspondiente a una impedancia de salida de 75 W obteniéndose la señal en la conexión BNC de la extrema izquierda. El primer dato de la cadena (P2) cambia la señal a la salida balanceada I con impedancia de salida de 150 W. Enseguida se selecciona una frecuencia fija que apareciera en dicha salida y en la pantalla. El dato correspondiente es:

F11555000,

Nuevamente el instrumento ejecutará la orden en cuanto reciba la coma y enseguida se programará el nivel de salida de la señal. Esta función se selecciona enviando al PS-19 la letra L seguida por el nivel deseado. De acuerdo a la configuración inicial adoptada por el instrumento, el nivel estará dado en dBm a menos que se programe un cambio en el nivel de referencia. El programa configura al PS-19 a un nivel de salida de -20dBm enviando:

L-020.0

La última orden enviada es:

D2

Este dato indica al generador qué datos enviará al ser direccionado como parlante por el controlador activo. El 2 que califica a la D ordena enviar el valor del nivel cuando se direcciona como "parlante" y se desactive la línea ATN. Inmediatamente después de haber enviado la cadena 2 se envía la señal de fin de bloque activando la línea EOI al mismo tiempo que

se envía el último dato. Por esta razón la cadena 2 no incluye la coma que delimita al último dato. Al terminar de enviar la cadena 2 se direcciona el registro auxiliar de modo (MOD_AUX) y se le envía el mensaje llamado XSEOI (06H) que configura al 7210 para que active la línea EOI cuando envíe el siguiente dato que será la coma (,) que concluye la ejecución de la cadena 2.

Después, el programa inicia otro ciclo de lectura de datos del teclado y continúa con la programación del 7210 hasta que se presione <RETURN> y cuando se ha hecho esto, se envía el mensaje XTCA (11H) al controlador que le ordena asumir el control del bus de manera inmediata (activando la línea ATN). Después de esto se llama a PRU_CIC para verificar que la tarjeta sea el controlador activo y enseguida se envía la orden de "dejar de hablar" (UNTALK, UNT) y de dejar de escuchar (UNLISTEN, UNL). Una vez que se han recibido estas ordenes, tanto el PS-19 como la función "parlante" de la tarjeta controladora estarán inactivos. Después se direcciona al generador de nivel como "parlante" enviando 4BH (que corresponde al dispositivo 11 como "parlante" de acuerdo a la tabla mencionada en el capítulo 2) y a continuación se activa al computador como "escucha" en el bus. Esto se hará en forma local enviando el mensaje XLTN (13H) al registro de modo auxiliar. De acuerdo al diagrama de estados de la función "escucha" (L), referencia [1], la función L pasa del estado inactivo al estado de "escucha" direccionado ya sea cuando el mensaje "sólo escucha" (listen only) es verdadero (por interruptores externos), cuando se ha recibido la dirección correspondiente al "escucha" a través del

bus o cuando el mensaje ltn (listen) es verdadero estando activa la función controladora. Esto significa que enviar el mensaje ltn (por medio del registro auxiliar de modo) logra el mismo objetivo que enviar la dirección correspondiente al dispositivo "escucha" (21H para el escucha 1) por lo que se puede verificar la activación del bit LA en el registro de estado de direcciones. Después de activar al "escucha" y al "parlante", se pone al controlador en estado inactivo (con lo que se levanta la línea ATN). Para recibir los datos del instrumento se llama la rutina RECIBE, explicada en el capítulo 4. (Recuérdese que RECIBE se encarga de terminar el "saludo" retenido por la activación de la línea EOI por parte del "parlante"). Después que se ha recibido la lectura de nivel del PS-19, nuevamente se espera a que se presione <RETURN> para señalar a la tarjeta que deberá tomar el control del bus (XTCA), enviar UNT y XLUN (desactivación local de la función escucha). Enseguida se direcciona nuevamente al generador de nivel como "escucha" y al computador como "parlante"; después de verificar el direccionamiento y desactivar la función controladora, se envía la CADENA3:

S40

El identificador S programa el modo de operación del sintetizador de frecuencia. EL 4 activa el modo de operación "selección de frecuencia continua" (usando la perilla

correspondiente en el panel frontal) mientras que el 0 configura el barrido manual. Sin embargo esta función no podrá ejecutarse debido a que, durante la operación remota del instrumento, el panel frontal está desactivado. Por lo tanto, para poder realizar esta función, se deberá volver al instrumento a su modo de operación local. Antes de hacer esto se enviará el dato de fin de bloque (activación de EOI) simultáneamente con la coma que delimita el campo. Para configurar en modo local, se puede enviar el mensaje de la interfaz GTL (go to local = 01H) al instrumento o se puede desactivar la línea REN. En el programa de ejemplo, se desactiva la línea REN enviando el mensaje XRREN por medio del registro de modo auxiliar, siendo ésta la terminación de la prueba. Después aparece RET que, por ejecutarse dentro del programa principal, termina el programa y regresa el control al sistema operativo. Al terminar el programa, el instrumento estará en modo local y se podrá seleccionar una frecuencia de salida en forma continua.

La comunicación con el instrumento ejemplificada en este programa pone de manifiesto la ventaja del uso de un circuito dedicado específicamente a una cierta tarea y en el que procesos relativamente complejos (como la realización de la señalización del fin de bloque) se ordenan escribiendo en registros especiales. Además de esto, se puede observar la ventaja de la comunicación empleando datos codificados en ASCII pues los datos obtenidos del bus no requieren conversión adicional antes de ser enviados al monitor (que al trabajar en modo alfanumérico requiere los datos de esta manera) y permite construir programas que lean datos del

teclado y los envíen directamente a un instrumento direccionado previamente.

Sin embargo, en aplicaciones que requieran alta velocidad, la transferencia de un dato de 8 bits para codificar un dígito resulta sumamente ineficiente por lo que en estos casos es conveniente contar con instrumentos que tengan la capacidad de enviar datos en forma compacta. Generalmente esto se realiza codificando los datos en BCD (cada dígito se codifica empleando 4 bits) y cada byte contendrá 2 dígitos con lo que se dobla la transferencia efectiva de datos. Pero esta capacidad sólo se justifica si no se requiere hacer la conversión de manera inmediata permitiendo que se almacenen los datos para convertirlos una vez que se haya concluido la adquisición.

CONCLUSIONES

- (1) En el capítulo 1 se mencionó que originalmente se diseñó (y construyó) un circuito que incorporaba un conjunto de señales específicas de la aplicación a las cuales se trataría de adaptar la parte digital de un grupo de instrumentos diseñados especialmente. Por supuesto que este esquema está totalmente limitado al control de estos instrumentos. Esta fue la razón de desechar este sistema y adoptar el bus IEEE-488. Este protocolo ha sido aceptado por una gran cantidad de fabricantes de instrumentos de medición y estímulo.

- (2) A pesar de que el diseño de tarjeta pretende abarcar la mayor cantidad de aplicaciones, no deben soslayarse dos grandes limitaciones del protocolo IEEE-488: La velocidad de transferencia y el formato de los datos. En el capítulo 1 se mencionó que la velocidad máxima en cualquiera de las líneas del bus es 1 MHz, lo que lo hace inadecuado en aplicaciones de alta velocidad de adquisición como la digitalización de transitorios en circuitos electrónicos de potencia. La segunda limitación se refiere a los datos comunicados entre los instrumentos. El comité de normalización no definió el formato de los datos transferidos entre los instrumentos ni el método de procesamiento de éstos. A pesar de esto, se decidió usar este protocolo debido a la gran variedad de instrumentos conectables a este sistema de comunicación de datos.

- (3) Los tiempos reales de los ciclos de escritura y lectura de la computadora personal fueron mucho mayores que los calculados en el capítulo 3. Esto es debido a una inadecuada división de la frecuencia base para obtener una sincronización del bus similar a la de la IBM-PC. Sin embargo, las condiciones extremas de los requisitos de tiempo tanto del controlador como del procesador de la computadora fueron satisfechos, lo que quedó de manifiesto en el funcionamiento de la tarjeta, probado en el capítulo 5.
- (4) Al diseñar la tarjeta para conectarse al bus interno de la computadora personal se tuvo en cuenta la gran cantidad de este tipo de máquinas instaladas en México. El tratar de establecer la relación completa de las señales en los conectores de expansión de la computadora personal IBM es un trabajo cuyos resultados pueden aplicarse no sólo a circuitos relacionados con instrumentación sino en control, adquisición de datos, expansión de memoria, etc.
- (5) Es posible realizar varias mejoras al circuito diseñado que permitirán lograr una interfaz más compacta. Primeramente sería deseable poder cambiar fácilmente la asignación de direcciones destinadas a la tarjeta. Esto podría realizarse empleando un circuito lógico programable que realizara la función de decodificación de direcciones. En este mismo circuito programable se podría incluir una función de selección de canal DMA y de línea de interrupción de tal forma que la

tarjeta pueda funcionar en computadoras que cuenten con circuitos externos que ya utilicen la interrupción IRQ7 y el canal DMA 3.

- (6) Podría cuestionarse el uso de lenguaje ensamblador para la escritura de las rutinas descritas en los capítulos 4 y 6. La razón de emplear este lenguaje es su gran flexibilidad en el manejo de la circuitería de la computadora personal además de brindar un fácil acceso a los recursos del sistema.
- (7) Las nuevas familias de microcomputadoras, más poderosas y con mejores características de expansión (como los protocolos de arbitraje de bus que permiten que un circuito conectado al bus de expansión asuma el control de toda la computadora), permitirán la construcción tarjetas con mayor cantidad de funciones. Se espera que la experiencia adquirida en el desarrollo de este trabajo sea útil para diseñar estos nuevos circuitos.

25	REN/	Entrada/salida de habilitación remota
26	ATN/	Entrada/salida de control atención
27	SRQ/	Entrada salida de petición de servicio
28-35	DIO1/-DIO8/	Bus de datos bidireccional (IEEE-488)
36	DAV/	Entrada/salida dato válido
37	NRFD/	Entrada/salida listo para datos
38	NDAC/	Entrada/salida dato aceptado
39	EOI/	Entrada/salida fin o identifica
40	Vcc	Fuente de poder 5 volts

La frecuencia máxima de operación alimentable a la entrada de reloj del circuito encapsulado en plástico es 8 MHz con las mismas restricciones de nivel que las mencionadas a continuación.

En las siguientes hojas se reproducen las principales características de los tres circuitos principales de la tarjeta. Estas incluyen las restricciones en corriente directa (DC) y los retrasos entre las señales originadas por la ocurrencia de los estados de las funciones en el circuito controlador. También se reproducen las asignaciones de terminales y características de conmutación del 75160 y 75162 (las características en DC se explicaron en el capítulo 4).

Switching Characteristics $V_{CC} = 5.0V \pm 5\%$, $T_A = 0^\circ C$ to $70^\circ C$ (Note 1)

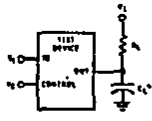
Parameter	From	To	Conditions	DS75160A				DS75161A				DS75162A				Units			
				Min	Typ	Max		Min	Typ	Max		Min	Typ	Max					
t_{PLH} Propagation Delay Time, Low to High Level Output	Terminal	Bus	$V_I = 2.3V$ $R_L = 35 \Omega$ $C_L = 30 pF$ Figure 1	10	20			10	20			10	20			ns			
t_{PLH} Propagation Delay Time, High to Low Level Output				14	20			14	20			14	20			ns			
t_{PHL} Propagation Delay Time, Low to High Level Output	Bus	Terminal	$V_I = 5.0V$ $R_L = 240 \Omega$ $C_L = 30 pF$ Figure 2	14	20			14	20			14	20			ns			
t_{PHL} Propagation Delay Time, High to Low Level Output				10	20			10	20			10	20			ns			
t_{ENH} Output Enable Time to High Level	TE, DC, or SC (Note 3)	Bus	$V_I = 3.0V$ $V_O = 0V$ $R_L = 450 \Omega$ $C_L = 15 pF$ Figure 1	19	32			23	40			23	40			ns			
t_{END} Output Disable Time from High Level				15	22			15	25			15	25			ns			
t_{OEL} Output Enable Time to Low Level				24	35			28	48			28	48			ns			
t_{ODL} Output Disable Time from Low Level				17	25			17	27			17	27			ns			
t_{EHL} Output Enable Time to High Level				TE, DC, or SC (Note 3)	Terminal	$V_I = 3.0V$ $V_O = 0V$ $R_L = 34 \Omega$ $C_L = 15 pF$ Figure 1	17	33			18	40			18	40			ns
t_{EHL} Output Disable Time from High Level							15	25			22	33			22	33			ns
t_{OHL} Output Enable Time to Low Level	TE, DC, or SC (Note 3)	Terminal	$V_I = 0V$ $V_O = 5V$ $R_L = 280 \Omega$ $C_L = 15 pF$ Figure 1	25	39			26	52			28	52			ns			
t_{ODL} Output Disable Time from Low Level				15	27			20	35			20	35			ns			
t_{FUE} Output Pull Up Enable Time (DS75160A Only)	PE (Note 2)	Bus	$V_I = 3V$ $V_O = 0V$ $R_L = 490 \Omega$ $C_L = 15 pF$ Figure 1	10	17			N/A				N/A			ns				
t_{FUD} Output Pull Up Disable Time (DS75160A Only)				10	15			N/A				N/A				ns			

Note 1: Typical values are for $V_{CC} = 5.0V$ and $T_A = 25^\circ C$ and are based on reference only.

Note 2: Refer to Functional Truth Tables for a complete set of definitions.

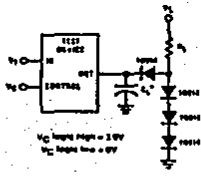
Note 3: Test pulse train should be connected to only one trace cover at a time due to the high current stress caused by the 1kV surge source when the test is necessary to meet immunity or life.

Switching Load Configurations



* C_L includes jig and probe capacitance

FIGURE 1



* C_L includes jig and probe capacitance

FIGURE 2

ESTA TESIS
SALIR DE LA NB DEBE
BIBLIOTECA

Absolute Maximum Ratings

$T_A = +25^\circ\text{C}$	
Supply voltage, V_{CC}	-0.5 to +7.0 V
Input voltage, V_I	-0.5 to +7.0 V
Output voltage, V_O	-0.5 to +7.0 V
Operating temperature, T_{OP}	0 to +70°C
Storage temperature, T_{STG}	-65 to +150°C

Comment: Exposing the device to stresses above those listed in Absolute Maximum Ratings could cause permanent damage. The device is not meant to be operated under conditions outside the limits described in the operational sections of the specification. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC Characteristics

$T_A = 0$ to +70°C, $V_{CC} = 5 \text{ V} \pm 10\%$

Parameter	Symbol	Limits			Unit	Test Conditions
		Min	Typ	Max		
Input low voltage	V_{IL}	-0.5		+0.8	V	
Input high voltage	V_{IH}	+2.0		$V_{CC} + 0.5$	V	
Low-level output voltage	V_{OL}		0.45	V	$I_{OL} = 2 \text{ mA}$ (4 mA: T/R_1 pin)	
High-level output voltage (except H11)	V_{OH1}	+2.4		V	$I_{OH} = -400 \mu\text{A}$	
High-level output voltage (H11)	V_{OH2}	+2.4		V	$I_{OH} = -400 \mu\text{A}$	
Input leakage current	I_{IL}	-10	+10	μA	$V_I = 0 \text{ V}$ to V_{CC}	
Output leakage current	I_{OL}	-10	+10	μA	$V_O = 0.45 \text{ V}$ to V_{CC}	
Supply current	I_{CC}		+180	μA		

Capacitance

$T_A = +25^\circ\text{C}$, $V_{CC} = \text{GND} = 0 \text{ V}$

Parameter	Symbol	Limits			Unit	Test Conditions
		Min	Typ	Max		
Input capacitance	C_{in}		10	pF	$f = 1 \text{ MHz}$	
Output capacitance	C_{out}		15	pF	All pins except pin under test tied to ac ground.	
I/O capacitance	$C_{I/O}$		20	pF		

AC Characteristics

$T_A = 0$ to +70°C, $V_{CC} = 5 \text{ V} \pm 10\%$

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
						Limits
$\text{EOL} \rightarrow \text{DIO}$	t_{EOL}	250	ns			PPSS \rightarrow EPAS ATN = true
$\text{EOL} \rightarrow T/R_1$	t_{EOL1}	155	ns			PPSS \rightarrow FFAS ATN = true
$\text{EOL} \rightarrow T/R_2$	t_{EOL2}	200	ns			PPAS \rightarrow FFSS ATN = false
$\text{ATH} \rightarrow \text{HDACT}$	t_{ATH}	155	ns			AIDS \rightarrow ANRS L10S
$\text{ATH} \rightarrow T/R_1$	t_{ATH1}	155	ns			TACS \rightarrow SPAS \rightarrow TADS C10
$\text{ATH} \rightarrow T/R_2$	t_{ATH2}	200	ns			TACS \rightarrow SPAS \rightarrow TADS C10
$\text{DAVI} \rightarrow \text{DRO}$	t_{DAV0}	600	ns			ACRS \rightarrow ACRS, LACS
$\text{DAVI} \rightarrow \text{HAFD1}$	t_{DAV1R1}	350	ns			ACRS \rightarrow ACDS
$\text{DAVI} \rightarrow \text{HDACT}$	t_{DAV01}	650	ns			ACRS \rightarrow ACDS \rightarrow AWH5
$\text{DAVI} \rightarrow \text{HDACT}$	t_{DAV102}	350	ns			AWNS \rightarrow ANRS
$\text{DAVI} \rightarrow \text{HAFD1}$	t_{DAV1R2}	350	ns			AWNS \rightarrow ANRS \rightarrow ACRS
$\text{RD1} \rightarrow \text{HAFD1}$	t_{RD1}	500	ns			ANRS \rightarrow ACRS LACS, D1 register selected
$\text{HDACT} \rightarrow \text{DRQ1}$	t_{HDACT}	400	ns			S1RS \rightarrow SWNS \rightarrow SGNS, TACS
$\text{HDACT} \rightarrow \text{DAVI}$	t_{HDACT}	350	ns			S1RS \rightarrow SWNS \rightarrow SGNS
$\text{WR1} \rightarrow \text{DIO}$	t_{WR1}	250	ns			SGNS \rightarrow SDYS, B0 register selected
$\text{HAFD1} \rightarrow \text{DAVI}$	t_{HAFD}	350	ns			SDYS \rightarrow S1RS $T_0 = \text{true}$
$\text{AN1} \rightarrow \text{DAVI}$	t_{ADV}	870 + 15nrc	ns			SGNS \rightarrow SDYS \rightarrow S1RS, B0 register selected, AFD = true, $N_0 = \text{true}$, $I_0 =$ 8 MHz, T_1 (high speed)
TRG pulse width	t_{TRG}	50	ns			



**National
Semiconductor**

Bus Transceivers

DS75160A/DS75161A/DS75162A IEEE-488 GPIB Transceivers

General Description

This family of high speed Schottky 8 channel directional transceivers is designed to interface TTL/MOS logic to the IEEE Standard 488-1978 General Purpose Interface Bus (GPIB). PNP inputs are used at all driver inputs for minimum loading, and hysteresis is provided at all receiver inputs for added noise margin. The IEEE 488 required bus termination is provided internally with an active turn-off feature which disconnects the termination from the bus when V_{CC} is removed. A power up/down protection circuit is included at all bus outputs to provide glitch free operation during V_{CC} power up or down.

The General Purpose Interface Bus is comprised of 16 signal lines — 8 for data and 8 for interface management. The data lines are always implemented with DS75160A, and the management lines are either implemented with DS75161A in a single controller system, or with DS75162A in a multi-controller system.

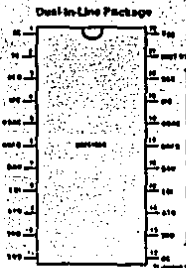
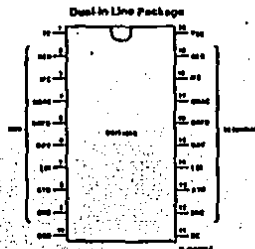
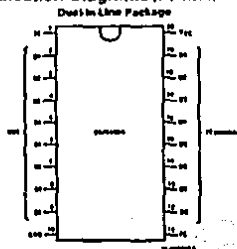
Features

- 8 channel bi-directional non-inverting transceivers
- Bi-directional control implemented with TRS-STATE[®] output design
- Meets IEEE Standard 488-1978
- High speed Schottky design
- Low power consumption
- High impedance PNP inputs (drivers)
- 500 mV (typ) input hysteresis (receivers)
- On chip bus terminators
- No bus loading when V_{CC} is removed
- Power up/down protection (glitch free)
- Pin selectable open collector mode on DS75160A driver outputs
- Accommodates multi-controller systems

DS75160A/DS75161A/
DS75162A

2

Connection Diagrams (Top View)



Order Number DS75160AN,
DS75161AN or DS75162AN
See NS Package M20A or M22A

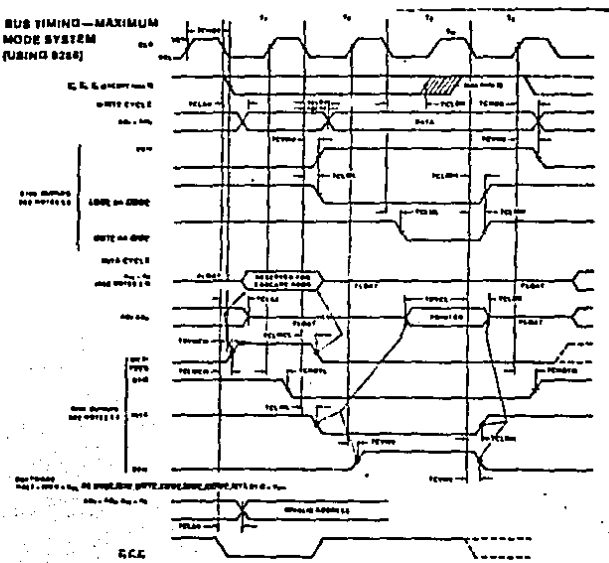
© 1979 National Semiconductor Corp.
DS75160A, DS75161A, DS75162A

En las siguientes hojas se reproducen la tabla de características de conmutación del 8088 (la columna de interés es la denominada 8088) y el diagrama de tiempos de las señales de este microprocesador; en estos diagramas se basó el análisis de tiempos del conector de expansión.

Symbol	Parameter	8088		8088-2		Units	Test Conditions
		Min.	Max.	Min.	Max.		
TCLCL	CLK Cycle Period	200	500	125	500	ns	
TCLCH	CLK Low Time	118		68		ns	
TCHCL	CLK High Time	88		44		ns	
TCHCHQ	CLK Rise Time		10		10	ns	From 1.0V to 3.3V
TCLFCL	CLK Fall Time		10		10	ns	From 3.3V to 1.0V
TDVCL	Data In Setup Time	30		20		ns	
TCLDX	Data In Hold Time	10		10		ns	
TRIVCL	RDY Setup Time into 8294 (See Notes 1, 2)	35		35		ns	
TCLRHX	RDY Hold Time into 8294 (See Notes 1, 2)	0		0		ns	
TRVCH	READY Setup Time into 8088	118		88		ns	
TCHVX	READY Hold Time into 8088	30		20		ns	
TRVCL	READY Inactive to CLK (See Note 4)	-8		-8		ns	
TRVCH	Setup Time for Recognition (INTR, NMI, TEST) (See Note 2)	30		18		ns	
TDVCH	RDYGT Setup Time	30		18		ns	
TCHGX	RDY Hold Time into 8088	40		30		ns	
TRIM	Input Rise Time (Except CLK)		20		20	ns	From 0.8V to 3.0V
TRFM	Input Fall Time (Except CLK)		12		12	ns	From 3.0V to 0.8V

Symbol	Parameter	8088		8088-2		Units	Test Conditions
		Min.	Max.	Min.	Max.		
TCLML	Command Active Delay (See Note 1)	10	33	10	33	ns	
TCLMN	Command Inactive Delay (See Note 1)	10	33	10	33	ns	
TRVNSH	READY Active to Status Passive (See Note 3)		110		85	ns	
TCHSV	Status Active Delay	10	110	10	80	ns	
TCLSH	Status Inactive Delay	10	130	10	70	ns	
TCLAV	Address Valid Delay	10	110	10	60	ns	
TCLAX	Address Hold Time	10		10		ns	
TCLAZ	Address Float Delay	TCLAX	80	TCLAX	50	ns	
ISVLH	Status Valid to ALE High (See Note 1)		15		15	ns	
ISVMCH	Status Valid to MCE High (See Note 1)		15		15	ns	
TCLLH	CLK Low to ALE Vshd (See Note 3)		15		15	ns	
TCLMCH	CLK Low to MCE High (See Note 1)		15		15	ns	
TCHLL	ALE Inactive Delay (See Note 1)		15		15	ns	
TCLMCL	MCE Inactive Delay (See Note 1)		15		15	ns	
TCLDV	Data Valid Delay	10	110	10	80	ns	C _L = 30-100 pF for all 8088 Outputs in addition to internal loads
TCHDX	Data Hold Time	10		10		ns	
TCVAV	Control Active Delay (See Note 1)	5	45	5	43	ns	
TCVIX	Control Inactive Delay (See Note 1)	10	43	10	43	ns	
TAZRL	Address Float to Read Active	0	0	0	0	ns	
TCLRPL	RD Active Delay	10	185	10	100	ns	
TCLRH	RD Inactive Delay	10	150	10	80	ns	
TRHAV	RD Inactive to Next Address Active	TCLCL-45		TCLCL-40		ns	
TCHDTL	Direction Control Active Delay (See Note 1)		50		50	ns	
TCHDTH	Direction Control Inactive Delay (See Note 1)		30		30	ns	
TCLQL	QT Active Delay		85		50	ns	
TCLQH	QT Inactive Delay		85		50	ns	
TRLWH	RD Width	2TCLCL-75		2TCLCL-30		ns	
TCLOH	Output Rise Time		20		20	ns	From 0.5V to 2.0V
TCLOL	Output Fall Time		12		12	ns	From 2.0V to 0.5V

**BUS TIMING—MAXIMUM
MODE SYSTEM
(USING 0254)**



- NOTES:
1. CS, R, S, and MEMORY READ/WRITE CYCLE signals are active-low.
 2. CS, R, S, and MEMORY READ/WRITE CYCLE signals are active-low.
 3. CS, R, S, and MEMORY READ/WRITE CYCLE signals are active-low.
 4. CS, R, S, and MEMORY READ/WRITE CYCLE signals are active-low.
 5. CS, R, S, and MEMORY READ/WRITE CYCLE signals are active-low.
 6. CS, R, S, and MEMORY READ/WRITE CYCLE signals are active-low.
 7. CS, R, S, and MEMORY READ/WRITE CYCLE signals are active-low.
 8. CS, R, S, and MEMORY READ/WRITE CYCLE signals are active-low.
 9. CS, R, S, and MEMORY READ/WRITE CYCLE signals are active-low.
 10. CS, R, S, and MEMORY READ/WRITE CYCLE signals are active-low.

APENDICE 2

Enseguida se reproduce la tabla ASCII modificada usada para encontrar la codificación de direcciones de "parlantes" y "escuchas" y los mensajes exclusivos de la interfaz y la tabla de codificación de mensajes del bus IEEE-488.

Least Significant Bits 4 through 1					Most Significant Bits 7 through 0												
b4					b7												
b3					b6												
b2					b5												
b1					b4												
Hex					b0	b1	b2	b3	b4	b5	b6	b7	b8	b9	bA	bB	
0	0	0	0	\$0	—	—	00	18	00	16	00	16	00	16	00	16	
0	0	0	1	\$1	GTL	LLG	01	17	01	17	01	17	01	17	01	17	
0	0	1	0	\$2	—	—	02	18	02	18	02	18	02	18	02	18	
0	0	1	1	\$3	—	—	03	19	03	19	03	19	03	19	03	19	
0	1	0	0	\$4	—	SDC	04	20	04	20	04	20	04	20	04	20	
0	1	0	1	\$5	7PC	PPU	05	21	05	21	05	21	05	21	05	21	
0	1	1	0	\$6	—	—	06	22	06	22	06	22	06	22	06	22	
0	1	1	1	\$7	—	—	07	23	07	23	07	23	07	23	07	23	
1	0	0	0	\$8	GET	SPE	08	24	08	24	08	24	08	24	08	24	
1	0	0	1	\$9	TCT	S/P	09	25	09	25	09	25	09	25	09	25	
1	0	1	0	\$A	—	—	10	26	10	26	10	26	10	26	10	26	
1	0	1	1	\$B	—	—	11	27	11	27	11	27	11	27	11	27	
1	1	0	0	\$C	—	—	12	28	12	28	12	28	12	28	12	28	
1	1	0	1	\$D	—	—	13	29	13	29	13	29	13	29	13	29	
1	1	1	0	\$E	—	—	14	30	14	30	14	30	14	30	14	30	
1	1	1	1	\$F	—	—	15	31	15	31	15	31	15	31	15	31	
					Address Command Group ACG	Universal Command Group UCG		Listen Address Group LAG		Talk Address Group TAG		Secondary Command Group SCG		Secondary Command Group SCG CLOSE Only		Secondary Command Group SCG OPEN Only	

Tabla de codificación de direcciones.

REMOTE MESSAGE CODING

Mnemonic	Message Name		Bus Signal (Lines) and Coding That Asserts the True Value of the Message											
			Y	C	D	D	D	D	D	D	D	D	D	D
			1	2	3	4	5	6	7	8	9	10	11	12
ACQ	Addressed Command Group	M	AC	Y	0	0	0	X	X	X	X	X	X	X
ATN	Attention	U	UC	X	X	X	X	X	X	X	X	X	X	X
DAB	Date Byte	(Notes 1, 9)	M	DD	0	0	0	0	0	0	0	X	X	X
DAC	Date Accepted	U	HS	X	X	X	X	X	X	X	X	X	X	X
DAV	Date Valid	U	HS	X	X	X	X	X	X	X	X	X	X	X
DCI	Device Clear	M	UC	Y	0	1	0	1	0	X	X	X	X	X
END	End	U	ST	X	X	X	X	X	X	X	X	X	X	X
EOS	End of String	(Notes 2, 9)	M	DD	E	E	E	E	E	E	E	X	X	X
GET	Group Execute Trigger	M	AC	8	7	8	5	4	3	2	1	X	X	X
QTL	Go to Local	M	AC	Y	0	0	0	0	0	1	X	X	X	X
IDY	Identify	U	UC	X	X	X	X	X	X	X	X	X	X	X
IFC	Interface Clear	U	UC	X	X	X	X	X	X	X	X	X	X	X
LAG	Listen Address Group	M	AD	Y	0	1	X	X	X	X	X	X	X	X
LLO	Local Lock Out	M	UC	Y	0	1	0	0	1	X	X	X	X	X
MLA	My Listen Address	(Note 3)	M	AD	Y	0	1	L	L	L	L	X	X	X
MTA	My Talk Address	(Note 4)	M	AD	Y	1	0	T	T	T	T	X	X	X
MSA	My Secondary Address	(Note 5)	M	SE	Y	1	S	S	S	S	X	X	X	X
NBL	Nul Byte	M	DD	0	0	0	0	0	0	0	X	X	X	X
OSA	Other Secondary Address	M	SE											
OIA	Other Talk Address	M	AD											
PCQ	Primary Command Group	M	—											
PPC	Parallel Port Configure	M	AC	Y	0	0	0	1	0	X	X	X	X	X
PPF	Parallel Port Enable	(Note 6)	M	SE	Y	1	1	0	6	P	P	P	X	X
PPD	Parallel Port Disable	(Note 7)	M	SE	Y	1	1	0	0	0	0	X	X	X
PPR1	Parallel Port Response 1	(Note 10)	U	ST	X	X	X	X	X	X	X	X	X	X
PPR2	Parallel Port Response 2		U	ST	X	X	X	X	X	X	X	X	X	X
PPR3	Parallel Port Response 3		U	ST	X	X	X	X	X	X	X	X	X	X
PPR4	Parallel Port Response 4		U	ST	X	X	X	X	X	X	X	X	X	X
PPR5	Parallel Port Response 5		U	ST	X	X	X	X	X	X	X	X	X	X
PPR6	Parallel Port Response 6		U	ST	X	X	X	X	X	X	X	X	X	X
PPR7	Parallel Port Response 7		U	ST	X	X	X	X	X	X	X	X	X	X
PPR8	Parallel Port Response 8		U	ST	X	X	X	X	X	X	X	X	X	X
PPU	Parallel Port Unconfigure	M	UC	Y	0	0	1	0	1	0	X	X	X	X
REN	Remote Enable	U	UC	X	X	X	X	X	X	X	X	X	X	X
RFD	Ready for Data	(Note 8)	U	HS	X	X	X	X	X	X	X	X	X	X
RQS	Request Service	M	SE	Y	1	X	X	X	X	X	X	X	X	X
SCD	Secondary Command Group	M	AC	Y	0	0	0	1	0	0	X	X	X	X
SDC	Selected Device Clear	M	AC	Y	0	0	0	1	0	0	X	X	X	X
SPD	Serial Port Disable	M	UC	Y	0	0	1	0	0	1	X	X	X	X
SPE	Serial Port Enable	M	UC	Y	0	0	1	0	0	0	X	X	X	X
SRQ	Service Request	U	ST	X	X	X	X	X	X	X	X	X	X	X
STB	Status Byte	(Notes 8, 9)	M	ST	X	8	8	8	8	8	8	X	X	X
TCT	Talk Control	M	AC	8	8	5	4	3	2	1	X	X	X	X
TAG	Talk Address Group	M	AD	Y	0	0	1	0	1	0	X	X	X	X
UCQ	Universal Command Group	M	UC	Y	0	0	1	X	X	X	X	X	X	X
UWL	Unit(s) in	M	AD	Y	0	1	1	1	1	1	X	X	X	X
UWT	Unit(s) out	(Note 11)	M	AD	Y	0	1	0	1	1	1	X	X	X

The 1/0 coding on ATN when sent concurrent with multiline messages has been added to this revision for keypad convenience.

Tabla de codificación de mensajes remotos.

ANEXO

En las siguientes páginas aparece el listado del programa de pruebas descrito en el capítulo 6. Las rutinas de manejo del controlador μ PD7210, explicadas en el capítulo 4, aparecen con una C precediendo tanto a las instrucciones como a los comentarios significando que fueron traídos de otro archivo (RUT488).

TITLE PROGRAMA DE CONTROL DEL PS-19

PAGE 60,132

; DEFINICIONES DE
; LOS REGISTROS INTERNOS
; DEL CONTROLADOR PD7210

; REGISTROS DEL LECTURA

= 030B	ENT_D	EQU	30BH
= 0309	EST_INT1	EQU	309H
= 030A	EST_INT2	EQU	30AH
= 030B	EST_ENS	EQU	30BH
= 030C	EST_DIR	EQU	30CH
= 030D	PAS_CDM	EQU	30DH
= 030E	DIR_0	EQU	30EH
= 030F	DIR_1	EQU	30FH

; REGISTROS DE ESCRITURA

= 030B	SAL_D	EQU	30BH
= 0309	M_INT1	EQU	309H
= 030A	M_INT2	EQU	30AH
= 030B	MOD_ENS	EQU	30BH
= 030C	MOD_DIR	EQU	30CH
= 030D	MOD_AUX	EQU	30DH
= 030E	DIR_01	EQU	30EH
= 030F	EDS	EQU	30FH

; COMANDOS AUXILIARES
; DEL BUS IEEE-488 EJEC.
; A TRAVES DEL REG.

```

; AUXILIAR DE MODD (30DH)

; XPON SE USA PARA INICIAR
; LAS FUNCIONES DE LA INTERFAZ
= 0000 XPON EQU 00H

; XRST SE ENCARGA DE INICIAR
; LAS FUNCIONES DEL 7210
= 0002 XRST EQU 02H

; XGTS INDICA AL 7210
; QUE DEBERA PONER SU
; FUNCION CONTROL EN
; MODD INACTIVO
= 0010 XGTS EQU 10H

; XTCA INDICA AL CONTROLADOR
; QUE TOMA CONTROL DEL BUS
; EN FORMA ASINCRONA
= 0011 XTCA EQU 11H

; XTCS ORDENA AL PD7210
; QUE TOMA CONTROL EN FORMA
; SINCRONA
= 0012 XTCS EQU 12H

; XLTN PONE AL PD7210
; EN MODD ESCUCHA LOCAL
= 0013 XLTN EQU 13H

; XLUN APAGA LA FUNCION
; LOCAL DE ESCUCHA
= 001C XLUN EQU 1CH

; XEIFC ACTIVA LA LINEA
; IFC DEL BUS IEEE-488
= 001E XEIFC EQU 1EH

; XRIFC DEACTIVA LA LINEA
; IFC DEL BUS IEEE-488.
= 0016 XRIFC EQU 16H

; XEREN ACTIVA LA LINEA
; REN DEL BUS
```

```

- 001F          XEREN      EQU  1FH
                ; XRREN APAGA LA LINEA
                ; REN DEL BUS

- 0017          XRREN      EQU  17H
                ; XTERS TERMINA EL
                ; SALUDO BLOQUEADO
                ; POR LA RECEPCION
                ; DE UNA DATO ESPECIAL

- 0003          XFINS      EQU  03H
                ; XEEDI ACTIVA LA LINEA
                ; EDI AL MISMO TIEMPO
                ; QUE SE ENVIA EL ULTIMO
                ; DATO DEL BLOQUE

- 0006          XSEDI      EQU  06H

                ; BITS DE ESTADD Y MASCARA

- 0001          BED        EQU  01H
- 0002          BSD        EQU  02H
- 0004          BERR       EQU  04H
- 0010          BEND       EQU  10H
- 0008          BCO        EQU  08H
- 0040          BSRDI      EQU  40H
- 0080          BINT       EQU  80H
- 0002          BTA        EQU  02H
- 0004          BLA        EQU  04H
- 0040          BATN       EQU  40H

                ; MENSAJES REMOTDS GPIB

- 0011          LLD        EQU  11H
- 0009          TCT        EQU  09H
- 0014          DCL        EQU  14H
```

```

= 0004          SDC      EQU 04H
= 0018          SPE      EQU 18H
= 0019          SPD      EQU 19H
= 0001          BTL      EQU 01H
= 003F          UNL      EQU 3FH
= 005F          UNT      EQU 5FH
= 000D          CR       EQU 0DH
= 000A          LF       EQU 0AH
  
```

*****SEGMENTO DE CODIGO

```

0000          CODIGO SEGMENT PUBLIC 'CODE'
              ASSUME CS:CODIGO,DS:CODIGO
              ASSUME ES:CODIGO,BS:CODIGO
  
```

```

; SE INDICA AL ENBAMBLADOR
; QUE COLOQUE EL PROGRAMA
; 0100H LOCALIDADES DESPUES
; DEL PRINCIPIO DEL SEGMENTO
; (PROGRAMA COM).
  
```

```

0100          ORG 0100H
  
```

```

0100          INJC LABEL NEAR
  
```

```

; EL PROGRAMA BRINCA SOBRE
; LAS LOCALIDADES RESERVADAS
; PARA LOS COMANDOS DEL
; PS-19 Y ALMACENAMIENTO
; TEMPORAL
  
```

```

0100  E9 0217 R          JMP EMPIEZA
  
```

```

0103  55 30 35 30 30 30          CADENA1 DB 'U0500000,V15000000,E00500000,856',0
      30 30 2C 56 31 35
      30 30 30 30 30 30
      2C 45 30 30 35 30
      30 30 30 30 2C 53
      35 36 2C 00
0125  50 32 2C 46 31 31          CADENA2 DB 'P2,F11000535,L-020.0,D2',0
  
```



```

0191 C3          RET
0192          PRU_TA ENDP
;-----
; NOMBRE: PRU_LA
; DESCRIPCION: ESPERA HASTA QUE LA COMPUTADORA
;              PERSONAL HAYA SIDO DIRECCIONADA
;              COMO ESCUCHA REVISANDO EL ESTADO
;              DEL BIT LA.
;-----
0192          PRU_LA PROC
0192 52          PUSH DX
0193 BA 030C    MOV DX,EST_DIR
0196 EC        IN AL,DX
0197 AB 04     TEST AL,BLA
0199 74 F7     JZ PRU_LA
019B 5A       POP DX
019C C3       RET
019D          PRU_LA ENDP
;-----
; NOMBRE: PRU_CIC
; FUNCION: ESPERA HASTA QUE LA COMPUTADORA
;          PERSONAL HAYA ASUMIDO EL CONTROL
;          DEL BUS REVISANDO EL ESTADO DEL
;          BIT CIC.
;-----
019D          PRU_CIC PROC
019D BA 030C    MOV DX,EST_DIR
01A0 EC        IN AL,DX
01A1 AB B0     TEST AL,B0H
01A3 74 F8     JZ PRU_CIC
01A5 C3       RET
01A6          PRU_CIC ENDP
;-----
; NOMBRE: PROG
; FUNCION: SE ENCARGA DE PROGRAMAR AL
;          PD7210 PARA QUE ASUMA EL CONTROL
;          DEL BUS SIENDO EL DISPOSITIVO 1

```

C | (PARLANTE Y ESCUCHA), DIRECCIONES
 C | MAYORES (81N DIRECCIONES MENORES),
 C | DESACTIVANDO EL REGISTRO DE ENC. EN
 C | PARELELO Y <CR> COMO DATO DE FIN DE
 C | BLOQUE.

01A6

PROG PRODC

```

01A6 BA 0309      MOV DX,M_INT1
01A7 B0 04        MOV AL,04H
01A8 EE          OUT DX,AL
01AC BA 030A      MOV DX,M_INT2
01AF B0 40        MOV AL,40H
01B1 EE          OUT DX,AL
01B2 BA 030C      MOV DX,MOD_DIR
01B5 B0 31        MOV AL,31H
01B7 EE          OUT DX,AL
01B8 BA 030D      MOV DX,MOD_AUX
01BB B0 BE        MOV AL,BEH ;PROG. REG. A
01BD EE          OUT DX,AL
01BE B0 26        MOV AL,26H ;PROG. CONTADOR
01C0 EE          OUT DX,AL
01C1 B0 A6        MOV AL,0A6H ;PROG. REG. B
01C3 EE          OUT DX,AL
01C4 B0 70        MOV AL,70H ;PROG. REG. PP
01C6 EE          OUT DX,AL
01C7 B0 C0        MOV AL,0C0H ;PROG. REG. E
01C9 EE          OUT DX,AL
01CA BA 030E      MOV DX,DIR_01;ESCRIBE DIR. MAYOR
01CD B0 01        MOV AL,01H ;LA PC SERA INST. 1
01CF EE          OUT DX,AL
01D0 B0 E0        MOV AL,0E0H ;DESHAB. DIR MENDR
01D2 EE          OUT DX,AL
01D3 BA 030F      MOV DX,EDG
01D6 B0 0D        MOV AL,CR ;<CR> MARCA EL FIN
01D8 EE          OUT DX,AL
01D9 BA 030D      MOV DX,MOD_AUX
01DC B0 00        MOV AL,XPDN
01DE EE          OUT DX,AL
01DF C3          RET
  
```

01E0

PROG ENDP

; NOMBRE: ENVIA

; FUNCION: ENVIA UN BLOQUE DE DATOS AL BUS
 ; IEEE-488, EMPEZANDO EN EL DATO
 ; AL QUE APUNTA SI. ANTES DE LLAMAR
 ; A ESTA RUTINA SE HARA QUE SI APUNTE
 ; AL PRINCIPIO DEL BLOQUE
 ; Y ESTE DEBERA TERMINAR CON 0H.


```

0211 EE          C          OUT DX,AL
0212 B0 00      C          MOV AL,00H
0214 B8 05      C          MOV [DI],AL
0216 C3          C          RET
0217          C          RECIBE ENDP
0217          C

0217          EMPIEZA LABEL NEAR

0217          CONTROL PROC

; PROGRAMA CONTROLADOR

0217 EB 01A6 R          CALL PROG

; LIMPIA SISTEMA DE INTERFAZ

021A B0 1E          MOV AL,XE1FC
021C EE          OUT DX,AL
021D B9 0025        MOV CX,25H

; LA NORMA REQUIERE QUE IFC ESTE
; EN ALTO UN MINIMO DE 100 uSEGS.
; EL LAZO SIGUIENTE MANTIENE IFC
; EN ALTO ANTES DE BAJARLA

0220 E2 FE          RETRA: LOOP RETRA ;HAZ LAZO PARA
0222 B0 16          MOV AL,XR1FC ;LIMPIAR SISTEMA
0224 BA 030D        MOV DX,MOD_AUX
0227 EE          OUT DX,AL

; ASUME CONTROL DEL SISTEMA

0228 B0 1F          MOV AL,XEREN
022A EE          OUT DX,AL
022B EB 019D R          CALL PRU_CIC

; DIRECCIONA INSTRUMENTO

022E EB 0163 R          CALL PRU_CO
0231 BA 030B        MOV DX,SAL_D
0234 B0 2B          MOV AL,2BH ;DIRECCION DEL
; INSTRUMENTO/ESCUCHA
0236 EE          OUT DX,AL

; DIRECCIONA COMPUTADORA PERSONAL
;
0237 EB 0163 R          CALL PRU_CO
023A B0 41          MOV AL,41H;DIRECCION DEL
; COMPUTADOR/LOCUTOR
023C EE          OUT DX,AL
  
```

```

                                | ==VERIFICA SI HA SIDO DIRECCIONADO
023D EB 01B7 R                  CALL PRU_TA
                                | DEACTIVA FUNCION CONTROLADORA
0240 BA 030D                    MOV DX,MOD_AUX
0243 B0 10                      MOV AL,XDTB
0245 EE                        OUT DX,AL
                                | TRANSMITE EL PRIMER GRUPO
                                | DE DATOS
0246 BD 36 0103 R              LEA SI,CADENA1
024A EB 01E0 R                  CALL ENVIA
                                | ESPERA DATO DEL TECLADO;
                                | SI ES <CR>, PASA A LA SIG.
                                | OPERACION (USA INT 016H
                                | DEL BIOS).
024D B4 00                      TECLA: MOV AH,0
024F CD 16                      INT 016H
0251 3C 0D                      CMP AL,0DH
0253 75 F8                      JNE TECLA
                                | CARGA LA LOCALIDAD INICIAL
                                | DEL SEGUNDO BLOQUE DE COMANDOS
                                | PARA EL PS-19 (USA RUTINA
                                | ENVIA).
0255 BD 36 0125 R              LEA SI,CADENA2
0259 EB 01E0 R                  CALL ENVIA
                                | INDICA FIN DE BLOQUE
                                | ACTIVANDO LINEA EDI
                                | AL MISMO TIEMPO QUE
                                | ENVIA EL ULTIMO DATO
                                | DEL BLOQUE.
025C BA 030D                    MOV DX,MOD_AUX
025F B0 06                      MOV AL,XSEDI
0261 EE                        OUT DX,AL
0262 EB 016E R                  CALL PRU_DO
0265 BA 030B                    MOV DX,SAL_D
0268 B0 2C                      MOV AL,'.'
026A EE                        OUT DX,AL
                                | ESPERA <CR> PARA
                                | CONTINUAR CON LA SIG.
                                | OPERACION
026B B4 00                      TECLA: MOV AH,0
```

```

026D CD 16          INT 016H
026F 3C 0D          CMP AL,0DH
0271 75 FB          JNE TECLA2

; LA COMPUTADORA ASUMIRA
; NUEVAMENTE EL CONTROL
; DEL SISTEMA IEEE-488.

0273 BA 030D        MOV DX,HDD_AUX
0274 B0 11          MOV AL,XTCA
027B EE            OUT DX,AL

; VERIFICA SI LA COMPUTADORA
; ES LA CONTROLADORA DEL
; SISTEMA.

0279 EB 019D R      CALL PRU_CIC

; DESACTIVA LAS FUNCIONES
; DE PARLANTE Y ESCUCHA DE
; LA COMPUTADORA PERSONAL
; Y EL INSTRUMENTO

027C EB 0163 R      CALL PRU_CO
027F BA 030B        MOV DX,SAL_D
0282 B0 3F          MOV AL,UNL
0284 EE            OUT DX,AL
0285 EB 0163 R      CALL PRU_CO
0288 B0 5F          MOV AL,UNT
028A EE            OUT DX,AL

; DIRECCIONA AL PS-19 COMO
; LOCUTOR ACTIVO DEL SISTEMA

028B EB 0163 R      CALL PRU_CO
028E B0 4B          MOV AL,4BH
0290 BA 030B        MOV DX,SAL_D
0293 EE            OUT DX,AL

; DIRECCIONA EN FORMA LOCAL
; A LA COMPUTADORA COMO
; ESCUCHA.

0294 BA 030D        MOV DX,HDD_AUX
0297 B0 13          MOV AL,XLTN
0299 EE            OUT DX,AL

; VERIFICA QUE SE HAYA
; RECIBIDO EL DIRECCIONAMIENTO

029A EB 0192 R      CALL PRU_LA

; DESACTIVA FUNCION CONTROLADORA
; DE LA COMPUTADORA PERSONAL

```

```
029D BA 030D          MOV DX,MOD_AUX
02A0 B0 10          MOV AL,XBTS
02A2 EE          OUT DX,AL

; LEE BLOQUE DE DATOS HASTA
; ENCONTRAR BIT END EN ;

02A3 EB 01F1 R          CALL RECIBE
02A6 BA 030D          MOV DX,MOD_AUX
02A9 B0 12          MOV AL,XTCS

; CONTINUA HASTA QUE
; SE PRESIONE <CR>

02AB BB 0000          TECLAS: MOV AX,0
02AE CD 16          INT 16H
02B0 3C 0D          CMP AL,0DH
02B2 75 F7          JNE TECLAS

; TERMINA RECEPCION DE DATOS

02B4 EB 0163 R          CALL PRU_CD
02B7 B0 5F          MOV AL,UNT
02B9 BA 030B          MOV DX,SAL_D
02BC EE          OUT DX,AL
02BD EB 0163 R          CALL PRU_CD
02C0 BA 030D          MOV DX,MOD_AUX
02C3 B0 1C          MOV AL,XLUN
02C5 EE          OUT DX,AL

; DIRECCIONA AL PS-19
; COMO ESCUCHA EN EL BUS

02C6 EB 0163 R          CALL PRU_CD
02C9 BA 030B          MOV DX,SAL_D
02CC B0 2B          MOV AL,2BH
02CE EE          OUT DX,AL

; DIRECCIONA AL COMPUTADOR
; COMO EL LOCUTOR ACTIVO

02CF EB 0163 R          CALL PRU_CD
02D2 BA 030B          MOV DX,SAL_D
02D5 B0 41          MOV AL,41H
02D7 EE          OUT DX,AL

; VERIFICA DIRECCIONAMIENTO

02DB EB 0187 R          CALL PRU_TA

; DESACTIVA CONTROLADOR

02DB BA 030D          MOV DX,MOD_AUX
02DE B0 10          MOV AL,XBTS
```

```

02E0 EE                                OUT DX,AL
02E1 8D 36 013D R                       LEA SI,CADENA3
02E3 EB 01E0 R                           CALL ENVIA

; ASUME CONTROL DEL BUS

02EB BA 030D                             MOV DX,MOD_AUX
02EB 8D 11                               MOV AL,XTCA
02ED EE                                OUT DX,AL

; DESACTIVA LA FUNCION
; PARLANTE DE LA COMPUTADORA
; PERSONAL

02EE EB 0163 R                           CALL PRU_CD
02F1 8D 3F                               MOV AL,UNT
02F3 BA 030B                             MDV DX,SAL_D
02F6 EE                                OUT DX,AL

; DESACTIVA LA FUNCION
; ESCUCHA DEL PS-19

02F7 EB 0163 R                           CALL PRU_CD
02FA 8D 3F                               MOV AL,UNL
02FC BA 030B                             MDV DX,SAL_D
02FF EE                                OUT DX,AL

; DESACTIVA LA LINEA
; REN DEL BUS (EL
; INSTRUMENTO REGRESA
; AL MODD LOCAL, VER
; TEXTO)

0300 BA 030D                             MOV DX,MOD_AUX
0303 8D 17                               MOV AL,XRREN
0305 EE                                OUT DX,AL

; FIN DEL PROGRAMA
; REGRESA AL CONTROL
; DEL SISTEMA OPERATIVO

0306 C3                                RET

0307                                CONTRDL ENDP

0307                                CODIGO ENDS

                                END INIC
  
```

Segments and groups:

Name	Size	align	combine	class
CODIGO	0307	PARA	PUBLIC	'CODE'

Symbols:

Name	Type	Value	Attr
BATH	Number	0040	
BCO	Number	000B	
BED	Number	0001	
BEND	Number	0010	
BERR	Number	0004	
BINT	Number	00B0	
BLA	Number	0004	
BLD	Number	0002	
BSD	Number	0040	
BSSQ1	Number	0002	
BTA	Number	0002	
CADENA1	L BYTE	0103	CODIGO
CADENA2	L BYTE	0125	CODIGO
CADENA3	L BYTE	013D	CODIGO
CONTROL	N PROC	0217	CODIGO Length =00F0
CR	Number	000D	
DCL	Number	0014	
DIR_0	Number	030E	
DIR_01	Number	030E	
DIR_1	Number	030F	
EMP1EZA	L NEAR	0217	CODIGO
ENTRA	L BYTE	0141	CODIGO Length =0020
ENT_D	Number	030B	
ENTIA	N PROC	01E0	CODIGO Length =0011
EDS	Number	030F	
ESTADO1	L BYTE	0161	CODIGO
ESTADO2	L BYTE	0162	CODIGO
EST_DIR	Number	030C	
EST_ENB	Number	030B	
EST_INT1	Number	0309	
EST_INT2	Number	030A	
DTL	Number	0001	
INIC	L NEAR	0100	CODIGO
LEE	L NEAR	01F5	CODIGO
LF	Number	000A	
LLO	Number	0011	
MOD_AUX	Number	030D	
MOD_DIR	Number	030C	
MOD_ENB	Number	030B	
M_INT1	Number	0309	
M_INT2	Number	030A	
PAS_CDM	Number	030D	
PRG	N PROC	01A6	CODIGO Length =003A
PRU_CIC	N PROC	019D	CODIGO Length =0009
PRU_CD	N PROC	0163	CODIGO Length =000B
PRU_DI	N PROC	0179	CODIGO Length =000E

PRU_DO	N PROC	016E	CODIGO	Length =000B
PRU_LA	N PROC	0192	CODIGO	Length =000B
PRU_TA	N PROC	01B7	CODIGO	Length =000B
RECIBE	N PROC	01F1	CODIGO	Length =0026
RETRA	L NEAR	0220	CODIGO	
SAL_D	Number	030B		
SDC	Number	0004		
SPD	Number	0019		
SPE	Number	001B		
TCT	Number	0009		
TECLA	L NEAR	024D	COD160	
TECLA2	L NEAR	026B	COD160	
TECLA3	L NEAR	02AB	COD160	
TERMINA	L NEAR	01F0	COD160	
TRANS	L NEAR	01E0	COD160	
UNL	Number	003F		
UNT	Number	005F		
XEIFC	Number	001E		
XEREN	Number	001F		
XFINS	Number	0003		
XGTB	Number	0010		
XLTN	Number	0013		
XLUN	Number	001C		
XPCN	Number	0000		
XRIFC	Number	0016		
XRREN	Number	0017		
XRST	Number	0002		
XSEDI	Number	0006		
XTCA	Number	0011		
XTCS	Number	0012		

Warning Severe
 Errors Errors
 0 0

REFERENCIAS

- [1] Institute of Electrical and Electronics Engineers, Inc. "THE IEEE STANDARD DIGITAL INTERFACE FOR PROGRAMMABLE INSTRUMENTATION". IEEE Std. 488-1978. (Revisión del ANSI MC 1.1/IEEE Std. 488-1975.) Nueva York: IEEE, 1978
- [2] IBM PERSONAL COMPUTER HARDWARE TECHNICAL REFERENCE MANUAL Boca Raton, Florida: IBM Corporation, 1981.
- [3] Alexy, George. "8086 SYSTEM DESIGN". NOTA DE APLICACION AP-67. tomado de "Microsystems Component Handbook". Santa Clara, CA: Intel Corporation, 1985.
- [4] THE TTL DATA BOOK. Dallas, Texas: Texas Instruments Inc., 1981
- [5] TTL DATA BOOK. Mountain View, CA: Fairchild Semiconductor.
- [6] Ciarcia, Steve. "BUILD THE CIRCUIT CELLAR MPX-16 COMPUTER SYSTEM". Parte 1. BYTE, Noviembre 1982, pp. 84-91. Parte 2. BYTE, Diciembre 1982, pp. 42-78.
- [7] Ott, Henry W. NOISE REDUCTION TECHNIQUES IN ELECTRONIC SYSTEMS. Nueva York: John Wiley & Sons, 1976.
- [8] Ott, Henry W. "DIGITAL CIRCUIT GROUNDING AND INTERCONNECTION". IEEE International Symposium on Electromagnetic Compatibility, 1986
- [9] Marshall, Martin. "INSTRUMENT MAKERS SCORE UNANNOUNCED BUGS

IN GPIB CHIPS". Electronics, Enero 1981, pp. 39-40

[10] Young, Richard. "IMPLEMENTING AN IEEE-488 BUS CONTROLLER WITH MICROPROCESSOR SOFTWARE". IEEE Transactions on industrial electronics and control instrumentation. Volumen IECI-27, Febrero 1980, pp. 10-15.

[11] μ PD7210 GENERAL PURPOSE INTERFACE BUS MANUAL. Natick, MA: NEC Electronics, USA., 1983.

[12] PS-19 LEVEL GENERATOR DESCRIPTION AND OPERATING MANUAL. Wandel & Goltermann.

[13] MICROSYSTEMS COMPONENTS HANDBOOK Volúmenes I y II, Santa Clara, CA: Intel Corporation, 1985.

[14] Claff, William J. "WRITING ASSEMBLY LANGUAGE INTERRUPT ROUTINES", BYTE Inside the IBM PCs, 1986. pp. 255-262

[15] Stillman, Robert A. "TESTING FOR IBM-PC COMPATIBILITY". BYTE Guide to the IBM-PC. 1984, pp. 256-262

[16] Howson, Hugh R. "POKEING AROUND IN THE IBM-PC", parte 1. BYTE, Noviembre 1983.

[17] Shiell, Jon/Markoff, John. "IBM-PC FAMILY BIOS COMPARISON". BYTE Inside the IBM-PCs, 1985. pp. 259-265.

[18] McLeod, Jonah. "SPECIAL REPORT: HOW THE PC IS CHANGING TESTING". Electronics, Marzo 24, 1984, pp. 31-38

- [19] Hansen, Augie. "MAPPING PC ADDRESS SPACE". PC tech Journal, Abril 1987, pp. 102-112
- [20] Clune, Thomas R. "INTERFACING FOR DATA ACQUISITION". BYTE, Febrero 1985, pp. 269-282.
- [21] Dawson, W. Kenneth/Dobinson, Robert W. "A FRAMEWORK FOR COMPUTER DESIGN". IEEE Spectrum, Octubre 1986. pp. 49-54.
- [22] Claff, William J. "AN INTRODUCTION TO PC ASSEMBLY LANGUAGE PROGRAMMING". BYTE Guide to the IBM PC, 1984, pp. 134-150.
- [23] Dunphy, Paul M. "IBM PC INTERRUPT SERVICE ROUTINES". BYTE Inside the IBM PCs, 1985. pp. 223-227.
- [24] Ciarcia, Steve. "EASE INTO 16-BIT COMPUTING" parte 1. BYTE, Marzo 1980, pp. 17-32.
- [25] Kilian, Michael. "HIGHS AND LOWS OF PARAMETER PASSING". BYTE, Noviembre 1985, pp. 151-158.
- [26] Charlie Montague et al. "TECHNICAL ASPECTS OF IBM-PC COMPATIBILITY". BYTE, Noviembre 1983, pp. 247-252.
- [27] Scanlon, Leo J. IBM PC & XT ASSEMBLY LANGUAGE, A GUIDE FOR PROGRAMMERS. Nueva York: Brady Communications, 1985.
- [28] Abel, Peter. IBM PC ASSEMBLER LANGUAGE AND PROGRAMMING. Englewood Cliffs, NJ: Prentice Hall, 1987.