



Universidad Nacional Autónoma de México

Facultad de Ingeniería

Desarrollo de una tarjeta electrónica para
controlar dinámicamente el flujo de
información en los ductos de una
computadora autorreconfigurable.

T e s i s

Que para obtener el Título de:

Ingeniero Mecánico Electricista

P r e s e n t a :

Rogelio Rivera Montuy

Asesor: M. I. Esaú Vicente Vivas



México, D. F.

1993

TESIS CON
FALLA DE ORDEN



Universidad Nacional
Autónoma de México



UNAM – Dirección General de Bibliotecas Tesis Digitales Restricciones de uso

DERECHOS RESERVADOS © PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL

Todo el material contenido en esta tesis está protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.

Indice

Resumen	3
1 Aspectos generales de la computadora reconfigurable desarrollada en el Instituto de Ingeniería	4
1.1 Introducción	4
1.2 Arquitectura de la Computadora tolerante a fallas	5
1.3 Operación Concurrente	7
1.4 Modo de trabajo del ducto AT durante lecturas y escrituras a periféricos	9
2 Medios de auxilio para la detección, diagnóstico y corrección de fallas	11
2.1 Introducción	11
2.2 Aislamiento del ducto TF para UPs	12
2.3 Aislamiento del ducto TF para UDFCs	12
2.4 Aislamiento de señales digitales por medio de interruptores analógicos	13
2.5 Aislamiento de fuentes de alimentación	13
3 Ductos utilizados por la computadora autoconfigurable	18
3.1 Introducción	18
3.2 Ducto PC-AT	19
3.3 Ducto propietario para detección, diagnóstico y corrección de fallas	19
4 Arquitectura de las tarjetas diseñadas para el control dinámico de aislamientos	31
4.1 Introducción	31
4.2 Arquitectura de la tarjeta de aislamiento dinámico para UPs	32
4.2.1 Aislamiento del ducto AT	32
4.2.2 Aislamiento del ducto TF	38
4.3 Aislamiento del voltaje de alimentación	40
4.4 Unidad de aislamiento dinámico conectada a un procesador principal	41
4.5 Unidad de aislamiento dinámico conectada a un procesador redundante	42
4.6 Tarjeta de aislamiento dinámico para UDFCs	42

4.6.1	Arquitectura de la tarjeta de aislamiento dinámicos para UDFCs.	42
4.6.2	Aislamiento de algunas líneas del ducto AT para UDFCs.	43
4.6.3	Aislamiento del ducto TF para UDFCs.	48
4.6.4	Aislamiento del voltaje de alimentación para UDFC	50
5	Diseño de los circuitos impresos.	51
5.1	Introducción	51
5.2	Diseño de circuitos impresos asistido por computadora.	51
5.3	Diversas capas que componen a las tarjetas de aislamientos dinámico para UPs y UDFCs.	53
6	Conclusiones y recomendaciones.	65
6.1	Conclusiones.	65
6.2	Recomendaciones.	67
7	Apéndice 1, Lista de Componentes.	68
8	Apéndice 2, Hoja de Especificaciones	75
9	Bibliografía	91

Resumen

En la presente tesis se presentan los aspectos relevantes del diseño de dos tarjetas que conforman parte del desarrollo de una computadora autoconfigurable y tolerante a fallas, desarrollada en el Instituto de Ingeniería.

Se describe brevemente la arquitectura de la computadora, su forma de trabajo y los medios que se utilizan para lograr sus atributos.

Se explica el tipo aislamiento requerido en los ductos que conforman la computadora (ducto PC-AT compatible y otro propietario), el cual constituye parte fundamental para lograr los atributos de tolerancia a fallas y mantenimiento en línea.

Se detalla la arquitectura de las dos tarjetas de aislamiento dinámico, enfatizando la lógica de control, el diseño y la construcción de los circuitos impresos.

1 Aspectos generales de la computadora reconfigurable desarrollada en el Instituto de Ingeniería

1.1 Introducción

Desde agosto de 1992 el Instituto de Ingeniería desarrolla el proyecto de diseño y construcción de una computadora de larga vida, la cual contará con amplias posibilidades de reconfiguración.

Entre sus características principales se encuentran la integración de redundancias de las partes más críticas del diseño electrónico y sus recursos para poder realizar, de forma transparente para el usuario, la detección de errores, diagnóstico de fallas y reconfiguración para erradicar posibles anomalías de operación.

Por otra parte, se estableció como objetivo, que el control de la arquitectura se pudiera realizar en tiempo real, lo cual implicó forzosamente que las actividades de detección, diagnóstico y corrección se tuvieran que realizar por medios electrónicos. Esta meta redundó en diseños electrónicos que van de moderada a alta complejidad, sin embargo, también constituye uno de los máximos beneficios al proyecto, debido a que los atributos tolerantes a fallas se realizarán a la máxima velocidad posible y de forma totalmente transparente al usuario. Debe subrayarse el hecho de que el producto final, es decir, la computadora tolerante a fallas (CTF) será un equipo completamente compatible con la amplia infraestructura de paquetes computacionales disponibles en el mercado y también con la amplia diversidad de tarjetas periféricas comerciales.

Como quizás se pueda desprender, las aplicaciones de este tipo de equipo no son las que usualmente encontramos en oficinas, laboratorios o centros de trabajo, en donde los riesgos que se generan por fallas en los equipos no implican pérdidas económicas, de tiempo, ni daños a segundos o a terceros. La computadora tolerante a fallas está orientada principalmente para aquellas aplicaciones en donde se requieren servicios continuos y confiables, no obstante la presencia de fallas en sus componentes o en sus subsistemas

electrónicos; este equipo al ser tolerante a fallas permitirá continuar ejecutando aplicaciones aún cuando sus partes más importantes como procesador, memorias periféricas cercanos al procesador, etc., pudieran fallar. Por esta razón el equipo es ideal para aquellas aplicaciones de automatización o control que conlleven altas pérdidas en caso de fallas como en el caso de control de reactores, control y supervisión de procesos industriales de alto riesgo, servidores de redes en aplicaciones financieras y en los múltiples servicios automatizados que han aparecido recientemente (cajeros automáticos, servicios automatizados por teléfono, etcétera) y los nuevos por aparecer en los próximos años.

En cuanto al desarrollo del proyecto, desde un principio se estableció el que sus diseños deberían ser modulares para facilitar las tareas de diseño, la complejidad de circuitos impresos y las posibilidades de dar mantenimiento en línea sin necesidad de desenergizar el equipo. Por tal razón el diseño total de la computadora tolerante a fallas contempla la integración de diez tarjetas electrónicas, de las cuales se tienen cuatro circuitos impresos completamente diferentes entre sí. Esta tesis describe el diseño y desarrollo de dos tarjetas de la CTF, las cuales son esenciales para realizar la detección, diagnóstico y corrección de fallas así como para efectuar las labores de mantenimiento preventivo o correctivo en línea. Mediante ellas se permitirá remover del sistema tarjetas en mal estado (que ya presentaron fallas) o adicionar nuevas tarjetas (para reemplazar aquellas que ya presentaron fallas) sin la necesidad desenergizar ni de interrumpir los programas de aplicación. En los siguientes párrafos se dará información adicional acerca del modo de operación de la CTF la cual permitirá clarificar los detalles del diseño de las tarjetas que constituyen el presente trabajo. En los siguientes capítulos se describen con detalle las diversas fases del diseño y desarrollo de las tarjetas.

1.2 Arquitectura de la Computadora tolerante a fallas

Como se mencionó anteriormente, la CTF estará compuesta por 10 tarjetas electrónicas, las que de acuerdo a su función se agrupan de la siguiente manera:

- a) Unidades de procesamiento (UPs). El sistema cuenta con 3 UPs totalmente independientes, cada una de ellas con procesador 80386, 1Mb de

memoria DRAM (expandible a 16), controlador de interrupciones, controlador de DMA, unidad de refrescamiento de DRAM, temporizadores, teclado, bocina y un autómata propietario para detectar operaciones y datos válidos en tiempo real para propósito de detección de fallas.

- b) Unidades de detección de fallas y control (UDFCs). La CTF cuenta con dos tarjetas de este tipo, las cuales se encargan de detectar y diagnosticar fallas, así como de coordinar la reconfiguración de tarjetas para erradicar fallas; una de ellas actúa como principal y la otra como redundante. Cada tarjeta cuenta con 2 autómatas propietarios para multiplexar datos y para la evaluación o comparación de los mismos en tiempo real; cada autómata a su vez, es supervisado por electrónica para detectar alguna posible anomalía de operación la que, en caso de presentarse, obliga la conmutación hacia la UDFC redundante.

Adicionalmente, para interactuar con el usuario (a bajas frecuencias) se utiliza un microcontrolador 68HC11.

- c) Unidades de Aislamiento. Estas tarjetas constituyen el trabajo de la presente tesis, y como ya se mencionó se diseñaron dos tarjetas, de las cuales una se utiliza como medio de aislamiento y protección para UPs, y la otra como medio aislamiento de UDFCs. Posteriormente se describirá a detalle el diseño y la fabricación de estas tarjetas.

- d) Unidad de Interfaz Múltiple (UIM). Esta tarjeta utiliza el ducto TF para comunicarse con la UDFC principal y con las UPs. Por medio de esta tarjeta, el sistema TF multiplexa el teclado y la bocina para que puedan ser usados por cualquiera de las UPs.

Adicionalmente cuenta con los conectores para el teclado y la pantalla de cristal líquido, que se utilizan para tareas de mantenimiento preventivo o correctivo así como para el envío de mensajes de alarma en caso de fallas.

La arquitectura cuenta también con dos tipos de ductos, uno compatible con computadoras personales (ISA) y otro propietario. Ambos se describen posteriormente.

Para tener una mejor idea acerca de la arquitectura de la CTF, en la Figura 1 se muestra un diagrama de bloques en el que se indica la forma en

que interactúan los diferentes módulos del sistema TF.

Los bloques sombreados constituyen las tarjetas cuyo diseño y desarrollo forman el trabajo de esta tesis.

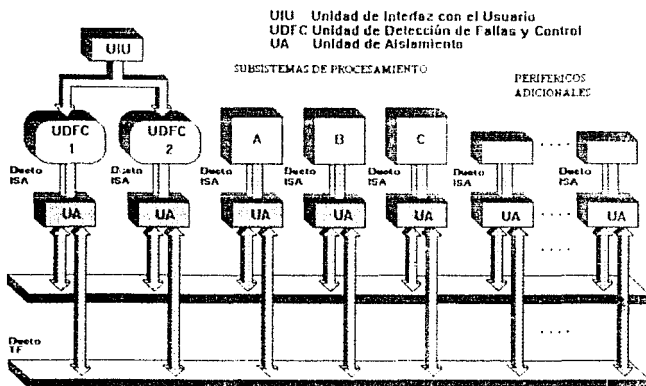
1.3 Operación Concurrente

El principio utilizado en la CTF para detectar y diagnosticar fallas se basa en la comparación de la información generada por tres unidades de procesamiento (UPs) completamente independientes.

Las tres UPs adquieren la misma información, procesan los mismos datos y generan los mismos resultados, los cuales se comparan por medios electrónicos cada vez que las UPs ejecutan alguna instrucción. Al realizar la comparación de resultados de tres unidades, es posible determinar con exactitud las anomalías o fallas ocurridas en alguna de las unidades suponiendo que en el sistema ocurre una falla a la vez. A este modo de operación en el que dos o mas subsistemas electrónicos procesan y generan la misma información se le denomina procesamiento u operación concurrente, principio en el que basa su funcionamiento la CTF.

Como se puede pensar, el procesamiento concurrente, de no contar con medios de separación o aislamiento entre procesadores, generaría colisiones en los diversos ductos cuando dos o mas subsistemas electrónicos intentan enviar su información a periféricos externos, como pueden ser discos duros y tarjetas periféricas. Por esta razón, el diseño de la CTF contempla el uso de tarjetas electrónicas de aislamiento que se configuran dinámicamente de acuerdo a información de control proveniente de la Unidad de Detección de Fallas y Control (UDFC) principal y a otras líneas de control de las UPs, permitiendo así, controlar el flujo de información adquirida o generada por los procesadores. De esta forma se hace posible que las tres UPs reciban la misma información, la procesen y por tanto, que generen los mismos resultados; además, por medio de ellas se permite únicamente al procesador catalogado como principal (decisión tomada por la UDFC) depositar su información en el ducto PC-AT del sistema. Bajo estas circunstancias, las dos UPs redundantes ejecutan operaciones de forma análoga a la UPs principal, sin embargo, cuando intentan llevar su información al ducto AT su unidad

de aislamiento respectiva les impide accederlo, evitando así colisiones en el sistema.



Subsistemas de la CTF

Figura 1.- Arquitectura de la CTF.

1.4 Modo de trabajo del ducto AT durante lecturas y escrituras a periféricos

Durante el arranque del sistema, el diseño de la CTF contempla el que por medio de la UDFC se definan atributos a cada UPs. De las tres unidades de procesamiento únicamente a una se le adjudicará el atributo de principal y a las restantes se les define como redundantes. Estas decisiones se manifiestan en niveles de voltaje que serán aplicados permanentemente (mientras no ocurra una falla) a líneas de control que obligan un comportamiento específico en las unidades de aislamiento. Debe destacarse que este control no afecta a las unidades de procesamiento, las cuales se comportan como si fueran las únicas insertadas en el sistema; el control y quien impide o establece la comunicación hacia los ductos del sistema es la unidad de aislamiento.

Cuando las UPs ejecutan instrucciones que se relacionan con la lectura de información de memoria o de periféricos, el comportamiento de las unidades de aislamiento es tal que permite la entrada de líneas de petición de acceso directo a memoria (DMA), petición de interrupción, señal "input output channel ready", "input output chs16", "memory channel, system 16", "0 wait state", "master", "refresh" y datos.

El cómo se realiza este control, así como los medios que permiten lograrlo se describe detalladamente en el capítulo 3.

Cuando las unidades de procesamiento ejecutan instrucciones relacionadas con escrituras a periféricos, o durante accesos directos a memoria que escriben información a unidades de disco, las tarjetas de aislamiento aseguran que en el ducto AT se reflejen todas las líneas de control e información necesarias para llevar a cabo el proceso citado; al mismo tiempo establecen un comportamiento para permitir el flujo de información a cada UP dependiendo de la categoría (principal o redundante) que tenga asignada, así como del estado de la UP respectiva (encendida o apagada). En el caso de la UP catalogada como encendida y principal se permitirá que todas sus líneas de direcciones control y datos se reflejen en el ducto para que interactúen con el periférico en cuestión.

En el caso de tener una UP encendida y redundante se obstruirán todas sus líneas de salida al ducto para evitar posibles conflictos.

Si se encontrara una UP dada de baja, es decir, que su estado indica que está apagada, se forza a la tarjeta para continuar desconectada indefinidamente del ducto; esta situación continuará hasta que su línea de estado sea modificada, lo cual implicaría que el usuario haya procedido a realizar el tipo de mantenimiento requerido.

2 Medios de auxilio para la detección, diagnóstico y corrección de fallas

2.1 Introducción

Como se ha mencionado anteriormente la CTF podrá realizar labores de detección, corrección y reconfiguración en caso de presentarse algún tipo de falla; los diseños y desarrollos para efectuar tales atributos constituyen temas de trabajo de varias tesis de Ingeniería, las cuales serán defendidas en los próximos meses. Lo anterior se subraya debido a que en este trabajo se incluyen conceptos, decisiones y soluciones que han sido tomadas en equipo, los que sin embargo, están estrechamente vinculados con el presente trabajo. Por tal razón en este escrito se aclaran algunos conceptos y procedimientos obtenidos en grupo, no obstante que no forman parte del presente trabajo, pero que son necesarios para la comprensión y justificación del diseño que se explicará.

En esta sección se describe la operación de un ducto propietario de la CTF, el cual es primordial para desarrollar los atributos de tolerancia a fallas mencionados.

El ducto tolerante a fallas está constituido por 62 líneas las cuales, en la arquitectura de la CTF, viajan paralelamente al ducto PC-AT. Por medio de este ducto propietario se conducen 16 líneas de datos de cada UP hacia la UDFC principal, de forma multiplexada, para que en esta última se realice la comparación de datos y la detección de fallas. Por este ducto también circulan líneas de protocolo entre UPs-UDFC, UDFC-Unidades de Aislamiento, así como entre la UDFC y la Unidad de Interfaz múltiple (esta última utilizada para enviar señales de alarma al usuario y para atender solicitudes de mantenimiento ordenadas por el usuario).

El ducto TF contiene algunas líneas que son utilizadas exclusivamente por las unidades de procesamiento, y contiene otras que son exclusivamente utilizadas por las UDFCs. Ambos grupos de líneas deben ser aislados, de tal forma que sea posible desconectar o aislar físicamente las UPs o las UDFCs de los ductos del sistema cuando sea requerido, permitiendo así la desconexión de tarjetas con falla o la inserción de tarjetas nuevas, sin la necesidad de

desenergizar ni de detener la operación del sistema. De la explicación anterior se puede desprender que la CTF puede operar en forma degradada, es decir, sin la forzosa presencia de las tres UPs ni de las dos UDFCs.

En vista de que el comportamiento del aislamiento para el ducto TF, es diferente en las unidades de procesamiento y en las unidades de detección de fallas y control se decidió desarrollar dos tarjetas electrónicas: una de aislamiento exclusivo para procesadores y otra para ser usada junto con las UDFC. A continuación se describirán los tipos de aislamiento implantados en el ducto TF, tanto para UPs como para UDFCs.

2.2 Aislamiento del ducto TF para UPs

El aislamiento de este ducto, es necesario para permitir labores de mantenimiento en línea de UPs, esta es la razón principal para utilizar el aislamiento. Ahora bien, en cuanto a control es necesario comunicar a cada UPs con las líneas de protocolo que se encuentran en el ducto TF.

Las líneas de protocolo se indican completamente en el siguiente capítulo, para la presente sección baste decir que incluyen líneas de comunicación entre el autómata de decodificación de operaciones integrado en cada UP, y los autómatas y un microcontrolador incluidos en cada UDFC.

Parte importante de las líneas contenidas en este ducto lo constituyen 16 líneas de datos que contienen información generada por cada UP, la cual debe ser enviada a la UDFC principal para que en ella se realice la comparación de resultados y la determinación de una posible falla.

2.3 Aislamiento del ducto TF para UDFCs

El propósito del aislamiento de este ducto, es permitir labores de mantenimiento preventivo o correctivo sin la necesidad de desenergizar el sistema. Adicionalmente, el ducto TF contiene líneas de protocolo utilizadas para comunicación entre las dos UDFC (principal y redundante). Con ellas es posible realizar la reconfiguración automática entre UDFCs en caso de que se presente una falla en la circuitería de la UDFC principal.

En el siguiente capítulo se da información completa de las señales que intervienen en esta tarjeta.

2.4 Aislamiento de señales digitales por medio de interruptores analógicos

Desde el inicio del proyecto, se analizaron diferentes alternativas para establecer un medio de aislamiento eficiente, seguro y rápido entre las tarjetas objetivo y los ductos del sistema. Se pensó en incluir "buffers" con salida tres estados, sin embargo, dadas las características bidireccionales de algunas de las líneas del ducto PC-AT, se observó que la lógica de control requerida se complicaba innecesariamente.

Para resolver tal problema, decidimos utilizar interruptores analógicos de tipo semiconductor, con los cuales, después de realizar pruebas, se concluyó que constituían componentes ideales para resolver el problema de aislamiento de líneas de direcciones, control y datos del ducto PC-AT.

Para proveer el medio de aislamiento del ducto TF se decidió también utilizar los mismos componentes dado su buen comportamiento, su pequeño espacio requerido y su bajo consumo de potencia. En la Figura 2, se muestra el comportamiento de estos interruptores durante una prueba de laboratorio; las señales se obtuvieron con la ayuda de un osciloscopio digital de 300 MHz de ancho de banda.

2.5 Aislamiento de fuentes de alimentación

Uno de los aspectos más importantes que realizan las unidades de aislamiento es la de ejecutar las órdenes de encendido o apagado de las tarjetas objetivo, lo cual es indicado por la UDFC principal. Ante esta situación la unidad de aislamiento en cuestión debe proceder a suspender o a aplicar, según sea el caso, el voltaje de alimentación a las tarjetas objetivo.

En un principio se consideró utilizar pequeños relevadores para llevar a cabo esta tarea, con ellos la lógica de control se simplificaba; sin embargo, sus pobres características de confiabilidad apoyaron la decisión de excluirlos del diseño de las tarjetas. Como mejor alternativa, se realizaron pruebas con un MOSFET de potencia, canal N, en especial el BUZ 11, el cual permite el paso de hasta 30 amperes de corriente. Las pruebas de laboratorio nos permitieron alimentar una tarjeta madre de PC con periféricos básicos, los que consumían alrededor de 3 amperes de corriente, que constituye el equivalente en consumo

de cuatro tarjetas objetivo. En la Figura 3 se muestra el comportamiento del transistor durante una conmutación, aplicando una carga de 3 amperes.

Para controlar los mosfets sólo se necesita polarizarlos con un voltaje VGs, de encendido (4 V) mas un voltaje VDD, donde VDD es el voltaje de alimentación de la tarjeta objetivo.

En vista de que nuestras tarjetas objetivo utilizan unicamente la alimentación de 5 volts, las tarjetas diseñadas únicamente contemplan el aislamiento de esta fuente.

11402A DIGITIZING OSCILLOSCOPE (exp:2.2,dig:2.1,dsy:2.0)
 date: 17-FEB-93 time: 10:36:28 Instrument ID# B010182

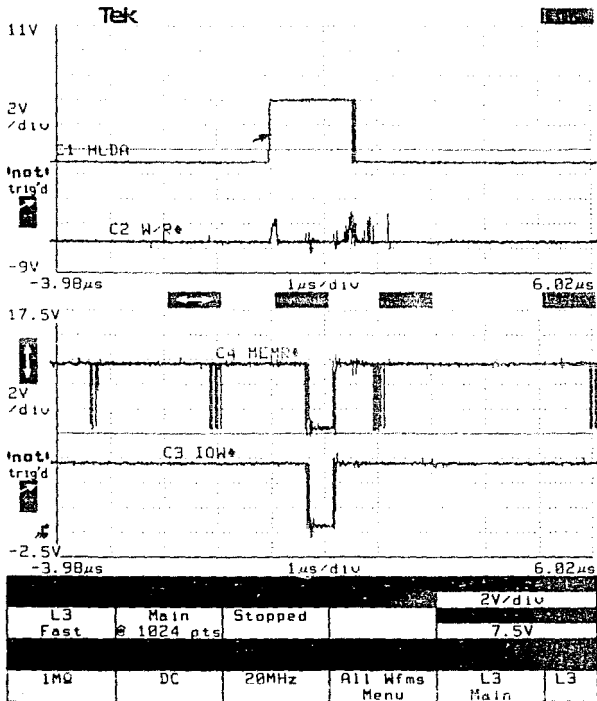


Figura 2.- Comportamiento de interruptores analógicos; las señales corresponden a la salida de los interruptores.

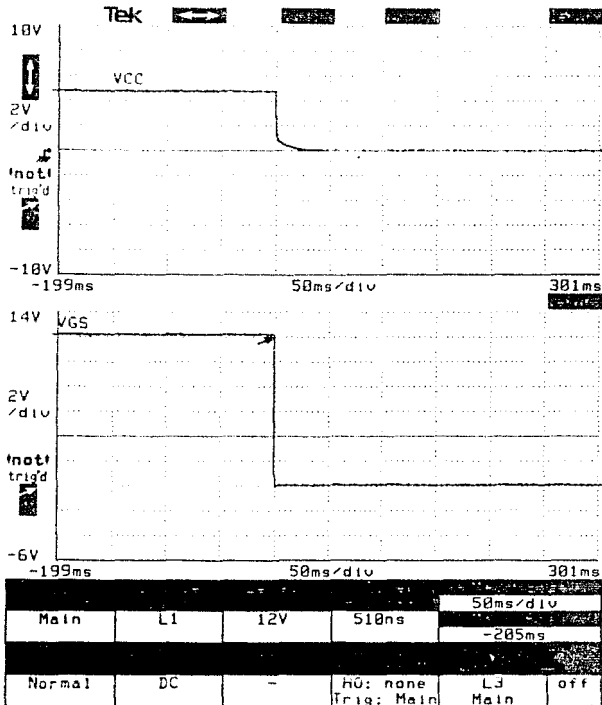


Figura 3a.- Conmutación durante el apagado del MOSFET y de la alimentación de voltaje; la gráfica de arriba corresponde a la alimentación de voltaje y la gráfica de abajo al voltaje Vgs del MOSFET.

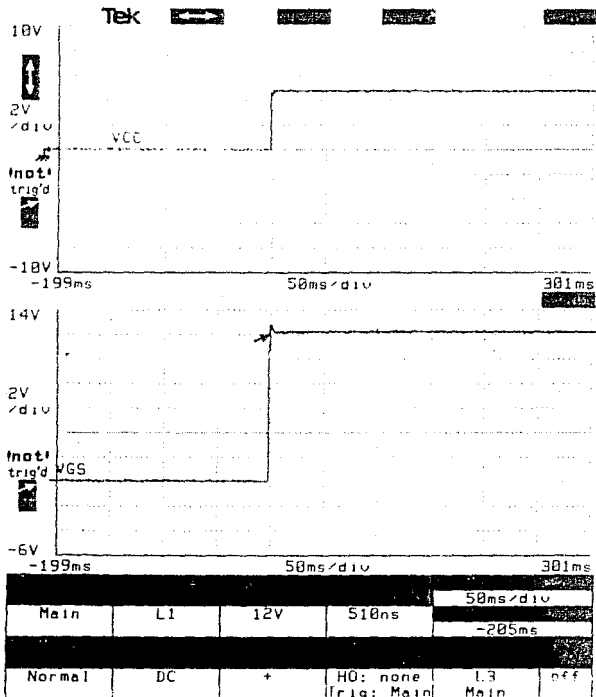


Figura 3b.- Conmutación durante el encendido del MOSFET y de la alimentación de voltaje. La gráfica de arriba corresponde al encendido de la alimentación de voltaje y la gráfica de abajo al encendido del MOSFET.

3 Ductos utilizados por la computadora autoconfigurable

3.1 Introducción

La CTF fue concebida con la idea de generar un sistema de gran robustez, amplias posibilidades para detectar fallas y autoconfiguración para brindar servicio continuo aún en el caso de fallas que en sistemas convencionales producirían *interrupciones* indefinidas.

Tal concepción también previó como objetivo de diseño una amplia compatibilidad en circuitería y programación con los sistemas de cómputo de mayor uso y *familiaridad* en nuestro país.

Por esta razón el ducto principal de comunicaciones de la CTF es 100% compatible con el ducto ISA utilizado en computadoras PC-AT. De esta forma, el proyecto aprovechará la amplia infraestructura comercial y personalizada que existe en cuanto a paquetería y equipo periférico disponible.

Para conferir a nuestra arquitectura atributos especiales de redundancia y de tolerancia a fallas, fue necesario integrarle un ducto totalmente propietario, el cual permite la comunicación entre las tarjetas básicas que componen al sistema (UPs, UDFCs y UIM) así como la posibilidad de establecer zonas de contención de fallas y contribuir a la modularidad del sistema TF. Por esta razón se integró un ducto de 62 líneas por el cual transitan líneas de datos de UPs, protocolo y demás líneas de control necesarias.

El ducto TF es un ducto pasivo, con el cual se resolvieron los problemas de: interconexiones de tarjetas, modularidad, disminución de ruido y estética.

Es así como la columna vertebral de la CTF está formada por dos ductos:

1. Ducto PC-AT, el cual es utilizado por procesadores y periféricos por conectar en el sistema.
2. Ducto TF, usado como medio de auxilio para detectar y corregir fallas.

Las unidades de aislamiento que se describirán en esta tesis serán por tanto tarjetas que en su parte inferior tendrán peines que se insertarán en conectores PC-AT y TF; en tanto que en la parte superior contendrán conectores para ducto PC-AT y TF respectivamente; éstos últimos con el objeto de que se inserten, ya sean tarjetas de procesadores o las tarjetas UDFC (Figura 4)

3.2 Ducto PC-AT

Este ducto es completamente compatible con el ducto ISA de las PC, el cual contiene 24 líneas de direcciones, 16 de datos, líneas de control y protocolo como se indica en la tabla 1.

Como se ha mencionado, estas líneas se llevan a las unidades de aislamiento en donde dependiendo del estado y categoría asociados al procesador respectivo, se tendrá un comportamiento de aislamiento tal que impida colisiones en las líneas del ducto.

3.3 Ducto propietario para detección, diagnóstico y corrección de fallas

Las líneas incluidas tienen el propósito de establecer comunicación entre las diferentes tarjetas de la CTF (UPs, UDFCs y UIM) así como establecer un medio para transportar los resultados de cada procesador hacia la UDFC principal. El funcionamiento y la operación concurrente de la CTF, se controla por medio de las líneas de control contenidas en este ducto de 62 líneas, las cuales se indican y se describen brevemente en la tabla 2.

En el siguiente capítulo se describirá a detalle la forma en que se aíslan las señales de los ductos PC-AT y TF, así como su lógica de control, con lo cual se satisfacen los atributos de diseño requeridos por el proyecto.

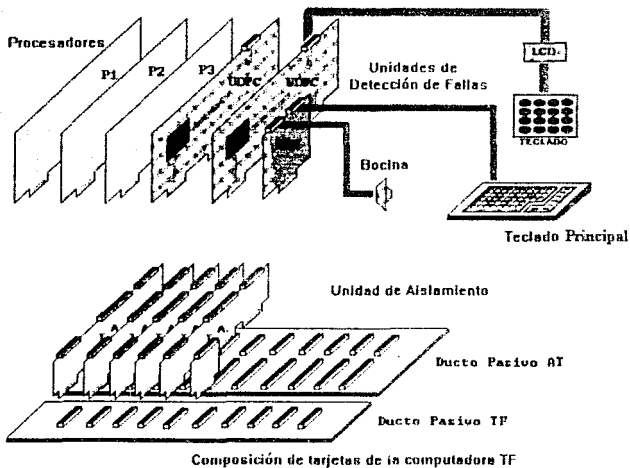


Figura 4.- Inserción de tarjetas de UPS y UDPCs en sus respectivas tarjetas de aislamiento

DUCTO AT

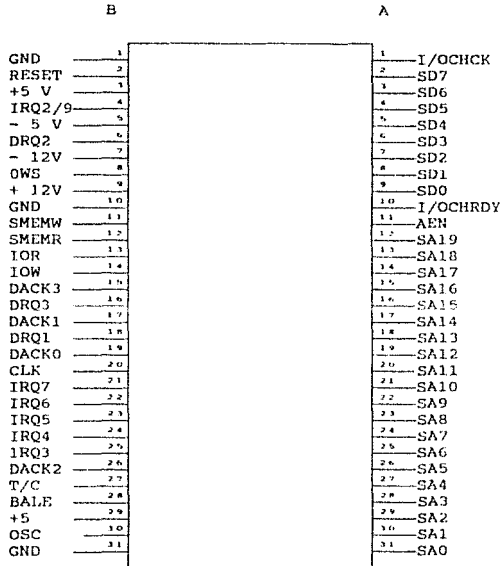


TABLA 1a.- DUCTO PC-AT

DUCTO AT

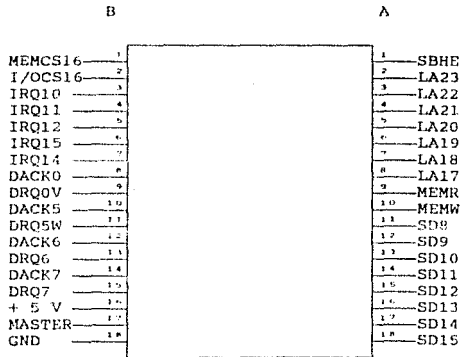


TABLA 1b.- DUCTO PC-AT

Tabla 1c. SUMARIO DE LAS SEÑALES DEL DUCTO PC/XT

QWS	Cero estados de espera. (Cero Wait States). Dispositivos rápidos ponen esta línea en un estado bajo para que el CPU inserte estados de espera extras; cero para dispositivos de 16 bits, y 2 para dispositivos de 8 bits.
AEN	Habilitador de direcciones. (Address Enable) Cuando está en un estado de uno lógico, el controlador de DMA tiene el control de las líneas de direcciones, de datos, lectura y escritura de memoria y periféricos.
BALE	Habilitador de "latch" de direcciones. (Address Latch Enable). Esta línea indica que el procesador tiene una dirección válida en el ducto cuando AEN es válida. Esta línea también es activa alta cuando existe DMA.
CLK	Rejón del Sistema. Señal de reloj de 6 MHz (AT) o de 4.77 MHz (XT).
DACK0-7	Reconocimiento de DMA (DMA Acknowledge) Líneas activas bajas para reconocimiento de petición de DMA (DRQ). Para ductos XT, el canal cero es usado para refrescamiento de memoria.
DRQ1-7	Líneas de petición de DMA (DMA Request). Esta señal debe ser mantenida en alto hasta que su correspondiente línea de reconocimiento de DMA vaya a cero lógico. Activa alta.
I/OCHK	Verificación de canal de I/O (I/O Channel Check). Cuando está baja, implica que un dispositivo en el ducto ha detectado un error de paridad.
I/OCHRDY	Canal de I/O listo (I/O Channel Ready) Línea puesta en bajo por algún dispositivo que requiera más tiempo. Nunca debe permanecer en bajo por más de 10 ciclos de reloj (XT) o 2.5 usSeg (AT).
I/OCS16	I/O 16 bit Chip Select. Esta señal se activa para indicar que un dispositivo puede acceder ciclos de 16 bits.
IOR	Lectura de I/O. (I/O Read). Indica una lectura de puerto.
IOW	Escritura de I/O (I/O Write). Indica escritura de puerto.

Tabla 1c. Continuación.

IRQ2-14	Lineas de petición de interrupción (Interrupt request) Activas altas.
LA17-23	Lineas de dirección extra requeridas para direccionar los 16 Mbytes de espacio de memoria.
MASTER	Un procesador en el canal de puertos de I/O puede usar esta señal para apropiarse de los ductos de datos, direcciones y control.
MEMCS16	Memory 16 bit Chip Select. Esta señal es activada por memorias externas que soporten accesos de 16 bits.
MEMR	Lectura de Memoria (Memory Read).
MEMW	Escritura de memoria (Memory Write).
OSC	Oscilador. Tiene una frecuencia de 14.31818 MHz.
REFRESH	Señal usada para los refrescamientos de memoria. Dack0 es usada en las máquinas XT.
RESET DRV	Activa alta. Señal para inicializar el sistema durante el arranque.
SA0-19	Lineas de direcciones. Para el primer megabyte de memoria.
SBHE	System Bus High Enable. Indica que el dispositivo es capaz de realizar transferencias de 16 bits.
SMEHR	Lectura de Memoria. Señal usada con el primer Megabyte de memoria.
SMEHW	Escritura de Memoria. Usada para las escrituras al primer megabyte de memoria.
T/C	Cuenta Terminada (Terminal Count). Señal activa alta cuando ha terminado un ciclo de DMA.

LADO DEL BACK PLANE
PARA UPS

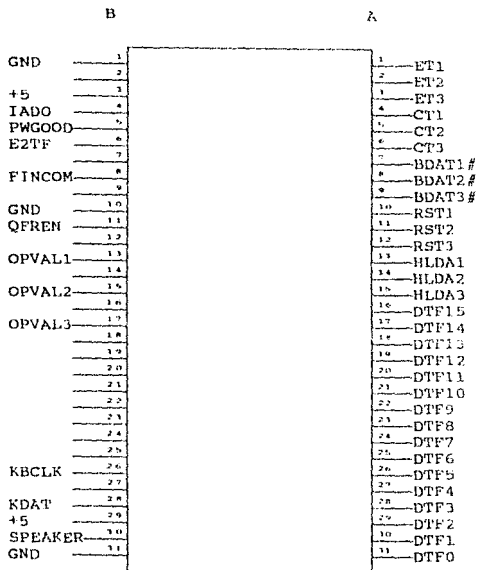


TABLA 2a.- DUCTO TF

LADO DEL UP

B		A	
GND	1	1	
RSTGNAL	2	2	
+5	3	3	
IADO	4	4	CTi
PWGOOD	5	5	
E2TF	6	6	
	7	7	
FINCOM	8	8	
	9	9	
GND	10	10	RSTi
QFREN	11	11	
	12	12	
OPVALi	13	13	HLDAi
	14	14	HLDAT
ARQUE	15	15	
	16	16	DTP15
	17	17	DTP14
	18	18	DTP13
	19	19	DTP12
	20	20	DTP11
	21	21	DTP10
	22	22	DTP9
	23	23	DTP8
	24	24	DTP7
	25	25	DTP6
KBCLK	26	26	DTP5
	27	27	DTP4
KDAT	28	28	DTP3
+5	29	29	DTP2
SPEAKER	30	30	DTP1
GND	31	31	DTP0

TABLA 2b.- DUCTO TF

LADO DEL BACK PLANE
PARA LA UDFC

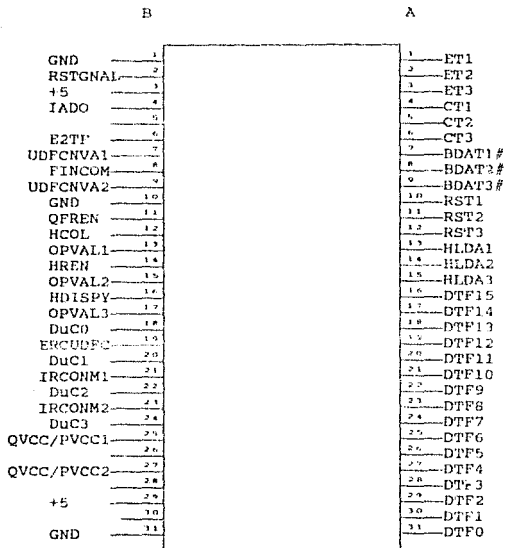


TABLA 2c.- DUCTO TF

LADO DE LA UDFC

B		A	
GND	1	1	ET1
RSTGNAL	2	2	ET2
+5	3	3	ET3
IADO	4	4	CT1
	5	5	CT2
E2TF	6	6	CT3
UDFCNVA1/UDFCNVA2	7	7	BDAT1#
FINCOM	8	8	BDAT2#
ERCAT	9	9	BDAT3#
GND	10	10	RST1
QFREN	11	11	RST2
HCOL	12	12	RST3
OPVALi	13	13	HLEDAi
HREN	14	14	HLEDAI
ARQUE	15	15	3VCCIN
HD1SPY	16	16	DTF15
HVCC	17	17	DTF14
DuCO	18	18	DTF13
ERCUDFC	19	19	DTF12
DuC1	20	20	DTF11
IRCONM1	21	21	DTF10
DuC2	22	22	DTF9
IRCONM2	23	23	DTF8
DuC3	24	24	DTF7
QVCC/PVCC 1,2	25	25	DTF6
	26	26	DTF5
HVAR/P	27	27	DTF4
	28	28	DTF3
+5	29	29	DTF2
	30	30	DTF1
GND	31	31	DTF0

TABLA 2d.- DUCTO TF

Tabla 2c. SEÑALES DEL DUCTO PROPIETARIO.

IADO	Inicio del automata de detección de operaciones. Inicializa al automata que se encarga de decodificar señales que indican lectura o escritura.
PWGOOD	Power Good. Señal proporcionada por la fuente de alimentación que llega a la unidad manejadora del ducto AT.
EZTF	Existen dos tarjetas con falla. Línea necesaria para proporcionar dicha información al automata de comparación.
FINCOM	Fin de comparación. Fin exitoso de comparación de datos multiplexados.
QFREN	Quita Freno. Señal que "libera" a los procesadores cuando se encuentran detenidos al efectuarse comparación de datos en la UDPC.
OPVAL(n)	Operación válida. Indica que se efectuó una operación de lectura o escritura.
KBCLK	Keyboard Clock. Señal de reloj de teclado.
KDAT	Keyboard Data. Señal de dato de teclado.
SPEAKER	Bocina.
ET(n)	Estado de la tarjeta.
CT(n)	Categoría de la tarjeta.
BDAT	Habilitador de datos multiplexados.
RST(n)	Reset para cada uno de los procesadores.
HLDA(n)	Hold acknowledge. Línea de reconocimiento de DMA.
DTFO-15	Datos multiplexados a compararse.

Tabla 2e. Continuación.

UDFCNVA1,2	Unidad de Detección de Fallas y Control Nueva, 1 y 2. Señal que indica a la UDFC redundante que la principal fallo y que se conmuta de tarjeta.
HCOL	Habilita columna. Señal para el teclado de la Unidad de Interfaz Múltiple (UIM).
HREN	Habilita renglón. Señal para el teclado de la UIM.
HDISPLY	Habilitación de display de la UIM.
DuCO-4	Ducto de datos de la UIM.
ERCUDFC	Error de categoría en la UDFC, cuando ha sido programada mal por el usuario.
IRCCNM1,2	Interrupción de consultación. Cuando existe alguna falla en alguna de las UDFCs, esta se encarga de dar aviso a alguna de ellas para efectuar el cambio de categoría.
QVCC/PVCC1,2	Señal que se encarga de conmutar los voltajes de alimentación de las UDFCs, en caso de que se requiera mantenimiento en línea.
3VCCIN	Señal que proporciona un nivel alto durante tres segundos, para inicializar la UDFC.
ERCAT	Error en la categoría. Línea que se activa en caso de detectarse 2 o más tarjetas declaradas como principales.
ARQUE	Arranque para sincronizar a los automatismos y a los procesadores.
HVCC	Habilitación de VCC

4 Arquitectura de las tarjetas diseñadas para el control dinámico de aislamientos

4.1 Introducción

En este capítulo se describe a detalle el diseño de dos tarjetas que permiten aislar señales entre ductos pasivos y las tarjetas para las cuales fueron diseñadas (tarjetas objetivo); además se detalla la lógica digital integrada en cada tarjeta que permite controlar el tráfico de información. Se explican los circuitos de potencia que permiten controlar la alimentación de energía hacia las tarjetas objetivo, los que unidos a los medios de aislamiento incluidos, permiten dar de baja a tarjetas que el sistema TF declare como anómalas, todo esto supervisado por el núcleo principal de la CTF (la UDFC principal).

Como se puede desprender, la presencia en el sistema de las dos tarjetas que se detallarán, constituye un medio que hace posible la operación concurrente de tres unidades de procesamiento conectadas a un mismo ducto y, además, permiten desconectar parcial o totalmente a una tarjeta objetivo.

En el caso de las UP's la desconexión parcial impide la colisión de líneas de direcciones y datos en el ducto AT, en tanto que en la UDFC permite conmutar de la tarjeta principal a la redundante ya sea en caso de fallas o a petición del usuario.

En cuanto a la desconexión total de las tarjetas objetivo de los ductos, ésta se utiliza para aislar tarjetas que han sido identificadas por el sistema como anómalas, en cuyo caso el sistema las desconecta para permitir que un usuario externo las pueda quitar y luego sustituir por otra equivalente en buen estado, todo esto en línea, es decir, sin desenergizar el sistema y sin frenar los programas de aplicación por tiempos significativos.

En seguida se describirán los detalles de diseño de ambas tarjetas de aislamiento utilizadas en la CTF. En el siguiente capítulo se describe el desarrollo de los circuitos impresos respectivos.

4.2 Arquitectura de la tarjeta de aislamiento dinámico para UPs

La tarjeta está dividida en tres secciones:

- El aislamiento de señales del ducto AT,
- El aislamiento de líneas del ducto TF.
- El aislamiento del voltaje de alimentación.

A continuación se procede a explicar los detalles de diseño de cada sección, los que en conjunto constituyen la tarjeta que controla dinámicamente los aislamientos para las Unidades de procesamiento.

4.2.1 Aislamiento del ducto AT.

Esta sección tiene como objetivo tomar todas las señales del ducto ISA generadas por la UP y llevarlas a una serie de interruptores analógicos, los cuales se controlan dinámicamente (activación o desactivación) por medio de lógica combinacional contenida en circuitos integrados programables denominados GALs; del otro lado de los interruptores se encuentra el ducto pasivo de la computadora. En la Figura 5, se muestra un diagrama de bloques de la tarjeta, y en la figura 6 se presenta su diagrama eléctrico.

Las líneas del ducto ISA que se controlan son las que se describieron en el capítulo 3, las que en este caso se conducen hacia 18 interruptores analógicos y dos “*buffers*”, los cuales se indican en el diagrama eléctrico de la tarjeta por medio de los dispositivos U1 al U20 (ver Figura 6). Debido a que se trabaja con interruptores de tipo analógico, el control que se realiza sobre ellos únicamente determina si se permitirá o impedirá el paso de señales provenientes del ducto AT; como se comprenderá, las señales alimentadas a cada uno de éstos circuitos integrados están ordenadamente agrupadas, de tal forma que con una línea digital se pueda habilitar o deshabilitar todo un grupo de líneas (por ejemplo, ducto de datos, ducto de direcciones, etcétera).

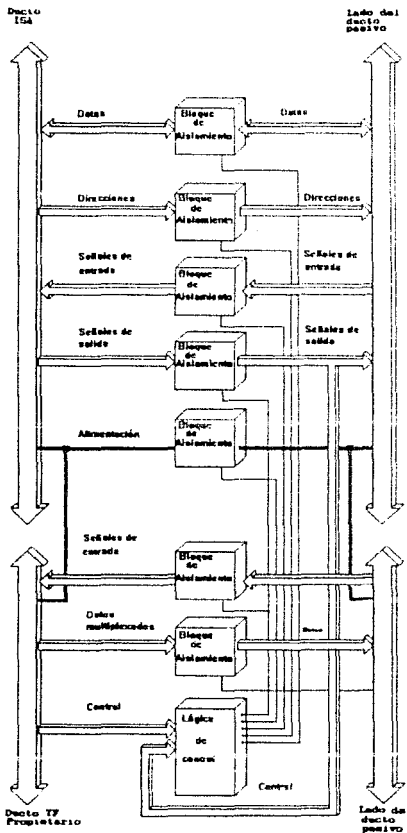
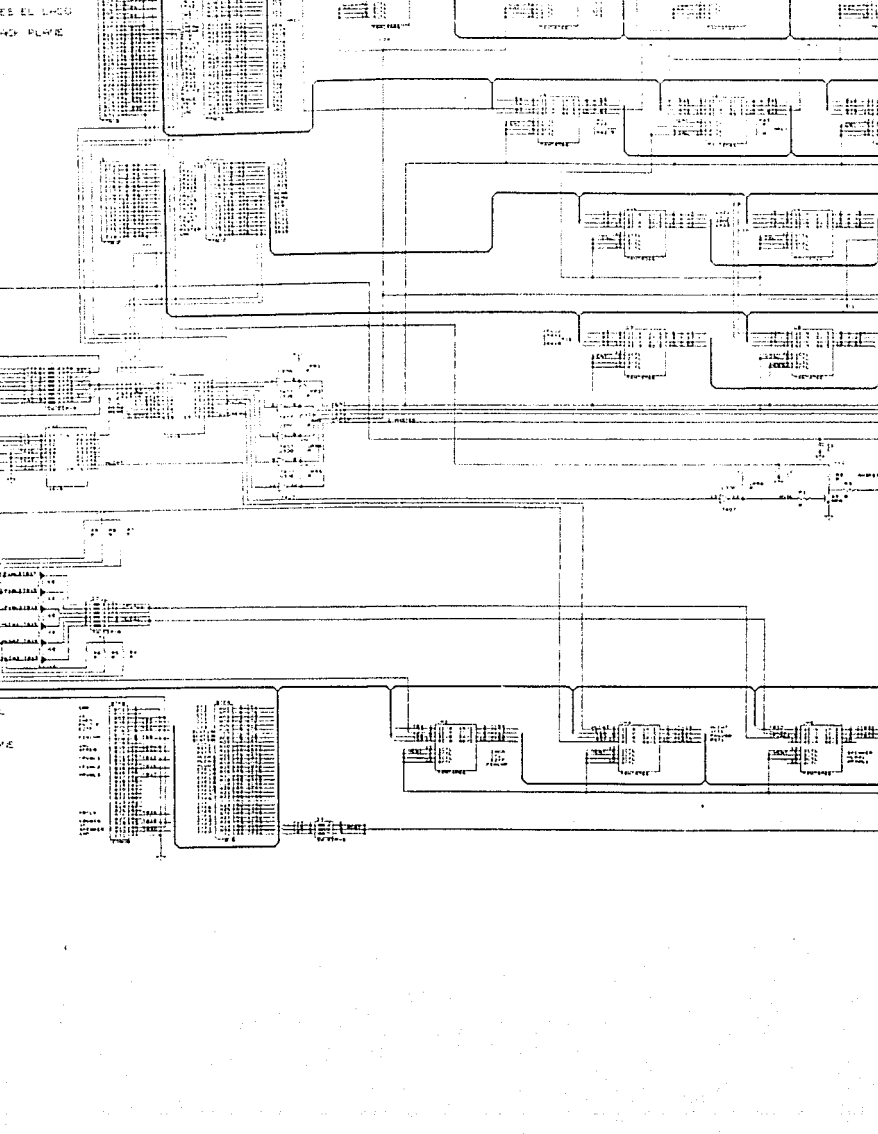


Fig. 5.- Diagrama de bloques de la tarjeta de aislamiento para UPS.



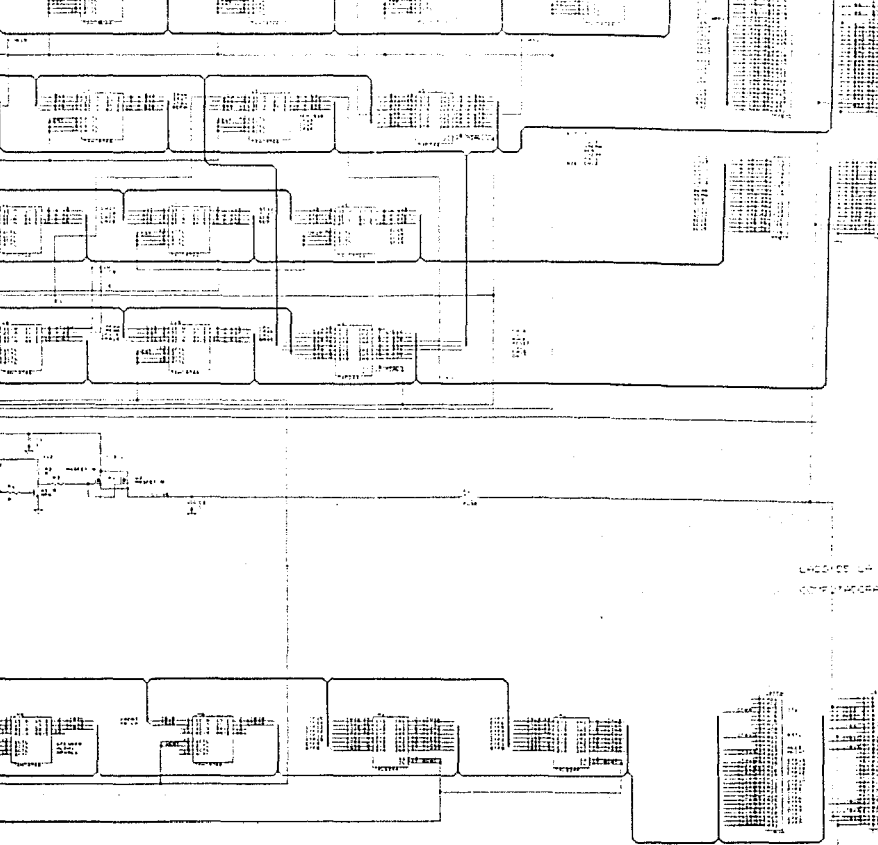


FIGURA 6

En esta tarjeta se identificaron 4 grupos de líneas, los cuales se controlan con señales que definen el estado y la categoría de las UPs y que en consecuencia definen el modo de operación de su respectiva unidad de aislamiento.

Las líneas de direcciones del ducto XT pasan a los integrados U10, U11, U17, U18 y U19, en tanto que las líneas de direcciones complementarias que permiten interaccionar con periféricos AT, se llevan a los integrados U2 y U16. El paso de éstas líneas hacia el ducto AT se controla exclusivamente con la categoría de su procesador asociado, es decir, solo el procesador principal podrá colocar estas líneas en el ducto pasivo para interaccionar con electrónica externa conectada al ducto AT. En el caso de procesadores redundantes, su categoría desactiva a interruptores analógicos que controlan el ducto de direcciones, por lo cual sus líneas nunca llegarán al ducto pasivo. De forma análoga, se controla a los integrados U2 y U16.

Las 16 líneas de datos de UPs se controlan a través de los interruptores U7, U13, U14 y U20. A diferencia de las demás líneas del ducto, este grupo se activa exclusivamente para el UPs principal durante la ejecución de instrucciones de escritura a puertos o a memoria; en estos casos, los integrados de tarjetas de aislamiento vinculadas a UPs redundantes permanecen desactivados, con lo cual se evitan posibles conflictos en el ducto de datos. Ahora bien, durante la ejecución de instrucciones relacionadas con lecturas de puerto, tanto los integrados U1, U13, U14 y U20 de unidades de aislamiento vinculadas ya sea con una UP redundante o con una UP principal, permanecen activados, asegurando de esta forma que todos los UPs activos del sistema capturen la misma información, para que procesen los mismos datos y en consecuencia generen el mismo resultado y de esta forma hagan posible la operación concurrente de la CTF.

Las líneas de entrada del ducto AT (ver sección 3.2), se controlan con los interruptores analógicos U3, U4, U6, U9, U15, y parte de U8 y U12. Figura 6.

La activación o desactivación de los componentes anteriores se realiza con la categoría de la UP asociada a la unidad de aislamiento en cuestión.

Mediante los "buffers" U1, y U5, así como parte de los interruptores analógicos U2, U8 y U12, se controlan las salidas del ducto AT para la

UP respectiva. Nuevamente, el control de los circuitos anteriores depende exclusivamente de la línea que define la categoría de la UP vinculada a la unidad de aislamiento en cuestión.

Como se desprende, en el caso de cualquier tipo de salida en el ducto AT, el control electrónico diseñado asegura que únicamente la unidad de procesamiento definida como principal y en estado activo, sea la que coloque sus líneas de información para que éstas sean usadas por periféricos externos.

Algo muy importante de subrayar, relacionado con las explicaciones anteriores, es que cuando se hace mención a la categoría de un procesador en particular, sobrentendemos que la lógica genera señales de activación siempre y cuando el estado de operación de la UP respectiva indique buen funcionamiento. En otras palabras, cuando se tiene una UP que ha presentado falla o bien, que ha sido dada de baja por el usuario (a través de la UIM) la lógica electrónica de la unidad de aislamiento obliga la desconexión entre tarjetas objetivo y el ducto pasivo, permitiendo así aislar físicamente a las tarjetas indeseables del sistema tolerante a fallas.

En la Tabla 3, se indica la lógica programada en los GALs para llevar a cabo el control de los diversos grupos de aislamiento para ducto AT de esta tarjeta.

La filosofía de diseño de la CTF permite que el usuario defina las categorías para cada UP y por tanto para cada una de las unidades de aislamiento. Inicialmente, la UDFC por medio de su registro de estado define sin equivocación, quién será la UP principal y quienes las redundantes. Posteriormente, cuando el sistema está activo, el usuario puede modificar todos los atributos reprogramando el registro de estado.

Debido a que existe la posibilidad de falla en el registro de estado, el diseño electrónico de la unidad de aislamiento para procesadores incluye un detalle de diseño, con el cual se revisan las líneas de categoría para cada procesador, y en caso de que existan 2 UPs definidas como principales, la unidad de aislamiento envía órdenes para que queden aisladas completamente las UPs de los ductos de sistema. Esta protección ofrece un medio seguro para impedir conflictos o cortos circuitos en el ducto AT. El circuito se esquematiza en el diagrama de bloques de la Figura 5 y, además aparece en el diagrama eléctrico de la Figura 6. (Ver GALs UG1 y UG2).

PARA EL GAL 1

HENT = ERCAT# ETi
HSAL = ERCAT# ETi CTi#
HDIR = ERCAT# ETi CTi#
MASTER = 1
HVCCPU# = ETi
HDAT = ERCAT# ETi IOR# + ERCAT# ETi CTi IOW# +
ERCAT ETi (MEMR#+SMEMR#)+ERCAT# ETi CTi(MEMW#+SMEMW#)

PARA EL GAL2

ERCAT = CT1# CT2# CT3 + CT1# CT2 CT3# + CT1 CT2# CT3#
OPVALT = OPVAL1 OPVAL2 + OPVAL1 OPVAL3 + OPVAL2 OPVAL3
HDAT = HLDA1 HLDA2 HLDA3

PARA EL GAL3

(R/P)# = HUAR/P# + 3SVCCIN + UDFCNVA
ARQUE# = RST1 RST2 RST3
ACTVCC# = (HVCC+UDFCNVA+3SVCCIN)((Q/PVCC#)#)

Tabla 3.- Lógica programada en GALs.

4.2.2 Aislamiento del ducto TF

Como se ha mencionado, las líneas de este ducto permiten realizar diferentes actividades relacionadas con la detección y diagnóstico de fallas, así como las posibilidades de reconfigurar el sistema para permitirle operar continuamente, aún ante la presencia de fallas importantes en el sistema.

En la figura 5, se muestra un diagrama de bloques que incluye a esta sección de la tarjeta, en ella se enfatizan las líneas de entrada a la tarjeta y sus líneas de salida, tanto en los conectores que conducen al ducto pasivo como en los conectores de la tarjeta objetivo.

Las unidades de procesamiento utilizan el ducto TF para transmitir información veráz, en tiempo real, a la UDFC principal, de tal forma que a ésta le sea posible recabar datos de las diferentes UPs y detectar posibles fallas de operación en el sistema. Por esta razón se utilizan 16 líneas del ducto TF exclusivamente para transmitir datos multiplexados en el tiempo entre UPs y la UDFC principal. Las 16 líneas son controladas en las unidades de aislamiento por medio de los "buffers" electrónicos indicados en la Figura 6 como UM1 y UM2. Las salidas de esos componentes están conectados al ducto pasivo TF, por lo cual se les debe habilitar en forma multiplexada y en sincronía con la lógica de detección de fallas localizadas en la UDFC. Por esta razón, sus habilitadores de salida están gobernados por líneas provenientes de un autómata o máquina secuencial (de la UDFC principal) el cual controla el multiplexaje de datos provenientes de las diferentes UPs. Como se puede desprender, este habilitador (BDAT) constituye una de las líneas de control del ducto TF (ver Figura 6).

Las líneas restantes que comunican a las UPs con el ducto TF se utilizan como señales de protocolo para indicar fases de operación de los procesadores así como para conducir entradas de control para el autómata de detección de operaciones ubicado en cada unidad de procesamiento.

Las líneas que se llevan del ducto TF hacia las UPs son las siguientes:

- Señal de arranque para el autómata de la unidad de procesamiento (IADO).

- Señal de arranque del sistema (PWGOOD),
- Fin exitoso de comparación de resultados entre procesadores (FINCNP),
- Señal de reset del UP respectivo,
- La categoría de la UP,
- Existencia de dos unidades de procesamiento con falla (E_2TF),
- Producto de la señal de reconocimiento de DMA de cada uno de las UPs (HLDAT),
- Liberación de estado de espera para procesadores (QFREN),
- Línea de datos de teclado y su reloj respectivo (KBDAT, KBCLK).

Las líneas anteriores se controlan mediante los interruptores analógicos identificados en la Figura 6 como UM3, UM4 y UM6.

Las salidas de la unidad de procesamiento que se conducen al ducto TF son las siguientes:

1. Reconocimiento a un llamado de DMA (HLDAi)
2. Indicación de una operación válida en la UP respectiva (OPVALi)
3. La señal digital que se envía a la bocina del sistema TF (SPEAKER)

Las señales anteriores se controlan con el integrado UM5 de la Figura 6.

El control de los circuitos citados anteriormente se realiza de acuerdo al nivel indicado por la señal habilita entrada (HENT), la cual depende exclusivamente de la señal que define el estado de la tarjeta de la UP respectiva (generada por la UDFC).

Para casos especiales en donde se requiere especificar líneas de control independientes para cada UP, se instalaron interruptores, que deben ser fijados por el usuario. Con ellos se especifica cual de las 3 líneas localizadas en el ducto TF es la que se conducirá a un procesador en particular, con ésto se reduce el número de líneas de interfaz entre unidades de aislamiento

y UPs. Como ejemplo podemos citar la ubicación que se realiza de la línea de reconocimiento de DMA (HLDA1, HLDA2 y HLDA3) a través del interruptor S3. Además, para prevenir posibles cortos circuitos originados por decisiones erróneas por parte del usuario, se instalaron diodos de protección (D1, D2, D3), los cuales evitan cortos circuitos entre dos o tres señales de reconocimiento de DMA realizado por las UPs. Estos componentes adicionales protegerán y conservarán en buen funcionamiento a los procesadores 80386 SX en caso de existir cortos. Lo mismo sucede con la ubicación de las líneas OPVAL1, OPVAL2 y OPVAL3.

Otro aspecto importante de recalcar, es que las líneas de control para los diversos interruptores analógicos y "buffers" requieren demasiada corriente, la cual no puede ser suministrada por un circuito integrado convencional (FANOUT). Con este propósito, se incluyen "buffers" con salida tipo colector abierto, con los cuales se controlan en algunos casos hasta 28 entradas de habilitación (ver el integrado U30 de la Figura 6).

4.3 Aislamiento del voltaje de alimentación

En vista de que las unidades de procesamiento utilizan un solo voltaje de operación (5 Volts), ésta es la única fuente de alimentación a la que se controla su paso hacia la unidad de procesamiento.

Debe recordarse que uno de los propósitos importantes de las unidades de aislamiento es interrumpir la alimentación de voltajes a las tarjetas objetivo así como el aislamiento de las líneas de los ductos AT y TF, de tal forma que sea posible extraer tarjetas dañadas o insertar tarjetas de repuesto sin detener la operación y por tanto el servicio entregado por el sistema.

En la tarjeta diseñada se incluyen 2 transistores (Q_1, Q_2) tipo mosfet conectados en paralelo, los cuales se polarizan por medio del transistor Q_3 , el cual a su vez recibe una señal de control HVOL que depende exclusivamente del estado de operación de la UP respectiva. (Ver Figura 6)

4.4 Unidad de aislamiento dinámico conectada a un procesador principal

Cuando la tarjeta de aislamiento se encuentra vinculada a un procesador principal, su sección de interfáz con el ducto AT operará de tal forma que todas las señales de salida generadas por el procesador principal se verán reflejadas en el ducto AT de la computadora. En cuanto a las entradas del ducto AT hacia el procesador, éstas llegan a todos los procesadores independientemente de su categoría (siempre y cuando se trate de una tarjeta en buen estado). Debemos subrayar que en este modo el procesador vinculado a esta tarjeta de aislamiento es el que lleva el control de todos los periféricos conectados al sistema.

Respecto al ducto tolerante a fallas, su funcionamiento es independiente de la categoría asociada al procesador, siempre y cuando el procesador esté en buen estado. Durante este modo de trabajo se circulan las siguientes señales: reset para el procesador respectivo, la señal de arranque por el autómata de decodificación de operaciones, así como las señales que permiten capturar un resultado válido proveniente del procesador respectivo. Con estas señales el autómata de decodificación de operaciones supervisa el funcionamiento del procesador y cuando determina que éste ha generado información, procede a insertarle estados de espera para que la unidad de detección de fallas pueda tomar datos de los diferentes procesadores y evaluar la consistencia de los mismos. Si no existen errores en los datos, la UDFC envía una señal para que los procesadores continúen sus operaciones. Después de esto se entra en un proceso repetitivo, en el que se detectan datos, se evalúan y se establece la presencia o la ausencia de fallas (decisión tomada por la tarjeta UDFC). En el caso de que no existan fallas el comportamiento de la tarjeta de aislamiento permite realizar las tareas arriba mencionadas, pero en caso de que la UDFC determine la existencia de una falla, esta enviará nuevas señales de categoría y estado a cada unidad de aislamiento, con las cuales se realizará automáticamente el aislamiento del procesador anómalo, impidiendo así que se propaguen los errores o que se infecten los resultados generados por la computadora tolerante a fallas.

Como puede desprenderse, las tarjetas que controlan dinámicamente los aislamientos constituyen una de las partes esenciales de la arquitectura de la computadora tolerante a fallas.

4.5 Unidad de aislamiento dinámico conectada a un procesador redundante

Cuando la UDFC fija este modo de operación a una tarjeta de aislamiento, obligará a ésta para que impida la llegada de líneas de direcciones y control del procesador redundante al ducto PC-AT. Sin embargo, las líneas de entrada (del ducto AT hacia el procesador redundante) se habilitan durante la lectura de datos desde periféricos para que los procesadores redundantes acepten la misma información, realicen el mismo procesamiento y generen los mismos datos que los demás procesadores.

En cuanto al ducto tolerante a fallas, durante este modo de trabajo se comporta de forma análoga al modo de procesador principal para permitir la detección y el diagnóstico de fallas en la UDFC. En caso de que la UDFC identifique una falla en un procesador redundante, enviará las líneas de control necesarias a las unidades de aislamiento para que estas desconecten al procesador anómalo sin importar su categoría de redundante.

4.6 Tarjeta de aislamiento dinámico para UDFCs.

4.6.1 Arquitectura de la tarjeta de aislamiento dinámicos para UDFCs.

Similarmente a la tarjeta de aislamiento dinámico para UPs, la arquitectura de esta tarjeta se puede agrupar en 3 secciones

- Bloque de aislamiento de algunas señales del ducto AT,
- Bloque de aislamiento de líneas del ducto TF,
- Bloque de aislamiento del voltaje de alimentación.

En los siguientes párrafos se explican los detalles de diseño de cada sección, los cuales constituyen a la tarjeta de aislamientos de la unidad central de control y supervisión de la CTF. Se debe recordar que la UDFC lleva el control de toda la electrónica que compone a la computadora, por lo cual de su buen funcionamiento y de su eficiente aislamiento y recuperación ante fallas (este último parcialmente dependiente de la tarjeta de aislamiento) depende la correcta operación del equipo.

A diferencia de las unidades de aislamiento utilizadas por los procesadores 386, las tarjetas de aislamiento para UDFCs conllevan un proceso de inicialización durante el arranque del sistema. Esto debido a la existencia de una UDFC principal y una redundante, de las cuales la principal será el subsistema de mayor responsabilidad de la Computadora Tolerante a Fallas. Particularmente, el diseño se complicó al imponernos el diseño del mismo circuito impreso para ambas UDFCs. Para solucionar tal problema decidimos ofrecer la posibilidad de definir la categoría de la tarjeta (e indirectamente la categoría de la unidad de aislamiento) por medio de interruptores programables, los cuales deben ser fijados por el usuario previamente al inicio de operaciones.

Durante el arranque del sistema el microcontrolador contenido en cada UDFC examina su categoría programada y posteriormente establece las variables requeridas para la inicialización de las unidades de aislamiento. Como quizás se pueda comprender de acuerdo a la explicación anterior, existe un breve lapso de tiempo durante el inicio del sistema en que ambas tarjetas de aislamiento de las UDFCs deben permitir el paso de señales provenientes del ducto pasivo para que estas puedan llegar a las tarjetas objetivo, y de esta forma se realice la inicialización. Para este propósito el diseño de la tarjeta de aislamiento contiene un circuito monoestable, el 74LS122, el cual provee una señal para activar el suministro de energía de la tarjeta durante 3 segundos, además de forzar la categoría redundante en ambas unidades de aislamiento. Después de estos 3 segundos, la señal desaparece, pero previamente a este tiempo cada UDFC ha generado ya las señales de control necesarias para tomar el control de las unidades de aislamiento.

4.6.2 Aislamiento de algunas líneas del ducto AT para UDFCs.

Si bien la UDFC no necesita de las líneas de control contenidas en el ducto AT, como sería en el caso de una UP, es necesario permitir el aislamiento de algunas señales que se utilizan para acceder puertos de control contenidas en la UDFC. Entre algunas de las operaciones que se efectúan a través del ducto AT, se encuentran la lectura de registros de estado y de registro de acción (con el cual se especifica a las UPs el tipo de rutina de interrupción que deben ejecutar por solicitud de la UDFC). Además, por medio de este ducto, la UP

principal actualiza cuando es necesario los registros de estado de la UDFC redundante con información similar a la contenida en la UDFC principal; esta acción es de vital importancia para el caso de que se presenten fallas en la UDFC principal y se produzca por tanto una conmutación a la tarjeta redundante, en tal caso, la nueva UDFC podrá continuar con el control de la computadora debido a que contaba previamente a la falla con información sobre el estado de la arquitectura.

Al igual que con la tarjeta descrita en la sección 4.2, el aislamiento se efectúa por medio de interruptores analógicos, a los cuales se controla dinámicamente por medio de lógica contenida en GALs. En la figura 7 se muestra el diagrama de bloques de la tarjeta y en la figura 8 se presenta su diagrama eléctrico respectivo.

Las líneas del ducto ISA susceptibles de ser aisladas son las siguientes:

- 8 líneas de datos, las menos significativas.
- 9 líneas para direccionamiento de puertos (las menos significativas).
- Las señales de control IOW#, IOR#, AEN.
- 3 líneas de solicitud de interrupción (IRQ12, IRQ14, IRQ15).
- Las alimentaciones de 5 Volts, 12 Volts y tierra.

Los circuitos integrados para el aislamiento de las señales anteriores, son respectivamente, UD15, UD16, UD17, UD18, UD19 y UD20, figura 8.

Como se puede apreciar del diagrama de la figura 8, la densidad de circuitos integrados de esta tarjeta, es menor que la de UPs, debido al número reducido de líneas del ducto AT que se necesitaron en este diseño. De hecho en una de las etapas iniciales del proyecto se consideró excluir el uso del ducto AT; sin embargo, los protocolos de comunicación entre tarjetas así como su diseño y programación se complicaban de sobremanera. Posteriormente incluso se consideró diseñar y construir una sola tarjeta de aislamiento que pudiera ser utilizada tanto por las UPs como por las UDFCs; este diseño estuvo a punto de ser utilizado, por las ventajas evidentes que se conseguirían, sin embargo, debido a que se

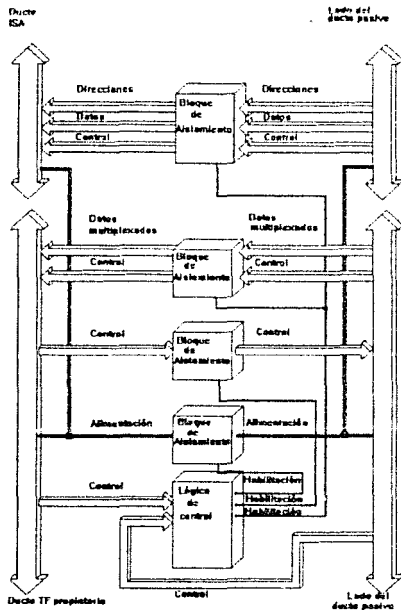
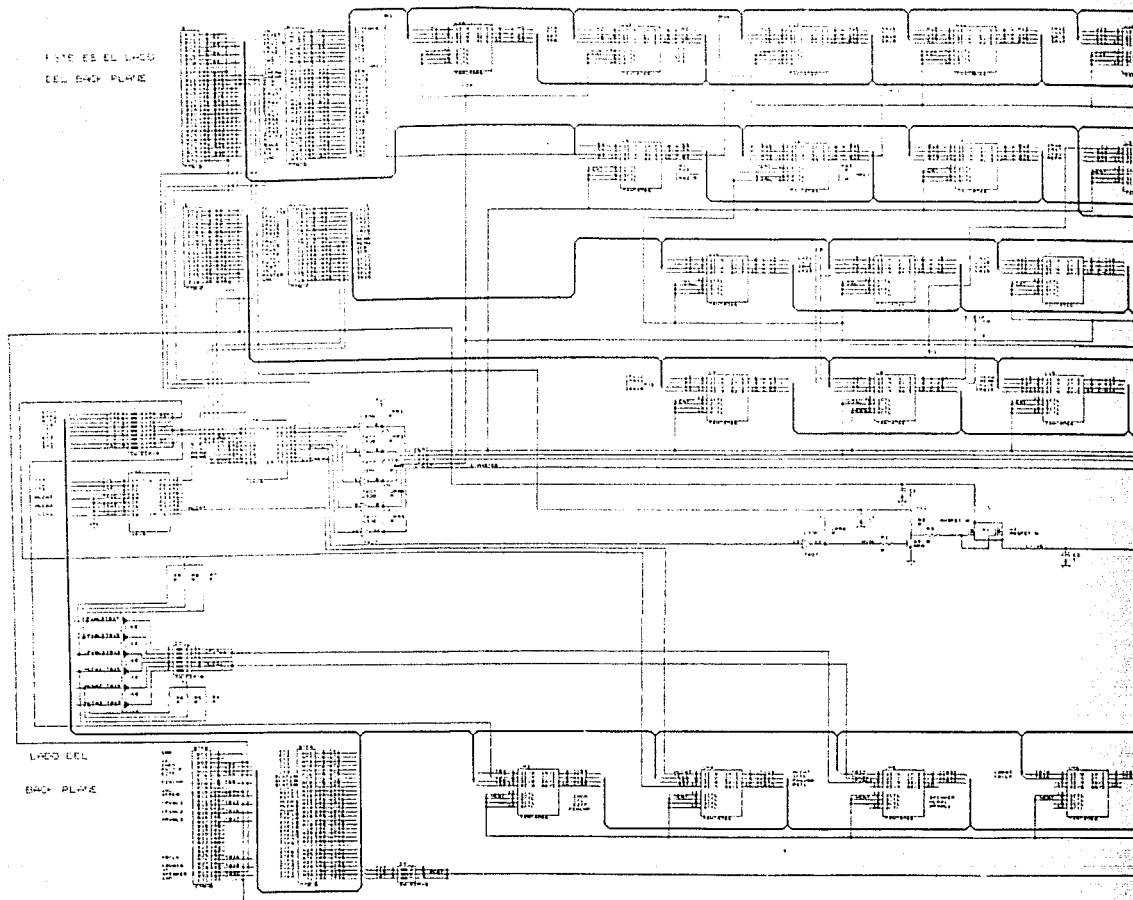


Figura 7.- Diagrama de bloques para tarjeta de Unidad de Aislamiento para UDFCs.

FINE ES EL LINDO
DEL BACK PLANE



LINDO DEL
BACK PLANE

1001	1002	1003	1004	1005	1006	1007	1008	1009	1010	1011	1012	1013	1014	1015	1016	1017	1018	1019	1020	1021	1022	1023	1024	1025	1026	1027	1028	1029	1030	1031	1032	1033	1034	1035	1036	1037	1038	1039	1040	1041	1042	1043	1044	1045	1046	1047	1048	1049	1050	1051	1052	1053	1054	1055	1056	1057	1058	1059	1060	1061	1062	1063	1064	1065	1066	1067	1068	1069	1070	1071	1072	1073	1074	1075	1076	1077	1078	1079	1080	1081	1082	1083	1084	1085	1086	1087	1088	1089	1090	1091	1092	1093	1094	1095	1096	1097	1098	1099	1100
------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------	------

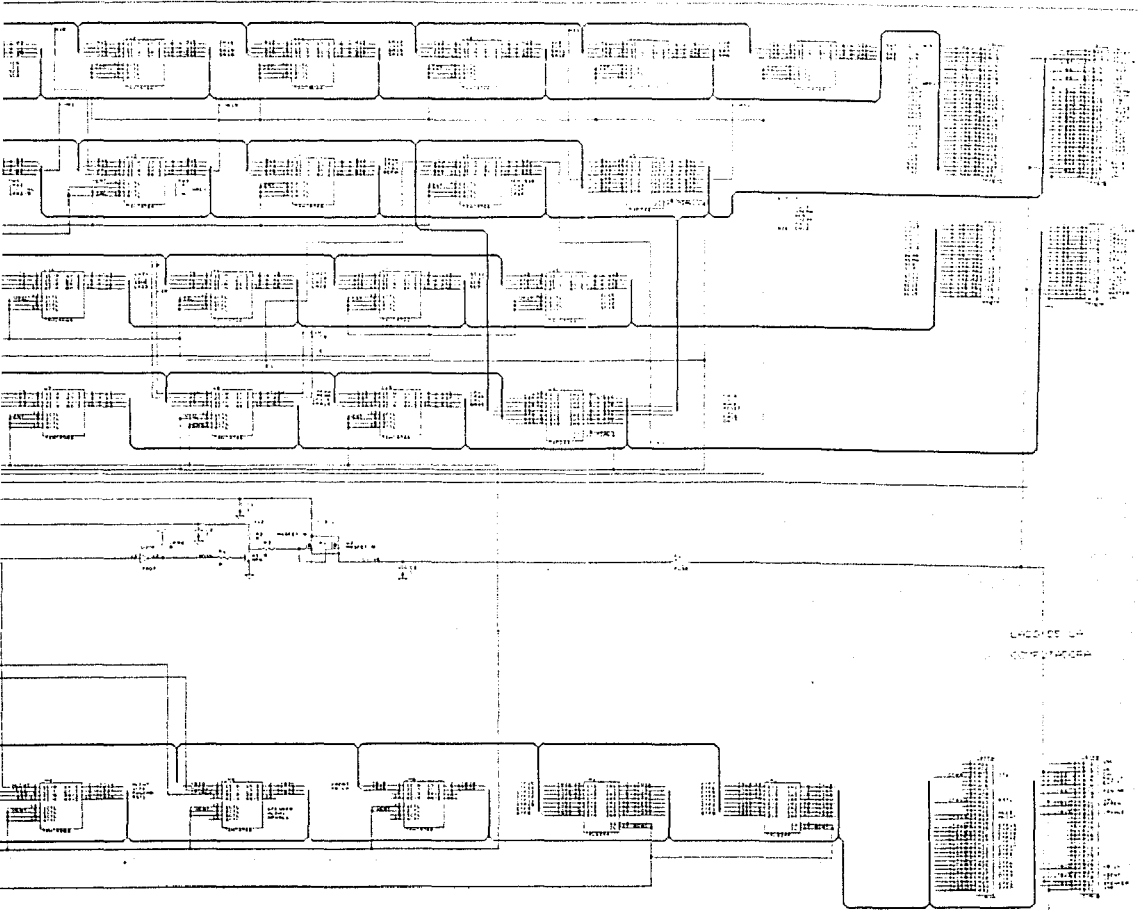


FIGURA 6

debían incluir líneas de control y protocolo para UPs y para UDFCs, la densidad de líneas del circuito impreso, componentes así como la longitud que algunas líneas debían recorrer (lo cual constituiría una fuente de ruido para el diseño) se decidió realizar dos diseños independientes. En este caso se sacrifica la economía del proyecto pero se obtienen beneficios de sencillez y de anulación de posibles fuentes de ruido.

El diseño de la tarjeta UDFC como se ha mencionado tácitamente cae fuera del estudio y el objetivo de la presente tesis, sin embargo, una vez más conviene mencionar algunos de sus detalles para comprender mejor el diseño y la operación de la tarjeta aquí descrita.

Cada UDFC contiene interruptores programables, por medio de los cuales se puede especificar la categoría (principal o redundante) de la tarjeta. Una vez que el microcontrolador de la tarjeta reconoce su categoría procede a ejecutar un programa de acuerdo a su nivel jerárquico; en el caso de la tarjeta principal parte de sus labores contemplan la desactivación de la UDFC redundante así como el establecimiento del modo de operación de respaldo para la unidad de aislamiento de la UDFC redundante.

La UDFC cuenta además con lógica electrónica integrada en GALs y en otros componentes de baja escala de integración, especialmente diseñados para detectar anomalías y fallas en sus diversas partes, entre ellas dos autómatas de alta velocidad, microcontrolador, errores por asignación de categoría, etc. Cuando ocurre alguna de estas situaciones se ordena automáticamente la orden de conmutación de UDFC y por tanto de su respectiva tarjeta de aislamiento. Con este objetivo la lógica de control de la tarjeta de aislamiento (contenida en GALs) recibe las señales pertinentes desde su tarjeta objetivo, éstas se describen a continuación:

En la figura 8 se incluyen a los circuitos integrados UG2 y UG3 con los cuales se reciben las señales de control para la tarjeta objetivo y se emiten las respuestas de control respectivas. Mediante UG2 se detectan errores en la asignación de categorías para UPs en cuyo caso la señal se utiliza para que la UDFC envíe los avisos pertinentes al usuario utilizando para ello la UIM. Con UG2 también se genera una señal de control utilizada por los autómatas de alta velocidad de la UDFC, en este caso OPVALi indica que todas las

UPS del sistema han ejecutado y terminado una instrucción que ha generado datos para ser evaluados.

Con el GAL UG3 se determina la categoría de operación de la tarjeta de aislamiento. Esta línea se genera con las señales generadas por la UDFC principal, entre otras HUAR/P#, 3SVCCIN y UDFCNVA.

Las líneas ACTVCC# y ARQUE se generan como se indica en la tabla 3.

4.6.3 Aislamiento del ducto TF para UDFCs.

Como se ha explicado, la coordinación, sincronización y control de la arquitectura de la CTF depende de la UDFC; también se ha subrayado que uno de los medios imprescindibles para la operación del equipo es el uso de un ducto propietario con el que se facilitó el diseño de diversas tarjetas y por tanto la división de las tareas ejecutadas por el sistema. Es así como se permite la modularidad de las unidades de procesamiento, de las UDFC y de las unidades de aislamiento.

Las ventajas arriba citadas, son grandes, pero a ellas se encuentran vinculados compromisos ineludibles. El ducto propietario, así como el ducto AT deben ser aislados completamente de las tarjetas objetivo en casos de fallas o bien durante labores de mantenimiento preventivo. Por estas razones cada tarjeta de aislamiento contempla la posibilidad de conectar o de interrumpir las líneas del ducto propietario.

En el caso de la UDFC el ducto TF conduce líneas de comunicación y protocolo entre los autómatas de la UDFC y el autómata de las UPs, líneas de "reset" para cada UP, 16 líneas de datos multiplexados provenientes de las UP, señales de control para las diferentes unidades de aislamiento dinámico así como las líneas de protocolo, control y datos para la unidad de Interfaz Múltiple. En condiciones normales de operación todas las señales anteriores provienen o llegan a la UDFC principal, y en casos de falla se produce una conmutación hacia una UDFC y hacia una Unidad de Aislamiento en buen estado.

Se debe recalcar que los diseños generados contemplan la conmutación automática sin pérdida de información desde el punto de vista de las UPs y que el compromiso adverso está constituido por la pérdida del último resultado del voto electrónico. Esto último debido a que al detectarse una falla en UDFC, es imposible (al menos con la arquitectura de los procesadores 80386 comerciales) ordenar la reejecución de una instrucción que ya fue decodificada y almacenada en la cola de instrucciones del procesador.

Los circuitos electrónicos utilizados para efectuar el aislamiento del ducto TF en esta tarjeta son los que aparecen en la figura 8 con las etiquetas UD0 al UD20. La operación de los mismos se controla mediante lógica integrada en GALs como ya se explicó anteriormente.

Las líneas del ducto TF que se aíslan en esta tarjeta son las siguientes:

- Arranque para los autómatas de las UPs (IADO)
- Existencia de dos UPs con falla (E2TF)
- Cambio de UDFC (UDFCNVA1,2)
- Fin exitoso de comparación de datos de las UPs (FINCOM)
- Señal que libera a UPs de estado de espera (QFREN)
- Habilitación de teclado de UIM (HCOL)
- Habilitación de teclado de UIM (HIREN)
- Señal de habilitación para la pantalla LCD contenida en la UIM (HDISPLAY)
- Operación válida en las UPs (OPVALi)
- Ducto de datos de la UIM (DuC0-4)
- Interrupción para conmutar de UDFC (QVCC/PVCC1,2)
- Estado de la tarjeta (ETi)
- Categoría de la tarjeta (CTi)

- Líneas de control para el multiplexaje de datos (BDATi)
- Reset (RESETi)
- Datos multiplexados (DT0-15)
- Señal que inicializa los voltajes de las tarjetas (3SVCCIN)
- Señales que determinan la categoría de la tarjeta (redundante/principal) (HVCC, HUAR/P)

4.6.4 Aislamiento del voltaje de alimentación para UDFC

En cuanto al aislamiento del voltaje de la alimentación para la tarjeta objetivo, también se utilizan un mosfet de potencia (el BUZ 11), el que cuenta con un componente adicional con el propósito de mejorar su confiabilidad operativa. La polarización de este transistor es similar al contenido en la tarjeta de aislamiento para UPs.

Al igual que dicha tarjeta, también cuenta con un fusible en la línea de alimentación de voltaje, el cual será utilizado principalmente durante la etapa de pruebas para validación del equipo.

5 Diseño de los circuitos impresos.

5.1 Introducción

En el penúltimo capítulo se describen las características de un paquete de programación de diseño de circuitos impresos asistido por computadora, así como las técnicas utilizadas para obtener los diferentes negativos de película requeridos para la fabricación de circuitos impresos de alta calidad.

Relacionado con este paquete se mencionan algunas de las características de los diversos archivos generados que constituyen las diversas capas necesarias para la fabricación de cada tarjeta.

También se muestran las impresiones completas de todas las capas que componen a las dos tarjetas diseñadas para esta tesis, haciendo énfasis en algunos de los detalles de diseño.

En el siguiente y último capítulo se discuten los resultados obtenidos en el desarrollo de la presente tesis, se realizan algunas conclusiones y se ofrecen recomendaciones tendientes a mejorar los resultados aquí expuestos.

5.2 Diseño de circuitos impresos asistido por computadora.

Para la realización de los circuitos impresos de las tarjetas descritas se utilizó el paquete denominado TANGO-PCB PLUS, el cual es una herramienta de gran ayuda para el diseño y producción de circuitos impresos. El paquete permite editar archivos que contienen los trazos necesarios para definir las líneas base que conforman a una arquitectura electrónica; una vez realizados los trazos (conforme se incrementa el número de líneas trazadas tiende a incrementar la complejidad para el ruteo de pistas) permite generar archivos tipo "Gerber", "Postscript", y "Epostscript", los cuales constituyen formatos estándares para impresoras laser que ofrecen salidas en película tipo positivo o negativo.

Entre algunas de las características principales del paquete se encuentran la resolución con la cual se pueden elaborar los trabajos, los cuales van desde

el trazo de pistas de una milésima de pulgada hasta las dimensiones máximas manejadas por el paquete, las cuales son 32 pulgadas por 32 pulgadas.

De la aseveración anterior se puede desprender que el paquete demanda gran cantidad de memoria la cual depende directamente del tipo de aplicación por realizar, por lo que el paquete puede utilizarse eficientemente en sistemas con RAM reducida o en aquellos que puedan contener hasta 32 Mbytes, que es la máxima capacidad de memoria que puede manejar el paquete.

También ofrece la posibilidad de realizar circuitos impresos que contegan hasta 23 capas para un mismo circuito, incluyendo la capa de componentes, la capa de soldadura, 8 capas intermedias, planos de alimentación y tierra, máscaras de antisoldado para el lado de componentes y para el lado de soldadura, capa de referencias de componentes y soldadura, capa de perforaciones, etc. Para realizar trazos permite colocar líneas de ancho variable, arcos, círculos, polígonos para el trazo de tierras, etcétera. Adicionalmente, para apoyar las tareas complementarias de edición del impreso, permite escribir textos, la definición de bloques para copiado, rotación, permite la edición de diversas bases para todo tipos de circuitos integrados ya sean convencionales o para montado de superficie. También ofrece la posibilidad de enriquecer su base de datos a través de la edición de nuevas plantillas que se generan durante la realización de nuevos circuitos impresos que contengan circuitos integrados diferentes. Como se puede deducir, el paquete contiene una biblioteca con plantillas de componentes estándares, incluyendo algunos de montado de superficie, los cuales se pueden utilizar durante el proceso de diseño.

Una de las características importantes del paquete tango es permitir la generación de salidas denominadas "nido de ratas", la cual se genera con la información de los circuitos electrónicos esquemáticos generados por el paquete ORCAD.

Esta salida permite visualizar a todos los componentes que integran un circuito impreso junto con todas las conexiones existentes entre ellos; con la ventaja de que el usuario puede modificar la ubicación de cualquier de los componentes y en tiempo real observar las implicaciones de las conexiones generadas de acuerdo a los cambios introducidos. Esta es una de las herramientas más interesantes de este paquete, la cual constituye una ayuda excelente para proceder a elegir las ubicaciones de los diferentes componentes

que impliquen el menor número de cruces en el impreso por desarrollar. En las figuras 9 y 10 se observan la salidas "nido de ratas" para las dos tarjetas diseñadas en esta tesis.

Por medio de las ayudas anteriores se realizaron los diseños de dos circuitos impresos, uno para la tarjeta de aislaminetos dinámicos utilizados por los procesadores de la CTF y otra para las tarjetas de aislamiento dinámico de las Unidades de Detección de Fallas y Control, las cuales se mostrarán enseguida. Una vez realizados los diseños se utilizaron otras herramientas contenidas en el paquete TANGO, entre las cuales se encuentran las reglas para verificar trazos (separaciones mínimas adyacentes), verificación del diseño por medio del reporte generado por el paquete, etcétera.

5.3 Diversas capas que componen a las tarjetas de aislamientos dinámico para UPs y UDFCs.

Los impresos desarrollados en la presente tesis se desarrollaron en dos caras únicamente, la del lado de componentes y la del lado de soldadura. No obstante la alta densidad de pistas involucradas, se decidió recurrir al diseño de dos capas por ventajas económicas y por facilidad de su construcción, debido a que todavía son escasos los fabricantes nacionales que producen trabajos de buena calidad en impresos multicapa.

No obstante que el diseño involucra impresos de dos caras únicamente, para generar impresos de alta calidad es necesario diseñar al menos 6 capas por cada circuito impreso, las cuales son:

- Capa de componentes: Donde van montados los circuitos electrónicos.
- Capa de soldadura: Donde se sueldan los circuitos.
- Capa de referencias: Que son etiquetas de pintura de todos los componentes de la tarjeta.
- Mascara de antisoldado del lado de componentes: Sirve para impedir que la soldadura se propague en lugares indeseados o que pudieran producir cortos circuitos.

- **Mascara de antisoldado del lado de soldadura:** Es el mismo caso mencionado anteriormente.
- **Capa de vías:** Sirve para unir pistas en común entre las dos caras de la tarjeta.

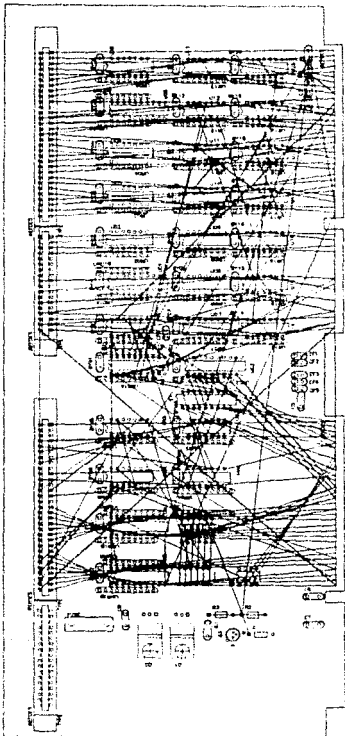


Figura 9.- "Mido de ratas
para tarjeta de
distribución de UPs.

Reducción al 75%.

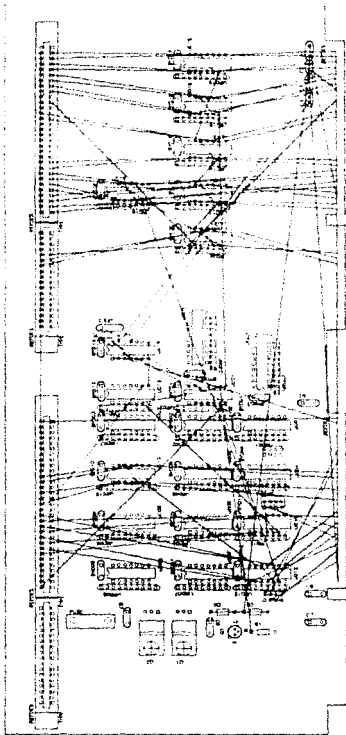


Figura 10.- "Eido de ratas" para tarjeta de aislamiento de DIFCs.

Reducción al 75%.

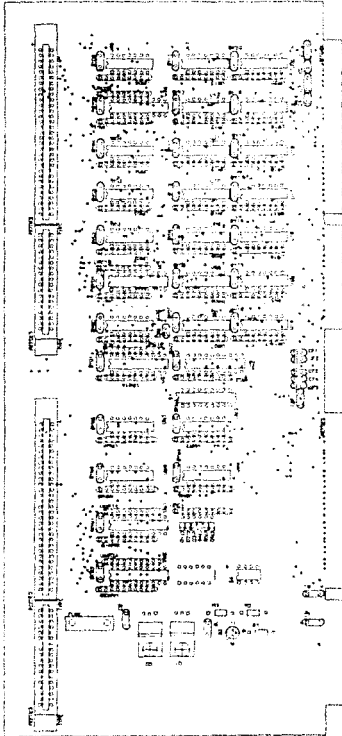


Figura 11.- Capa de referencias
para TA de UPS.

Reducción al 75%.

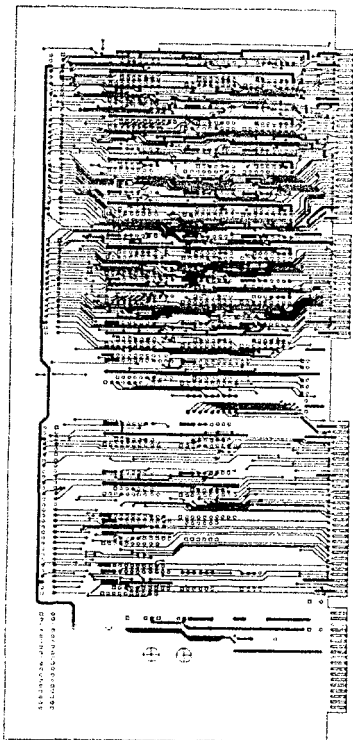


Figura 13.- Capa de soldadura
para TA de UPS.

Reducción al 75%.

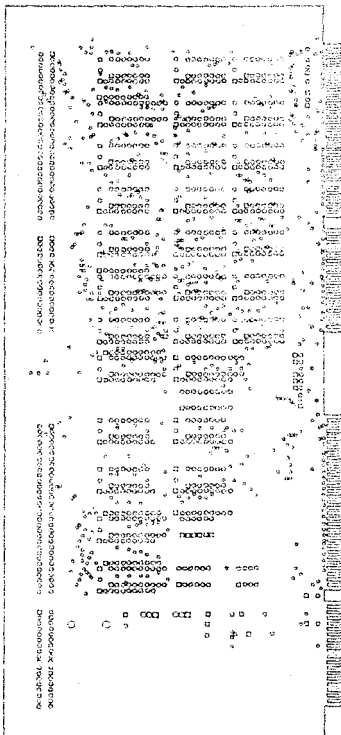


Figura 14.- Máscara de antisolado
para TA de UPe.

Reducción al 75%.

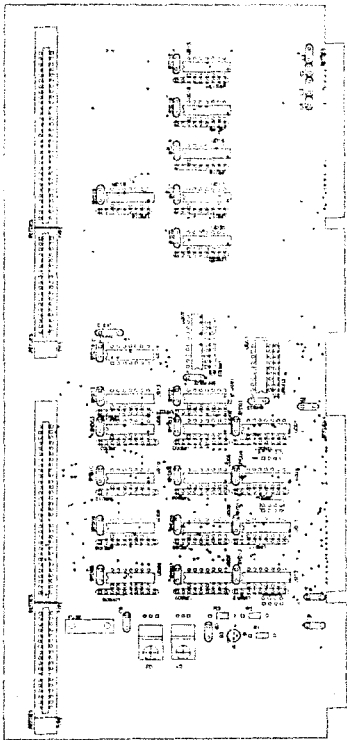


Figura 15.- Capa de referencias
para TA de GDECS.

Reducción al 75%.



Figura 16.- Capa de componentes
para TA de UDPCs.

Publicación al 75%

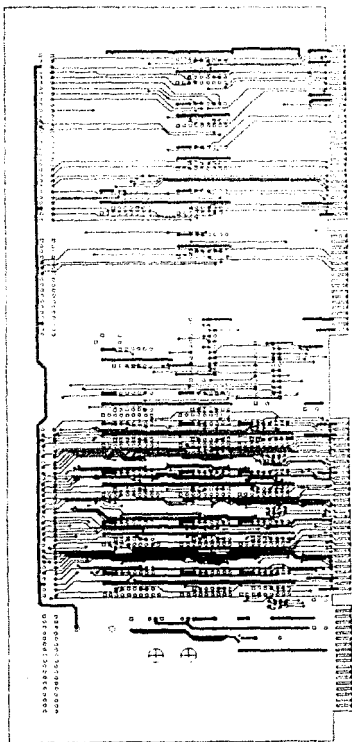


Figura 17.- Capa de soldadura
para TA de UDFOs.

Reducción al 75%.

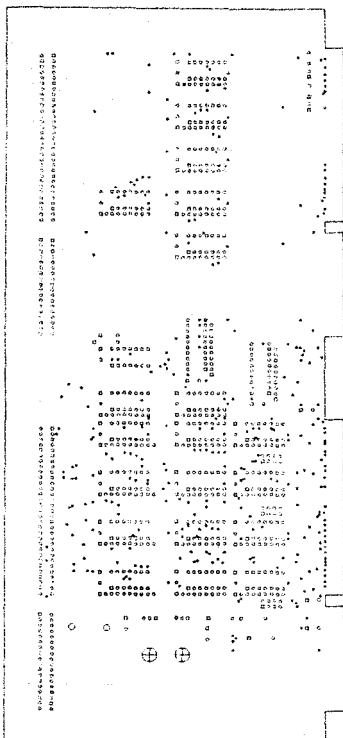


Figura 18.- Máscara de Antisoldado para TA de UPRCs.

Reducción al 75%.

6 Conclusiones y recomendaciones.

6.1 Conclusiones.

Del presente trabajo de tesis podemos realizar las siguientes conclusiones:

- a) Se diseñó la electrónica así como los respectivos circuitos impresos para dos tarjetas que permiten realizar aislamientos de forma dinámica y en tiempo real para dos subsistemas de una computadora con características de redundancias y tolerante a fallas. El trabajo constituye parte del primer intento nacional para construir una computadora de altos índices de confiabilidad orientada a aplicaciones de alto riesgo.
- b) Las tarjetas construidas satisfacen los requerimientos del proyecto de construcción de una computadora tolerante a fallas, desarrollada en el Instituto de Ingeniería. Entre ellos podemos citar la modularidad, la posibilidad de que a través de su uso se pueda realizar al mantenimiento preventivo y correctivo de las tarjetas objetivo de la CTF en línea, (sin la necesidad de desenergizar el equipo ni de detener la ejecución de los programas de control), el poder utilizar las mismas tarjetas para varias tarjetas objetivo con tan solo programar interruptores contenidos en las tarjetas, reducir el número de circuitos impresos diferentes en el sistema, etcétera.
- c) Las tarjetas diseñadas se controlan totalmente mediante lógica electrónica, lo cual permite incrementar la velocidad de respuesta cuando se demande la reconfiguración automática de la arquitectura tolerante a fallas.
- d) La característica de modularidad de las tarjetas diseñadas facilitará las labores de mantenimiento del sistema tolerante a fallas.
- e) Los circuitos impresos se realizaron con dos caras únicamente, lo cual implicó enorme laboriosidad durante su diseño debido a la gran cantidad de pistas integradas, sin embargo repercutió favorablemente en el costo de producción del equipo y asimismo hará posible el mantenimiento correctivo y el reuso de las tarjetas después de aplicarles mantenimiento correctivo.

- f) La lógica de control de las tarjetas elaboradas permite desactivarlas remotamente desde otras tarjetas, para que en caso de presentarse anomalías operativas las tarjetas redundantes procedan a tomar el mando respectivo.
- g) Se utilizó, un programa de diseño asistido por computadora (CAD) para el diseño de los circuitos impresos, lo cual contribuyó a generar un producto de alta calidad.
- h) Las experiencias obtenidas en el desarrollo del presente trabajo se comparten y seguirán difundiendo hacia los nuevos colaboradores del laboratorio de Automatización del Instituto de Ingeniería.
- i) Durante el desarrollo de la tesis y con el objeto de asimilar algunos conocimientos de otras instituciones, se fomentaron las colaboraciones de otras dependencias, entre ellas el Instituto Politécnico Nacional, Motorola, Texas Instruments, etc.
- j) El trabajo expuesto en esta tesis refleja únicamente el tema asignado por el director de la tesis, sin embargo se colaboró intensamente y se obtuvieron experiencias en todo el proceso de diseño y desarrollo de la CTF.
- k) Con el objeto de permitir la expansión de líneas del ducto tolerante a fallas, el diseño previó anexar 36 líneas adicionales, las cuales pueden utilizarse en el momento en que sea requerido. Una vez terminada la validación del sistema TF y en caso de no haberlas requerido se puede prescindir de los conectores respectivos, con lo cual el ducto propietario sería como el que se ha expuesto en esta tesis.
- l) Durante el desarrollo de los impresos con el paquete TANGO, quedó de manifiesto la necesidad de contar con un paquete aún más versátil, principalmente en lo que se refiere en las salidas de archivos, con los cuales hemos tenido problemas para obtener copias íntegras de nuestros diseños en película de alta resolución.

6.2 Recomendaciones.

Para mejorar el trabajo ya expuesto se pueden mencionar las siguientes recomendaciones:

- a) Para reducir el tamaño de las tarjetas diseñadas se sugiere realizar una nueva versión de circuito impreso de tipo multicapa, el cual utilice circuitos integrados de montaje superficial en ambas caras de la tarjeta, con lo cual se obtendrán tarjetas de dimensiones mínimas. Como es de imaginarse el costo de desarrollo y de construcción de esta nueva versión de tarjetas representa mas que nada compromisos económicos, por lo que sería recomendable continuar este desarrollo con mas presupuesto para el proyecto.
- b) En relación con el punto anterior, la reducción del tamaño de las tarjetas sería factible con el uso de un ducto compatible con el ya utilizado pero de mayor capacidad en líneas, por lo cual se hace recomendable el uso del ducto EISA, sólo para el caso en que se desee reducir las dimensiones de las tarjetas y de que se requiera utilizar el sistema TF en aplicaciones críticas que sean sensibles al volumen y al peso del equipo, como en el caso de aplicaciones móviles en general.
- c) Para agilizar y hacer mas eficiente el diseño de circuitos impresos es altamente recomendable contar con un paquete CAD para una estación de trabajo como las que actualmente tiene el laboratorio de automatización. Esto porque en repetidas ocasiones el diseño en CAD requiere de cálculo intensivo, el cual se hace lento aún en PCs 486.

7 Apéndice 1, Lista de Componentes.

PCB Components

TACTF.PCB

Tango-PCB - This is the Header

Ref Designator	Pattern	Type	Value
BY01	CAP200	CAPACITOR	0.1uF
BY02	CAP200	CAPACITOR	0.1uF
BY03	CAP200	CAPACITOR	0.1uF
BY04	CAP200	CAPACITOR	0.1uF
BY05	CAP200	CAPACITOR	0.1uF
BY06	CAP200	CAPACITOR	0.1uF
BY07	CAP200	CAPACITOR	0.1uF
BY08	CAP200	CAPACITOR	0.1uF
BY09	CAP200	CAPACITOR	0.1uF
BY10	CAP200	CAPACITOR	0.1uF
BY11	CAP200	CAPACITOR	0.1uF
BY12	CAP200	CAPACITOR	0.1uF
BY13	CAP200	CAPACITOR	0.1uF
BY14	CAP200	CAPACITOR	0.1uF
BY15	CAP200	CAPACITOR	0.1uF
BY16	CAP200	CAPACITOR	0.1uF
BY17	CAP200	CAPACITOR	0.1uF
BY18	CAP200	CAPACITOR	0.1uF
BY19	CAP200	CAPACITOR	0.1uF
BY20	CAP200	CAPACITOR	0.1uF
BY30	CAP200	CAPACITOR	0.1uF
BYG1	CAP200	CAPACITOR	0.1uF
BYG2	CAP200	CAPACITOR	0.1uF
BYH1	CAP200	CAPACITOR	0.1uF
BYM2	CAP200	CAPACITOR	0.1uF
BYH3	CAP200	CAPACITOR	0.1uF
BYM4	CAP200	CAPACITOR	0.1uF
BYM5	CAP200	CAPACITOR	0.1uF
BYM6	CAP200	CAPACITOR	0.1uF
C1	CAP100	CAPACITOR	10 uF
C2	CAP100	CAPACITOR	0.1 uF
C3	CAP200	CAPACITOR	0.1uF
C4	CAP100	CAPACITOR	0.1uF
C5	CAP200	CAPACITOR	10 uF
C6	CAP200	CAPACITOR	10 uF
C7	CAP200	CAPACITOR	10uF
C8	CAP200	CAPACITOR	10uF
C9	CAP200	CAPACITOR	10uF
CF1	CAP100	CAPACITOR	0.1uF
CF2	CAP100	CAPACITOR	0.1uF
CF3	CAP100	CAPACITOR	0.1uF
CF4	CAP100	CAPACITOR	0.1uF
CF5	CAP100	CAPACITOR	0.1uF
CF6	CAP100	CAPACITOR	
D1	DIODE-350	1N4148	
D2	DIODE-350	1N4148	
D3	DIODE-350	1N4148	
D4	DIODE-350	1N4148	
D5	DIODE-350	1N4148	
D6	DIODE-350	1N4148	

PCB Components

TACTF.PCB

Tango-PCB - This is the Header

Ref	Designator	Pattern	Type	Value
E	CA	CA	CONNECTOR EX	
E	CB	CB	CONNECTOR EX	
E	CBTFA	CBTFA	CONNECTOR EX	
E	CBTFB	CBTFB	CONNECTOR EX	
E	CC	CC	CONNECTOR EX	
E	CD	CD	CONNECTOR EX	
EDG	A	A	CONNECTOR	
EDG	B	B	CONNECTOR	
EDG	BTFA	BTFA	CONNECTOR	
EDG	BTFB	BTFB	CONNECTOR	
EDG	C	C	CONNECTOR	
EDG	D	D	CONNECTOR	
FUSE	FUSE	FUSE	FUSIBLE	3 A
Q1	TO220H	TO220H	MOSFET N	BUZ 11
Q2	TO220H	TO220H	MOSFET N	BUZ 11
Q3	TO-18	TO-18	NPN	2N2222A
R1	RES400	RES400	RESISTENCIA	200 K
R2	RES400	RES400	RESISTENCIA	5.9 K
R3	RES400	RES400	RESISTENCIA	56 K
S1	DIP18	DIP18	DIP SWITCH	
S3	DIP-12	DIP-12	DIP SWITCH	
S4	DIP8	DIP8	DIP SWITCH	
U01	DIP20	DIP20	74F244	
U02	DIP14	DIP14	74HC4066	
U03	DIP14	DIP14	74HC4066	
U04	DIP14	DIP14	74HC4066	
U05	DIP20	DIP20	74F244	
U06	DIP14	DIP14	74HC4066	
U07	DIP14	DIP14	74HC4066	
U08	DIP14	DIP14	74HC4066	
U09	DIP14	DIP14	74HC4066	
U10	DIP14	DIP14	74HC4066	
U11	DIP14	DIP14	74HC4066	
U12	DIP14	DIP14	74HC4066	
U13	DIP14	DIP14	74HC4066	
U14	DIP14	DIP14	74HC4066	
U15	DIP14	DIP14	74HC4066	
U16	DIP14	DIP14	74HC4066	
U17	DIP14	DIP14	74HC4066	
U18	DIP14	DIP14	74HC4066	
U19	DIP14	DIP14	74HC4066	
U20	DIP14	DIP14	74HC4066	
U30	DIP14	DIP14	7A07	
UG1	DIP20	DIP20	GAL16V8	
UG2	DIP20	DIP20	GAL16V8	
UM1	DIP20	DIP20	74LS244	
UM2	DIP20	DIP20	74LS244	
UM3	DIP14	DIP14	74HC4066	
UM4	DIP14	DIP14	74HC4066	
UM5	DIP14	DIP14	74HC4066	

PCB Components

TACTF.PCB

Tango-PCB - This is the Header

Ref Designator	Pattern	Type	Value
UM6	DIP14	74HC4066	
UMR1A	SIP10	BANC RES	10 K
UMR1B	SIP10	BANC RES	10 K
UMR2A	SIP10	BANC RES	10 K
UMR2B	SIP10	BANC RES	10 K
UMR3	SIP10	BANC RES	10 K
UR01A	SIP9	BANC RES	10 K
UR01B	SIP9	BANC RES	10 K
UR02	SIP9	BANC RES	10 K
UR03	SIP9	BANC RES	10 K
UR04	SIP9	BANC RES	10 K
UR05A	SIP9	BANC RES	10 K
UR05B	SIP9	BANC RES	10 K
UR06	SIP9	BANC RES	10 K
UR07	SIP9	BANC RES	10 K
UR08	SIP9	BANC RES	10 K
UR09	SIP9	BANC RES	10 K
UR10	SIP9	BANC RES	10 K
UR11	SIP9	BANC RES	10 K
UR12	SIP9	BANC RES	10 K
UR13	SIP9	BANC RES	10 K
UR14	SIP9	BANC RES	10 K
UR15	SIP9	BANC RES	10 K
UR16	SIP9	BANC RES	10 K
UR17	SIP9	BANC RES	10 K
UR18	SIP9	BANC RES	10 K
UR19	SIP9	BANC RES	10 K
UR20	SIP9	BANC RES	10 K
UR30	SIP9	BANC RES	1 K
URD1	SIP10	BANC RES	10 K
URG1A	SIP10	BANC RES	10 K
URG1B	SIP10	BANC RES	10 K
URG2	SIP10	BANC RES	10 K
URM4	SIP10	BANC RES	10 K
URM5	SIP10	BANC RES	10 K
URM6	SIP10	BANC RES	10 K

Tango-PCB - This is the Header

Ref Designator	Pattern	Type	Value
BYD01	CAP200	CAPACITOR	0.1uF
BYD02	CAP200	CAPACITOR	0.1uF
BYD03	CAP200	CAPACITOR	0.1 uF
BYD04	CAP200	CAPACITOR	0.1uF
BYD05	CAP200	CAPACITOR	0.1uF
BYD06	CAP200	CAPACITOR	0.1 uF
BYD07	CAP200	CAPACITOR	0.1uF
BYD08	CAP200	CAPACITOR	0.1uF
BYD09	CAP200	CAPACITOR	0.1uF
BYD10	CAP200	CAPACITOR	0.1uF
BYD11	CAP200	CAPACITOR	0.1uF
BYD12	CAP200	CAPACITOR	0.1uF
BYD13	CAP200	CAPACITOR	0.1uF
BYD14	CAP200	CAPACITOR	0.1uF
BYD15	CAP200	CAPACITOR	0.1uF
BYD16	CAP200	CAPACITOR	0.1uF
BYD17	CAP200	CAPACITOR	0.1uF
BYD18	CAP200	CAPACITOR	0.1uF
BYD19	CAP200	CAPACITOR	0.1uF
BYD20	CAP200	CAPACITOR	0.1uF
BYD21	CAP200	CAPACITOR	0.1uF
BYG03	CAP200	CAPACITOR	0.1uF
BYUG02	CAP200	CAPACITOR	0.1uF
C EXT	CAP100	CAPACITOR	33 uF
C1	CAP200	CAPACITOR	10uF
C2	CAP100	CAPACITOR	0.1uF
C3	CAP200	CAPACITOR	10uF
C4	CAP100	CAPACITOR	0.1uF
C5	CAP200	CAPACITOR	10uF
C6	CAP200	CAPACITOR	10uF
C7	CAP200	CAPACITOR	10uF
C8	CAP200	CAPACITOR	10uF
C9	CAP200	CAPACITOR	10uF
E CA	CA	CONNECTOR EX	
E CB	CB	CONNECTOR EX	
E CBTFA	CBTFA	CONNECTOR EX	
E CBTFB	CBTFB	CONNECTOR EX	
E CC	CC	CONNECTOR	
E CD	CD	CONNECTOR	
EDG A	A	CONNECTOR	
EDG B	B	CONNECTOR	
EDG BTFA	BTFA	CONNECTOR	
EDG BTFB	BTFB	CONNECTOR	
EDG C	C	CONNECTOR	
EDG D	D	CONNECTOR	
FUSE	FUSE	FUSIBLE	J A
Q1	TO220H	MOSFET N	BUZ 11
Q2	TO220H	MOSFET N	BUZ 11
Q3	TO-18	NPN	2N2222A
R1	RES400	RESISTENCIA	56 K

PCB Components

AUDFC.PCB

Tango-PCB - This is the Header

Ref Designator	Pattern	Type	Value
R2	RES400	RESISTENCIA	5.9 K
R3	RES400	RESISTENCIA	56 K
R4	RES400	RESISTENCIA	220 K
S1	JMP8	JUMPER	
S2	JMP8	JUMPER	
S3	JMP8	JUMPER	
UD01	DIP14	74HC4066	
UD02	DIP14	74HC4066	
UD03	DIP14	74HC4066	
UD04	DIP14	74HC4066	
UD05	DIP14	74HC4066	
UD06	DIP14	74HC4066	
UD07	DIP14	74HC4066	
UD08	DIP14	74HC4066	
UD09	DIP14	74HC4066	
UD10	DIP14	74HC4066	
UD11	DIP14	74HC4066	
UD12	DIP14	74HC4066	
UD13	DIP14	74HC4066	
UD14	DIP14	74LS122	
UD15	DIP14	74HC4066	
UD16	DIP14	74HC4066	
UD17	DIP14	74HC4066	
UD18	DIP14	74HC4066	
UD19	DIP14	74HC4066	
UD20	DIP14	74HC4066	
UD21	DIP14	7406	
UG02	DIP20	GALL16V8	
UG03	DIP20	GALL16V8	
URD01	SIP9	BANC RES	10 K
URD02	SIP9	BANC RES	10 K
URD03	SIP10	BANC RES	10 K
URD04	SIP9	BANC RES	10 K
URD05	SIP9	BANC RES	10 K
URD06	SIP10	BANC RES	10 K
URD07	SIP9	BANC RES	10 K
URD08	SIP10	BANC RES	10 K
URD09	SIP9	BANC RES	10 K
URD10	SIP10	BANC RES	10 K
URD11	SIP9	BANC RES	10 K
URD12	SIP9	BANC RES	10 K
URD13	SIP9	BANC RES	10 K
URD14	SIP9	BANC RES	10 K
URD15	SIP9	BANC RES	10 K
URD16	SIP9	BANC RES	10 K
URD17	SIP9	BANC RES	10 K
URD18	SIP9	BANC RES	10 K
URD19	SIP9	BANC RES	10 K
URD20	SIP9	BANC RES	10 K
URD21	SIP9	BANC RES	1 K
URG02	SIP10	BANC RES	10 K

PCB Component#

AUDFC.PCB

Tango-PCB - This is the Header

Ref Designator	Pattern	Type	Value
URG03	SIP10	BANC RES	10 K

8 Apéndice 2, Hoja de Especificaciones

GAL^{16V8} SPECIFICATIONS

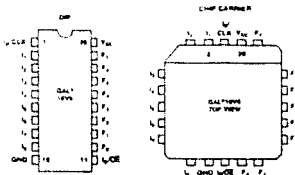
JAVIOTIAN

ABSOLUTE MAXIMUM RATINGS

Supply voltage V_{CC} -5 to +7V
 Input voltage applied -2.5 to $V_{CC} + 1.0V$
 Off-state output voltage applied -2.5 to $V_{CC} + 1.0V$
 Storage temperature -65 to 125°C

1 Stresses above those listed under the "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress only ratings and functional operation of the device at these or at any other conditions above those indicated in the operational sections of this specification is not implied (while programming, follow the programming specifications).

PIN CONFIGURATION



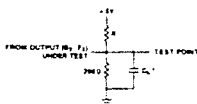
OPERATING RANGE

SYMBOL	PARAMETER	TEMPERATURE RANGE									UNIT
		MILITARY			INDUSTRIAL			COMMERCIAL			
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
V_{CC}	Supply voltage	4.5	5	5.5	4.5	5	5.5	4.75	5	5.25	V
T_A	Ambient temperature				-40		85	0		75	°C
T_C	Case temperature	-55		125							°C

SWITCHING TEST CONDITIONS

Input Pulse Levels	GND to 3.0V
Input Rise and Fall Times	3ns 10% - 90%
Input Timing Reference Levels	1.5V
Output Timing Reference Levels	1.5V
Output Load	See Figure

3-state levels are measured 0.5V from steady-state active level.



*C_L INCLUDES JIG AND PROBE TOTAL CAPACITANCE

CAPACITANCE ($T_A = 25^\circ C$, $f = 1.0$ MHz)

SYMBOL	PARAMETER	MAXIMUM*	UNITS	TEST CONDITIONS
C_i	Input Capacitance	12	pF	$V_{CC} = 5.0V, V_i = 2.0V$
C_o	Output Capacitance	15	pF	$V_{CC} = 5.0V, V_o = 2.0V$
C_b	Bidirectional Pin Cap	15	pF	$V_{CC} = 5.0V, V_b = 2.0V$

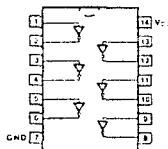
*Guaranteed but not 100% tested.

54/7406
HEX INVERTER BUFFER/DRIVER
 (With Open-Collector High-Voltage Output)

ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		V _{CC} = +5.0 V ±5%, T _A = 0°C to +70°C	V _{CC} = +5.0 V ±10%, T _A = -55°C to -125°C	
Plastic DIP (P)	A	7406PC		9A
Ceramic DIP (D)	A	7406DC	5406DM	6A
Flatpak (F)	A	7406FC	5406FM	31

CONNECTION DIAGRAM
PINOUT A



INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PINS	54/74 (U.L.) HIGH/LOW
Inputs	10:10
Outputs	OC ¹ :10

DC AND AC CHARACTERISTICS: See Section 3

SYMBOL	PARAMETER	54/74		UNITS	CONDITIONS	
		Min	Max			
V _{OL}	Output LOW Voltage	XC	0.7	V	I _{OL} = 40 mA	V _{CC} = Min V _{IN} = V _{OH}
		XM	0.7		I _{OL} = 30 mA	
		XC, XM	0.4		I _{OL} = 16 mA	
I _{OH}	Output HIGH Current		0.25	mA	V _{OH} = 20 V, V _{CC} = Min V _{IN} = V _L	
I _{COH}	Power Supply Current		48	mA	V _{IN} = Gnd	V _{CC} = Max
I _{CCL}			51		V _{IN} = Open	
t _{PLH} t _{PHL}	Propagation Delay		15 20	ns	Fig. 3-2 3-4	

ESTA TESIS NO DEBE
SALIR DE LA BIBLIOTECA

54/7407

HEX BUFFER/DRIVER

(With Open-Collector High-Voltage Output)

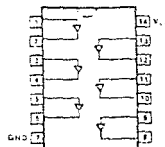
ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		V _{CC} = +5.0 V ±5%, T _A = 0°C to +70°C	V _{CC} = +5.0 V ±10%, T _A = -55°C to +125°C	
Plastic DIP (P)	A	7407PC		9A
Ceramic DIP (D)	A	7407DC	5407DM	6A
Flatpak (F)	A	7407FC	5407FM	3I

INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PINS	54/74 (U.L.) HIGH/LOW
Inputs	10/10
Outputs	OC**/10

CONNECTION DIAGRAM
PRODUCT A



DC AND AC CHARACTERISTICS: See Section 3*

SYMBOL	PARAMETER	54/74		UNITS	CONDITIONS
		Min	Max		
V _{OL}	Output LOW Voltage	XC	0.7	V	I _{OL} = 40 mA V _{CC} = Min V _{IN} = V _{OL}
		XM	0.7		
		XC, XM	0.4		
I _{OH}	Output HIGH Current		0.25	mA	V _{OH} = 30 V, V _{CC} = Min, V _{IN} = V _{OH}
I _{CC}	Power Supply Current		41	mA	V _{IN} = C _{open} V _{CC} = Max
I _{CC}			22	mA	V _{IN} = GND
t _{PLH}	Propagation Delay		10	ns	Fig. 2-2, 2-3
t _{PHL}			20		

54/74122

RETRIGGERABLE RESETTABLE MULTIVIBRATOR

DESCRIPTION — The 122 features positive and negative dc level triggering inputs, complementary outputs, an optional 10 k Ω internal timing resistor and an overriding Direct Clear (C_D) input. When the circuit is in the quasi-stable (delay) state, another trigger applied to the inputs (per Truth Table) will cause the delay period to start again, without disturbing the outputs. The process can be repeated indefinitely and thus the output pulse period (Q HIGH, Q LOW) can be made as long as desired. Alternatively, a delay period can be terminated by a LOW signal applied to C_D, which also prevents triggering. An internal connection from C_D to the input gate makes it possible to trigger the circuit by a positive-going signal on C_D, as shown in the Truth Table. For timing capacitor values greater than 1000 pF, the output pulse width is defined as follows:

$$t_w = 0.32 R_s C_s (1.9 - 0.7 R_s)$$

where t_w is in ns, R_s is in k Ω and C_s is in pF

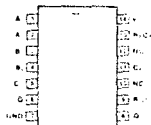
ORDERING CODE: See Section 8

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		V _{CC} = +5.0 V \pm 5%, T _A = 0°C to +70°C	V _{CC} = +5.0 V \pm 10%, T _A = -55°C to +125°C	
Plastic DIP (P)	A	74122FC		9A
Ceramic DIP (D)	A	74122DC	54122DM	6A
Flatpak JF	A	74122FC	54122FJ	3J

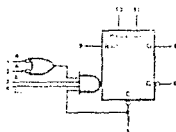
INPUT LOADING/FAIR-OUT: See Section 8 for U.L. definitions

PIN NAMES		DESCRIPTION	54/74 (U.L.) HIGH/LOW
1	A ₊	Trigger Inputs: Active Falling Edge	10/10
2	B ₊	Trigger Inputs: Active Rising Edge	10/10
3	C _D	Direct Clear Inputs: Active LOW	0/2.0
4	Q	Output	20/10

CONNECTION DIAGRAM PINOUT A



LOGIC SYMBOL



V_{CC} = Pin 8
GND = Pin 7
NC = Pins 9, 10, and 12

TRIGGERING TRUTH TABLE

INPUTS					RESPONSE
\bar{C}_2	\bar{A}_1	A_1	B_1	B_2	
L	X	X	X	X	No Trigger
X	X	L	X	X	No Trigger
X	X	X	L	X	No Trigger
H	X	H	H	H	Trigger
X	X	X	X	L	No Trigger
X	H	H	X	X	No Trigger
H	L	X	X	H	Trigger
X	L	X	H	H	Trigger

H = HIGH Voltage Level
 L = LOW Voltage Level
 X = Indeterminate
 Input pins 1 and 2 are indicators
 (NOTHING SHOULD BE AT INPUT PINS 3 AND 4)

PULSE WIDTH vs. B₁ AND C₂

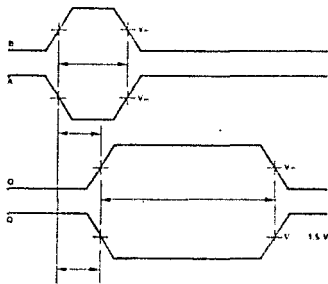
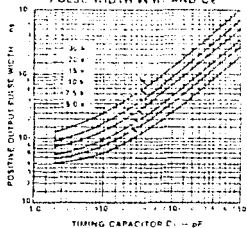


Fig. 8

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	54/74		UNITS	CONDITIONS
		Min	Max		
I_{DS}	Output Short Circuit Current	-10	-40	mA	$V_{CC} = \text{Max}$
I_{CC}	Power Supply Current		26	mA	$V_{CC} = \text{Max}$

AC CHARACTERISTICS: $V_{CC} = +5.0 \text{ V}$, $T_A = +25^\circ \text{C}$ (See Section 3 for waveforms and load configurations)

SYMBOL	PARAMETER	54/74		UNITS	CONDITIONS
		$C_L = 15 \text{ pF}$ $R_L = 400 \Omega$			
		Min	Max		
t_{PDH}	Propagation Delay B to Q		26	ns	$C_x = 0 \text{ pF}$, $R_x = 5 \text{ k}\Omega$ Fig. 3-1, Fig. 3
t_{PLH}	Propagation Delay \bar{A}_n to Q		33	ns	
t_{PHL}	Propagation Delay B to \bar{Q}		30	ns	
t_{PLH}	Propagation Delay \bar{A}_n to \bar{Q}		40	ns	
t_{PLH}	Propagation Delay \bar{C}_0 to Q		40	ns	$C_x = 0 \text{ pF}$, $R_x = 5 \text{ k}\Omega$ Figs. 3-1, 3-10
t_{PHL}	Propagation Delay C_0 to \bar{Q}		27	ns	
t_{width}	Pulse Width at Q with Zero Timing Capacitor		65	ns	$C_x = 0 \text{ pF}$, $R_x = 5 \text{ k}\Omega$ Fig. 3-1, Fig. 3
t_{width}	Pulse Width with External Timing Components	3.08	3.76	μs	$C_x = 1000 \text{ pF}$, $R_x = 10 \text{ k}\Omega$ Figs. 3-1, Fig. 3

AC OPERATING REQUIREMENTS: $V_{CC} = +5.0 \text{ V}$, $T_A = +25^\circ \text{C}$

SYMBOL	PARAMETER	54/74		UNITS	CONDITIONS
		Min	Max		
t_{tr}	Trigger Pulse Width		40	ns	Over-Operation Area and Temperature Range
t_{tr}	External Timing Resistor	V_F	5.0	ns	
		X_{TR}	2.0	20	
t_{tr}	External Timing Capacitor	See Restrictions		pF	



MM54HC4066/MM74HC4066 Quad Analog Switch

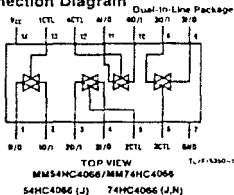
General Description

These devices are digitally controlled analog switches utilizing microCMOS Technology, 3.5 micron silicon gate P-well CMOS. These switches have low "on" resistance and low "off" leakage. They are bidirectional switches, thus any analog input may be used as an output and vice versa. Also the 4066 switches contain linearization circuitry which lowers the "on" resistance and increases switch linearity. The 4066 devices allow control of up to 12V (peak) analog signals with digital control signals of the same range. Each switch has its own control input which disables each switch when low. All analog inputs and outputs and digital inputs are protected from electrostatic damage by diodes to V_{CC} and ground.

Features

- Typical switch enable time: 15 ns
- Wide analog input voltage range: 0-12V
- Low "on" resistance: 30 Ω (4066)
- Low quiescent current: 60 μ A maximum (74HC)
- Matched switch characteristics
- Individual switch control

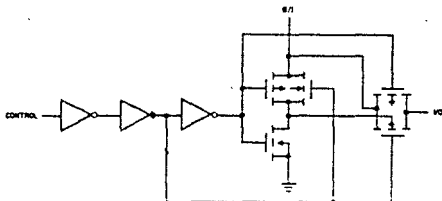
Connection Diagram



Truth Table

Input	Switch
CTL	I/O-O/I
L	"OFF"
H	"ON"

Schematic Diagram



Absolute Maximum Ratings (Notes 1 & 2)

Supply Voltage (V_{CC})	-0.5 to +15V
DC Control Input Voltage (V_{in})	-1.5 to $V_{CC} + 1.5V$
DC Switch I/O Voltage (V_{IO})	$V_{CC} - 0.5$ to $V_{CC} + 0.5V$
Clamp Diode Current ($I_{in, Iout}$)	± 20 mA
DC Output Current per pin (I_{out})	± 25 mA
DC V_{CC} or GND Current per pin (I_{CC})	± 50 mA
Storage Temperature Range (T_{Stg})	-65°C to +150°C
Power Dissipation (P_D) (Note 3)	500 mW
Lead Temperature (T_L) (Soldering 10 seconds)	260°C

Operating Conditions

	Min	Max	Units
Supply Voltage (V_{CC})	2	12	V
DC Input or Output Voltage ($V_{in, Vout}$)	0	V_{CC}	V
Operating Temperature Range (T_A)			
MMS5HC	-40	+65	°C
MMS5HC	-55	+125	°C
Input Rise or Fall Times (t_r, t_f)			ns
$V_{CC} = 2.0V$		1000	ns
$V_{CC} = 4.5V$		500	ns
$V_{CC} = 9.0V$		400	ns

DC Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	V_{CC}	$T_A = 25^\circ C$			Units
				Typ	74HC $T_A = -40$ to $85^\circ C$	64HC $T_A = -55$ to $125^\circ C$	
V_{IH}	Minimum High Level Input Voltage		2.0V	1.5	1.5	1.5	V
			4.5V	3.15	3.15	3.15	V
			6.0V	4.5	4.5	4.5	V
			12.0V	8.4	8.4	8.4	V
V_{IL}	Maximum Low Level Input Voltage		2.0V	0.3	0.3	0.3	V
			4.5V	0.9	0.9	0.9	V
			6.0V	1.8	1.8	1.8	V
			12.0V	2.4	2.4	2.4	V
R_{ON}	Maximum "ON" Resistance (See Note 5)	$V_{OH} = V_{OH}(I_{OH}) = 1.0$ mA $V_{IS} = V_{CC}$ to GND (Figure 1)	4.5V	18 Ω			Ω
			6.0V	50			Ω
			9.0V	30			Ω
			12.0V	20			Ω
		$V_{OL} = V_{OL}(I_{OL}) = 1.0$ mA $V_{IS} = V_{CC}$ or GND (Figure 2)	2.0V	12 Ω			Ω
			4.5V	50			Ω
			6.0V	25			Ω
			12.0V	20			Ω
R_{OV}	Maximum "OFF" Resistance Matching	$V_{OH} = V_{OH}$ $V_{IS} = V_{CC}$ to GND	4.5V	10			Ω
			6.0V	5			Ω
			12.0V	5			Ω
I_{in}	Maximum Control Input Current	$V_{in} = V_{CC}$ or GND $V_{CC} = 2-6V$		± 0.1	± 1.0	± 1.0	μA
I_{LZ}	Maximum Switch "OFF" Leakage Current	$V_{OH} = V_{CC}$ or GND $V_{IS} = GND$ or V_{CC} $V_{OH} = V_{OL}$ (Figure 2)	5.5V	10			μA
			6.0V	15			μA
			12.0V	20			μA
I_{LZ}	Maximum Switch "ON" Leakage Current	$V_{OH} = V_{CC}$ or GND $V_{OH} = V_{in}$ (Figure 2)	5.5V	10			μA
			6.0V	15			μA
			12.0V	20			μA
I_{CC}	Maximum Quiescent Supply Current	$V_{in} = V_{CC}$ or GND $I_{OUT} = 0$ mA	5.5V	2.0	2.0	4.0	μA
			6.0V	6.0	6.0	15.0	μA
			12.0V	16.0	16.0	32.0	μA

Note 1: Absolute Maximum Ratings are those values beyond which damage to the device may occur.

Note 2: Unless otherwise specified all voltages are referenced to ground.

Note 3: Power Dissipation (maximum power) is limited by the package: 12 μW /mm² for 85°C (standard), package -12 μW /mm² for 125°C.

Note 4: For a power supply of 5V $\pm 10\%$ the worst case resistance (R_{ON}) occurs for $V_{OH} = 1.0$ mA and $V_{IS} = 1.5V$ and for $V_{OL} = 1.0$ mA and $V_{IS} = 3.15V$. The worst case leakage current (I_{LZ}) occurs for $V_{OH} = 1.0$ mA and $V_{IS} = 3.15V$ or $V_{OL} = 1.0$ mA and $V_{IS} = 1.5V$. The worst case quiescent current (I_{CC}) occurs for $V_{in} = V_{CC}$ and $I_{OUT} = 0$ mA.

Note 5: All supply voltages (V_{CC}) are applicable to the entire range of operating temperatures unless otherwise specified. These values are recommended for these devices only. Do not use other supply voltages.

AC Electrical Characteristics

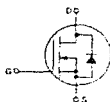
$V_{CC} = 2.0V - 6.0V$, $V_{EE} = 0V - 6V$, $C_L = 50$ pF (unless otherwise specified)

Symbol	Parameter	Conditions	V_{CC}	$T_A = 25^\circ C$		$T_A = -55$ to $85^\circ C$		$T_A = -65$ to $125^\circ C$		Units
				Typ						
t_{PLH} , t_{PLH}	Maximum Propagation Delay Switch In to Out		2.0V	25	50					ns
			4.5V	5	10	13	15	ns		
			9.0V	4	8	10	12	ns		
			12.0V	3	7	9	11	ns		
t_{PHL} , t_{PHL}	Maximum Switch Turn "ON" Delay	$R_L = 1$ k Ω	2.0V	32	60	100	120	ns		
			4.5V	8	16	20	24	ns		
			9.0V	6	14	18	21	ns		
			12.0V	5	12	15	18	ns		
t_{PLL} , t_{PLL}	Maximum Switch Turn "OFF" Delay	$R_L = 1$ k Ω	2.0V	45	150	187	220	ns		
			4.5V	15	30	38	45	ns		
			9.0V	10	20	25	30	ns		
			12.0V	8	16	20	24	ns		
f_{SW}	Minimum Switch Frequency Response		4.5V	100				MHz		
	20log(V _o /V _i) = 3 dB		9.0V	120				MHz		
	Cross Talk Control In Switch	(Figure 7)	4.5V	100				mV/gp		
	Cross Talk Between Any Two Switches (Frequency at -50 dB)	(Figure 8)	4.5V					MHz		
	Crossstalk Switch Input to Switch Output (Frequency at -50 dB)							MHz		
C_{IN}	Maximum Control Input Capacitance			5	12	10	10	pF		
C_{IN}	Maximum Switch Input Capacitance	Input		15				pF		
C_{IN}	Maximum Feedthrough Capacitance	$V_{CTL} = GND$		5				pF		

Power Field Effect Transistor N-Channel Enhancement Mode Silicon Gate TMS

These TMS III Power FETs are designed for low voltage, high speed, low loss power switching applications such as switching regulators, converters, motor and audio drivers.

- Silicon Gate for Fast Switching Speeds
- Low $V_{GS(th)}$ — 0.6 V max with V_{DS} 0 V
- Rugged — 20 A, 10 Power Transistors Switched
- Source-to-Drain ESD Characterized for Use With Inductive Loads
- High Peak Current Capabilities — 75 and 90 A
- Low Drive Requirement — $V_{GS(th)} = 4$ V max



**BUZ11
BUZ11A**

TMS POWER FETs
25 and 30 AMPERES
 $r_{DS(on)}$ = 0.05 and 0.05
DPAK
50 VOLTS



CASE 221A D2
TO-180AR

MAXIMUM RATINGS

Rating	Symbol	BUZ11	BUZ11A	Unit
Drain-Source Voltage	V_{DS}	50	50	Volt
Gate-Source Voltage	V_{GS}	50	50	Volt
Gate-Source Voltage	V_{GS}	—	—	Volt
Drain Current — Continuous — P_{tot} see	I_D	25	25	A
Total Power Dissipation $(T_c = 25^\circ\text{C})$ Derate above 25°C	P_D	1.5	0.6	Watt
Operating and Storage Temperature Range	T_J, T_{stg}	-55 to 150		$^\circ\text{C}$

THERMAL CHARACTERISTICS

Thermal Resistance — Junction to Case — Junction to Ambient	$R_{\theta(jc)}$ $R_{\theta(ja)}$	1.47 67.5	$^\circ\text{C/W}$	
Maximum Lead Temperature for Soldering Purposes 1% from case for 5 seconds	T_L	275	$^\circ\text{C}$	

ELECTRICAL CHARACTERISTICS ($T_c = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Drain-Source Breakdown Voltage ($V_{GS} = 0$, $I_D = 1$ mA)	$V_{DS(BR)}$	50	—	—	Volt
Zero Gate Voltage Drain Current ($V_{GS} = 0$ Volt, $V_{DS} = 0$)	I_{DSS}	—	—	250	μA
$V_{GS} = 0$ Volt, $V_{DS} = 0$, $T_c = 125^\circ\text{C}$		—	—	1000	
Gate-Source Leakage Current — Forward Bias (20 Volt, $V_{GS} = 0$)	I_{GSS}	—	10	100	nA
Gate-Source Leakage Current — Inverse Bias (20 Volt, $V_{GS} = 0$)	I_{GSSR}	—	10	100	nA

NOTED

BU211, A
ELECTRICAL CHARACTERISTICS — continued (T_C = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
DC CHARACTERISTICS*					
Gate Threshold Voltage (V _{GS} = V _{DS} , I _D = 1 mA)	V _{GS(th)}	2.1	2	4	V _{GS}
Static Drain-Source On-Resistance (V _{GS} = 10 V, I _D = 1 A, ΔV _{GS})	r _{DS(on)}	—	—	0.04 0.05	Ω
Drain-Source On-Resistance (r _{DS(on)} = 10 V) (I _D = 15 A, ΔV _{GS}) (I _D = 15 A, ΔV _{GS})	r _{DS(on)}	—	0.14 0.81	—	V _{GS}
Forward Transconductance (V _{GS} = 25 V, V _{DS} = 0)	g _{fs}	4	5	—	mA/V
DYNAMIC CHARACTERISTICS					
Input Capacitance (V _{GS} = 25 V, V _{DS} = 0 f = 1 MHz)	C _{iss}	—	900	2500	pf
Output Capacitance	C _{oss}	—	800	1100	pf
Reverse Transfer Capacitance	C _{rss}	—	350	400	pf
SWITCHING CHARACTERISTICS*					
Turn-On Delay Time	t _{ON(dly)}	—	—	45	ns
Rise Time	t _r	—	—	115	ns
Turn-Off Delay Time	t _{OFF(dly)}	—	—	230	ns
Fall Time	t _f	—	—	170	ns
SOURCE DRAIN LEADS CHARACTERISTICS*					
Diode Forward Voltage (V _{GS} = 0, I _D = 2 A, I _G)	V _{SD}	—	—	2.4	V _{GS}
Continuous Source Current, Body Diode	I _S	—	—	31	A
Pulsed Source Current, Body Diode	I _{SM}	—	—	75	A
Forward Turn-On Time (I _D = Rated Value)	t _{ON}	—	250	—	ns
Reverse Recovery Time (V _{GS} = 0)	t _{rr}	—	200	—	ns
INTERNAL PACKAGE INDUCTANCE (TO 220)					
Internal Drain Inductance (Measured from the contact screw on tab to center of die) (Measured from the drain lead 0.25" from package to center of die)	L _d	—	3.5	—	nH
Internal Source Inductance (Measured from the source lead 0.25" from package to source bond pad)	L _s	—	4.5	—	nH

*Pulse Test: Pulse Width = 300 ns, Duty Cycle = 2%.

**CASE 221A-02
TO-220AB**

NOTES:
1. DIMENSIONS ARE IN MILLIMETERS.
2. DIMENSIONS IN PARENTHESES ARE FOR REFERENCE ONLY.
3. DIMENSIONS IN PARENTHESES ARE FOR REFERENCE ONLY.
4. DIMENSIONS IN PARENTHESES ARE FOR REFERENCE ONLY.
5. DIMENSIONS IN PARENTHESES ARE FOR REFERENCE ONLY.

FIG. 1
MOSFET
TO-220AB

Symbol	Value	Unit
L _d	3.5	nH
L _s	4.5	nH
L _g	7.5	nH

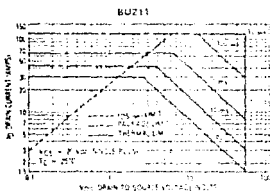


Figure 1. Minimum Rated Forward Biased Safe Operating Area



Figure 2. Maximum Rated Forward Biased Safe Operating Area

FORWARD BIASED SAFE OPERATING AREA

The data of Figures 1 and 2 is based on a case temperature (T_C) of 25°C and a maximum junction temperature ($T_{J(max)}$) of 150°C. The actual junction temperature depends on the power dissipated in the device and its case temperature. For various pulse widths, duty cycles, and case temperatures, the peak allowable drain current (I_{DM}) may be calculated with the aid of the following equation:

$$I_{DM} = I_{D(25^\circ C)} \left[\frac{T_{J(max)} - T_C}{T_C - T_{C(25^\circ C)}} \right]$$

Where:

$I_{D(25^\circ C)}$ = the dc drain current at $T_C = 25^\circ C$ from Figure 1 or 2

$T_{J(max)}$ = rated maximum junction temperature

T_C = device case temperature

$T_{C(25^\circ C)}$ = rated power dissipation at $T_C = 25^\circ C$

$R_{\theta(jc)}$ = rated steady state thermal resistance

$t(t)$ = normalized thermal response from Figure 3

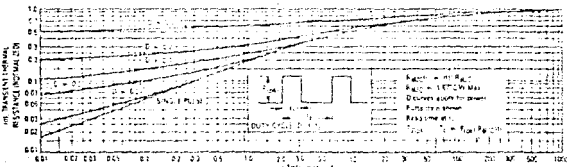


Figure 3. Thermal response

RESISTIVE SWITCHING

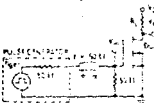


Figure 4. Switching Test Circuit

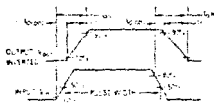


Figure 5. Switching Waveforms

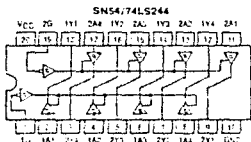
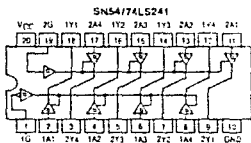
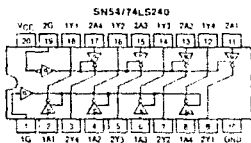


OCTAL BUFFER/LINE DRIVER WITH 3-STATE OUTPUTS

The SN54/74LS240, 241 and 244 are Octal Buffers and Line Drivers designed to be employed as memory address drivers, clock drivers and bus-oriented transmitters/receivers which provide improved PC board density.

- Hysteresis at Inputs to Improve Noise Margin
- 3-State Outputs Drive Bus Lines of Buffer Memory Address Registers
- Input Clamp Diodes Limit High-Speed Termination Effects

LOGIC AND CONNECTION DIAGRAMS DIP (TOP VIEW)



**SN54/74LS240
SN54/74LS241
SN54/74LS244**

**OCTAL BUFFER/LINE DRIVER
WITH 3-STATE OUTPUTS
LOW POWER SCHOTTKY**



**J SUFFIX
CERAMIC
CASE 732-01**



**N SUFFIX
PLASTIC
CASE 730-03**



**DW SUFFIX
SOIC
CASE 751D-03**

ORDERING INFORMATION

SN54LSXXXJ Ceramic
SN74LSXXXN Plastic
SN74LSXXXDW SOIC

SN54/74LS240 • SN54/74LS241 • SN54/74LS244

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits			Unit	Test Conditions	
		Min	Typ	Max			
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V _{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74		0.8			
V _{T+} - V _{T-}	Hysteresis	0.2	0.4		V	V _{CC} = 5 V	
V _{IK}	Input Clamping Diode Voltage		-0.65	-1.5	V	V _{CC} = MIN; I _{IK} = -18 mA	
V _{OH}	Output HIGH Voltage	54, 74	2.4	3.4	V	V _{CC} = MIN; I _{OAH} = -3.0 mA	
		54, 74	2.0				V _{CC} = MIN; I _{OAH} = MAX
V _{OL}	Output LOW Voltage	54, 74	0.25	0.4	V	V _{CC} = MAX; I _{OAL} = 12 mA V _{IN} = V _{IL} or V _{IH} per Truth Table	
		74	0.35	0.5			I _{OAL} = 24 mA
I _{OZH}	Output ON Current HIGH			20	μA	V _{CC} = MAX; V _{OZH} = 2.7 V	
I _{OZL}	Output ON Current LOW			-20	μA	V _{CC} = MAX; V _{OZL} = 0.4 V	
I _{IH}	Input HIGH Current			20	μA	V _{CC} = MAX; V _{IH} = 2.7 V	
I _{IL}	Input LOW Current			-20	μA	V _{CC} = MAX; V _{IL} = 0.4 V	
I _{PS}	Output Short-Circuit Current (Note 1)	-40		-225	mA	V _{CC} = MAX	
I _{CC}	Power Supply Current					mA	V _{CC} = MAX
	Total Output HIGH			27			
	Total Output LOW	LS240		44			
		LS241-244		46			
	Total at HIGH Z	LS240		50			
		LS241-244		54			

Note 1: For more than one output short-circuited at a time, refer to Note 1, Section 1.

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t _{PLH}	Propagation Delay: Data to Output	7.0	14	14	ns	C _L = 45 pF R _L = 667 Ω
t _{PHL}	Propagation Delay: Data to Output	12	18	18		
t _{PLH2}	Propagation Delay: Data to Output	12	18	18	ns	
t _{PHL2}	Propagation Delay: Data to Output	12	18	18		
t _{PHZ}	Output Enable Time to HIGH Level		15	23	ns	
t _{PLZ}	Output Enable Time to LOW Level		20	30	ns	
t _{PLZ2}	Output Disable Time from LOW Level		15	25	ns	C _L = 5.0 pF R _L = 667 Ω
t _{PHZ2}	Output Disable Time from HIGH Level		10	18		

9 Bibliografía

- [1] Solari Edward, AT BUS DESIGN, IEE, COMPATIBLE, Anabooks 1991.
- [2] Badilla Corrales Carlos, Tesis de Maestría, DEPFI, UNAM; Diseño de un computador aeronáutico tolerante a fallas, 1991.
- [3] Brey B. Barry, The Intel Microprocessors 8086/8088, 80186, 80286, 80386 and 80486., Architecture, Programming and Interfacing, Ed. Merril, 1991.
- [4] Asser Stuart M., Stigliano Vincen J. & Bahrenburg Richard F. Micro-computer Theory and Servicing, Ed. Merril, 1990.
- [5] Fletcher William I. An engineering approach to digital design, Prentice Hall, 1980.
- [6] Boylestad Nashelisky; Electrónica Teoría de Circuitos, Prentice Hall, 1982.
- [7] Ginsberg; Printed Circuits design, Mc Graw-Hill, 1991.
- [8] Manual 386 SX Microprocessors Hardware Reference, Intel, 1992.
- [9] Manual Microprocessors Intel 1992.
- [10] Manual Peripherals de Intel, 1990.
- [11] Manual FACT Advanced CMOS Logic data book, National Semiconductor, 1990.
- [12] Manual Motorola Power MOSFET Transistor data, MOTOROLA, 1989.
- [13] Manual TTL Data book fairchild, 1978.
- [14] Manual Tango PCB-PLUS, Accel 1990.