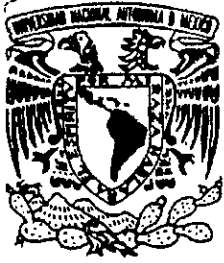


35,  
2ej



UNIVERSIDAD NACIONAL AUTÓNOMA  
DE MEXICO

FACULTAD DE ESTUDIOS SUPERIORES  
CUAUTITLAN

SISTEMA DE ADQUISICION Y PROCESAMIENTO DE  
SEÑALES MECANICAS VIBRATORIAS, APLICADO AL  
DIAGNOSTICO Y PREDICCION DE FALLAS EN MAQUINAS  
ROTATORIAS

T E S I S  
QUE PARA OBTENER EL TITULO DE:  
INGENIERO MECANICO ELECTRICISTA  
P R E S E N T A:  
OMAR DAVID HERRERA CAÑADA

274805

ASESOR: ING. JOSE JUAN CONTRERAS ESPINOSA  
COASESOR: M. EN C. ANTONIO ROJAS SALINAS

CUAUTITLAN IZCALLI, EDO. DE MEX.

1999

TESIS CON  
FALLA DE ORIGEN



Universidad Nacional  
Autónoma de México

Dirección General de Bibliotecas de la UNAM

**Biblioteca Central**



**UNAM – Dirección General de Bibliotecas**  
**Tesis Digitales**  
**Restricciones de uso**

**DERECHOS RESERVADOS ©**  
**PROHIBIDA SU REPRODUCCIÓN TOTAL O PARCIAL**

Todo el material contenido en esta tesis esta protegido por la Ley Federal del Derecho de Autor (LFDA) de los Estados Unidos Mexicanos (México).

El uso de imágenes, fragmentos de videos, y demás material que sea objeto de protección de los derechos de autor, será exclusivamente para fines educativos e informativos y deberá citar la fuente donde la obtuvo mencionando el autor o autores. Cualquier uso distinto como el lucro, reproducción, edición o modificación, será perseguido y sancionado por el respectivo titular de los Derechos de Autor.



UNIVERSIDAD NACIONAL  
AVENIDA DE  
MEXICO

FACULTAD DE ESTUDIOS SUPERIORES CUAUTITLAN  
UNIDAD DE LA ADMINISTRACION ESCOLAR  
DEPARTAMENTO DE EXAMENES PROFESIONALES

U. N. A. M.  
FACULTAD DE ESTUDIOS  
SUPERIORES-CUAUTITLAN

ASUNTO: VOTOS APROBATORIOS

DEPARTAMENTO DE  
EXAMENES PROFESIONALES

DR. JUAN ANTONIO MONTARAZ CRESPO  
DIRECTOR DE LA FES CUAUTITLAN  
P R E S E N T E

ATN: Q. Ma. del Carmen García Mijares  
Jefe del Departamento de Exámenes  
Profesionales de la FES Cuautitlán

Con base en el art. 28 del Reglamento General de Exámenes, nos permitimos comunicar a usted que revisamos la TESIS:

"Sistema de Adquisición y Procesamiento de Señales Mecánicas Vibratorias Aplicado al Diagnóstico y Predicción de Fallas en Máquinas Rotatorias".

que presenta el pasante: Omar David Herrera Cañada  
con número de cuenta: 8912040-8 para obtener el TITULO de:  
Ingeniero Mecánico Electricista

Considerando que dicha tesis reúne los requisitos necesarios para ser discutida en el EXAMEN PROFESIONAL correspondiente, otorgamos nuestro VOTO APROBATORIO

A T E N T A M E N T E.

"POR MI RAZA HABLARÁ EL ESPÍRITU"

Cuautitlán Izcalli, Edo. de Méx., a 30 de noviembre de 1998

PRESIDENTE	Ing. José Juan Contreras Espinosa	
VOCAL	Ing. Gloria Villanueva Aguilar	
SECRETARIO	Ing. Rogelio Ramos Carranza	
PRIMER SUPLENTE	Ing. Vicente Magaña González	
SEGUNDO SUPLENTE	Ing. Juan González Vega	

mipr\*

## DEDICATORIA.

*A mis padres José Herrera e Hilaria Cañada, que siempre han estado conmigo enseñándome a salir adelante con su cariño, apoyo y comprensión.*

*A mis hermanos Oscar, Iván, Adán y Ramsés, por su apoyo incondicional, y a quienes deseo se cumplan todos sus anhelos.*

*A mi abuelita Dolores Pérez, de quien guardo el mejor de los recuerdos.*

*A toda mi familia: abuelita, tías, tíos, primos, primas, y sobrinos, porque en todo momento he contado con su apoyo y confianza.*

## AGRADECIMIENTOS.

*Agradezco sinceramente a mi asesor, maestro y amigo, M en C. Antonio Rojas investigador del Instituto Nacional de Investigaciones Nucleares (ININ), por todas sus enseñanzas durante mi estancia en el Instituto, la realización de esta tesis y por su apoyo para la continuación de mis estudios.*

*Al Fis. Rodolfo Carrillo investigador del ININ, por sus consejos y compartir conmigo su gusto por la investigación.*

*Al Ing. Juan Contreras E., profesor y asesor de la Facultad, por la revisión y las facilidades ofrecidas durante la realización de esta tesis.*

*Al Dr. David Elías y a Antonio Pérez del CINVESTAV-IPN, por las valiosas observaciones y correcciones en la redacción de esta tesis.*

*A los compañeros y amigos de la Facultad, muy en especial a: Alejandro Chávez, Ana Bárcenas, Aurelio González, Carolina Bárcenas, Eduardo Rodríguez, Eloísa Moreno, Miguel Ricalde, Teodoro Melo y por supuesto, Zoreim Flores.*

## INDICE.

INTRODUCCIÓN	1
<hr/>	
<b>1</b> AREAS DE MEDICIÓN DE LAS VIBRACIONES	3
1.1.- PRUEBA DE VIBRACIÓN	3
1.2.- ANÁLISIS ESTRUCTURAL	3
1.3.- MEDICIÓN EN EL SER HUMANO	3
1.4.- MONITOREO DE MÁQUINAS Y DIAGNÓSTICO DE FALLAS	4
<hr/>	
<b>2</b> VENTAJAS DE LA MEDICIÓN DE VIBRACIONES	7
<hr/>	
<b>3</b> SENSOR DE VIBRACION	8
<hr/>	
<b>4</b> AMPLIFICADOR SENSITIVO A LA CARGA	10
<hr/>	
<b>5</b> SISTEMA DE ADQUISICIÓN DE DATOS	16
5.1.- ANÁLISIS DE LA SEÑAL	19
5.2.- TIPOS DE SEÑALES	20
5.2.1.- Señales Estáticas o de C.D	20
5.2.2.- Señales Cuasiestáticas	20
5.2.3.- Señales Dinámicas	21
5.2.3.1.- <i>Señales Determinísticas</i>	21
5.2.3.2.- <i>Señales Aleatorias</i>	23
5.3.- TEORÍA DE MUESTREO	24
5.4.- CODIFICACIÓN PARA CONVERTIDORES	30
5.4.1.- Código Binario Natural	31

5.4.2.- Código Binario Desplazado	33
5.4.3.- Código en Complemento a Uno y a Dos	34
5.4.4.- Otros Códigos Binarios	35
5.5.- CUANTIZACIÓN	35
5.6.- CONVERTIDORES ANALÓGICO-DIGITAL	37
5.6.1.- Tipos de Convertidores	39
5.6.- MULTIPLEXIÓN	47
<hr/>	
<b>6 DISEÑO ELECTRÓNICO</b>	51
6.1.- DIAGRAMA A BLOQUES	51
6.2.- MÓDULO DE ENTRADA	52
6.2.1.- Diseño	52
6.3.- MÓDULO DE ADQUISICIÓN DE DATOS	63
6.3.1.- Diseño	55
6.4.- PROGRAMACIÓN DEL MÓDULO DE ADQUISICIÓN	78
<hr/>	
<b>7 VALIDACIÓN Y PRUEBAS DEL MÓDULO DE ADQUISICIÓN</b>	80
7.1.- PRIMERA PRUEBA DE OPERACIÓN (EN LABORATORIO)	80
7.1.1.- Material y Equipo Empleado	80
7.1.2.- Diagrama de Conexión de Equipo	81
7.1.3.- Condiciones Iniciales de la Prueba en Laboratorio	81
7.1.4.- Criterio de Aceptación	81
7.1.5.- Proceso de Prueba	81
7.2.- SEGUNDA PRUEBA DE OPERACIÓN (EN CAMPO)	87
7.2.1.- Material y Equipo Empleado	87
7.2.2.- Diagrama de Conexión del Equipo	87
7.2.3.- Condiciones Iniciales de la Prueba en Campo	88
7.2.4.- Criterio de Aceptación	88
7.2.5.- Proceso de Prueba	88

7.3.- DIAGNÓSTICO	90
<hr/>	
<b>8 VALIDACIÓN Y PRUEBAS DEL MÓDULO DE ENTRADA</b>	<b>91</b>
8.1.- PRIMERA PRUEBA DE OPERACIÓN (EN LABORATORIO)	91
8.1.1.- Material y Equipo Empleado	91
8.1.2.- Diagrama de Conexión de Equipo	91
8.1.3.- Condiciones Iniciales de la Primera Prueba	92
8.1.4.- Criterio de Aceptación	92
8.1.5.- Proceso de Prueba	92
8.2.- SEGUNDA PRUEBA DE OPERACIÓN (EN CAMPO)	94
8.2.1.- Material y Equipo Empleado	94
8.2.2.- Diagrama de Conexión del Equipo	95
8.2.3.- Condiciones Iniciales de la Segunda Prueba	95
8.2.4.- Criterio de Aceptación	95
8.2.5.- Proceso de Prueba	95
8.3.- DIAGNÓSTICO	98
<hr/>	
<b>BIBLIOGRAFIA Y REFERENCIAS</b>	<b>99</b>
<hr/>	
<b>ANEXO A: Diagrama a Bloques de la Programación</b>	<b>101</b>
<hr/>	
<b>ANEXO B: Código de Programación</b>	<b>102</b>
<hr/>	
<b>ANEXO C: Diagramas Eléctricos</b>	<b>111</b>
<hr/>	



## INTRODUCCIÓN.

La vibración es causada por la transferencia de energía almacenada dentro de las estructuras resultando de la acción de una o más fuerzas. Los sistemas sometidos a una vibración presentan dos atributos: la inercia y la inflexibilidad para alcanzar una posición de equilibrio. En un modelo simplificado, la fuerza que tiende a restaurar el equilibrio del sistema es proporcional al desplazamiento y ocurre por lo tanto un movimiento armónico simple. Este tipo de movimiento puede ocurrir en sistemas mecánicos, hidráulicos, acústicos, ópticos o eléctricos.

Las vibraciones de gran amplitud en sistemas mecánicos y estructurales frecuentemente son indeseables. En el peor de los casos pueden provocar fallas mecánicas a través de la fatiga de los materiales. Sin embargo, aunque el sistema no llegue a fallar totalmente, pueden ocurrir daños severos que deterioran o desgastan los componentes. Además un sistema en condiciones de vibración puede transmitir niveles altos de ruido al medio ambiente, o causar vibraciones excesivas en las estructuras o máquinas vecinas. Por lo tanto, es importante monitorear el funcionamiento de máquinas y estructuras sometidas a vibración para asegurarse que funcionen a niveles de vibración aceptables.

Se ha observado que los problemas de vibración asociados con estructuras y maquinaria son complejos. Los problemas abarcan requerimientos de reducción de costos e incremento de eficiencia, además de las normas de seguridad que limitan los efectos del ruido y las vibraciones al ser humano y medio que le rodea. Consecuentemente se han requerido grandes estudios sobre las causas de vibración, y de la respuesta dinámica de maquinaria y estructuras a las fuerzas vibratorias. Para la detección de cambios significativos, que pueden ser muy complejos, es

necesario contar con sistemas que faciliten la captura de datos a alta velocidad junto con algoritmos apropiados para el procesamiento de datos. Con el progreso en la tecnología computacional aunado a las técnicas de procesamiento de señales basadas en el empleo de software, ha sido posible el desarrollo de sistemas capaces de adquirir y procesar grandes cantidades de datos en forma eficaz y a bajo costo.

El trabajo aquí descrito, es el diseño electrónico de un componente para el análisis, procesamiento y diagnóstico por computadora de señales eléctricas originadas por la vibración en máquinas rotatorias, en donde se contempla el diseño y la construcción de un sistema de adquisición de datos, y de un amplificador adecuador de la señal obtenida a través del sensor de vibración.

## 1. ÁREAS DE MEDICIÓN DE LAS VIBRACIONES.

Para el estudio y análisis de maquinaria y estructuras se han definido cuatro áreas importantes para la medición de vibraciones:

**1.1 Prueba de Vibración.** Como parte de un programa general de pruebas o como parte de un *diseño en ingeniería*, la prueba de dispositivos sometidos a vibraciones desarrolla un papel importante en el control de calidad al evaluar el comportamiento de un componente funcionando en ambientes vibratorios que asemejan una situación real. Durante una prueba de vibración, una estructura (el componente de un avión, por ejemplo) está sujeta a altos niveles de vibración que son activados por un controlador excitador y un sensor de *realimentación que provee datos referentes a la aceleración a la cual la estructura es sometida.*

**1.2 Análisis Estructural.** Este es un valioso método experimental para determinar el comportamiento dinámico de una estructura usando la medición de vibraciones. Empleando un transductor de fuerza y un sensor de vibraciones, es posible medir simultáneamente la señal de excitación y la respuesta vibratoria de una estructura usando un *analizador de dos canales.* Acoplando una computadora al analizador, se puede tener información esencial para la verificación del diseño y modificación de estructuras que varían desde pequeñas turbinas hasta grandes puentes.

**1.3 Medición en el Ser Humano.** Esta área concierne la medición de vibraciones transmitidas al ser humano. Estas *señales pueden ser originadas, por ejemplo, a través de vehículos o herramientas de alta potencia.* La medición de vibraciones en el ser humano conducen a mejorar la comodidad y los criterios de salud propuestos por las normas internacionales.

**1.4 Monitoreo de Máquinas y Diagnóstico de Fallas.** El monitoreo de las señales vibratorias originadas en una máquina rotatoria es de gran importancia para obtener datos que puedan indicar el estado interno del sistema y efectuar un diagnóstico sobre su funcionamiento. Tal monitoreo debe efectuarse tanto en la etapa de diseño como durante el curso de operación del sistema, aunque en cada caso el objetivo del monitoreo sea distinto; ya que para el primero, el propósito principal es el de decidir si alguna modificación o corrección es necesaria o ventajosa; mientras que para el segundo caso, el objetivo es el de detectar la presencia de posibles fallas en el sistema.

El diagnóstico de fallas en máquinas rotatorias puede llevarse a cabo automáticamente por medio de una computadora procesando los datos recibidos y empleando herramientas computacionales tales como el reconocimiento de patrones, el cual consiste en comparar y discriminar señales del sistema en diferentes condiciones de operación. La precisión del diagnóstico realizado dependerá de la cantidad de datos obtenidos por el sistema de monitoreo, por ello es de gran importancia contar un módulo de adquisición de señales con alta resolución, así como de una gran capacidad de almacenamiento en el sistema.

Es posible también efectuar un diagnóstico por vibraciones en un sistema, usando un patrón de reconocimiento empírico. Aquí la discriminación se lleva a cabo directamente por el operador del sistema basándose en su experiencia al identificar auditivamente diferentes condiciones de operación. Sin embargo, las fallas que se presentan en maquinaria se encuentran relacionadas directamente con determinadas frecuencias presentes en el espectro de operación. Empleando un diagnóstico basado en análisis y procesamiento de señales a través de una computadora es posible localizar tales frecuencias e identificar el componente de la máquina que se encuentra fallando.

El diagnóstico de vibraciones automatizado, es muy usado en sistemas complejos que requieren gran exactitud en resultados y eficiencia. Un ejemplo es la tecnología en el campo de la energía nuclear, en el que un elemento importante de los reactores BWR (Boiling Water Reactor) es el núcleo que consiste de un grupo de cilindros colocados verticalmente (elementos combustibles); el núcleo puede oscilar durante la operación de la planta, debido principalmente a las turbulencias generadas por la entrada y salida de fluidos refrigerantes. El monitoreo de esas oscilaciones, desde el punto de vista de la seguridad en el BWR, es de primordial importancia, ya que estas oscilaciones pueden influenciar directamente la integridad del núcleo. Al obtener las señales de vibración se tiene un amplio espectro de frecuencias, de las cuales se debe eliminar mediante filtros, el ruido producido por el flujo de neutrones. La señal resultante, cuya frecuencia indica la oscilación del núcleo, es hasta diez veces menor que la frecuencia de ruido. Por lo tanto, para hacer un diagnóstico de este sistema es inherente el uso de un método apoyado en el uso de computadoras, capaz de adquirir señales de diversas fuentes, emplear las herramientas de análisis y procesamiento en dichas señales, y obtener resultados confiables. Operación que no podría llevarse a cabo usando un diagnóstico empírico.

Para el caso del monitoreo y diagnóstico de fallas en máquinas rotatorias, se entiende por éstas, aquellas máquinas y/o mecanismos compuestas de una parte rotatoria llamada eje o rotor, un soporte y componentes como acoplamientos, ruedas, ventiladores, etc., fijados a la parte rotatoria. Estas máquinas son usadas prácticamente en cualquier industria y difieren substancialmente en tamaño. Salvo en algunas excepciones, la causa de su vibración reside en los problemas mecánicos. A continuación se presenta una lista de los problemas más comunes que producen vibración:

- Desbalance de las piezas rotativas
- Falta de alineación de acoplamientos y rodamientos
- Ejes vencidos
- Engranajes desgastados, excéntricos o dañados
- Bandas o cadenas de transmisión en mala condición
- Rodamientos -del tipo de antifricción- deteriorados
- Desviaciones del par de torsión
- Fuerzas electromagnéticas
- Fuerzas aerodinámicas
- Fuerzas hidráulicas
- Aflojamiento
- Rozamiento
- Resonancia.

## 2. VENTAJAS DE LA MEDICIÓN DE VIBRACIONES.

Las ventajas de medir la vibración en máquinas rotatorias podrán incluir:

- **Verificaciones periódicas de rutina.** Las verificaciones periódicas a intervalos regulares podrán permitir la detección de problemas de una máquina al comienzo de su deformación, y así poderla incluir en un cronograma de reparaciones.
- **Mediciones para determinar la línea de base.** La medición para línea de base es, por definición, una serie de mediciones realizadas sobre una máquina bien equilibrada, bien alineada, y que esté funcionando en condiciones operativas normales en su configuración de instalación final. Los niveles de vibración "normales" en dichas condiciones servirán como "línea de base" contra la cual se podrán comparar todos los datos obtenidos subsecuentemente.
- **Verificaciones antes y después de las reparaciones generales.** Las mediciones de la vibración antes de efectuar las reparaciones generales podrán decir cuáles máquinas necesitan ser sometidas a dichas reparaciones y cuáles otras no las requieren. Las mediciones después de las reparaciones generales podrán indicar si los problemas que aquejan las máquinas reparadas fueron corregidos o no y si la calidad de los trabajos de reparación ha sido satisfactoria o no.
- **Identificación y eliminación de fallas de una máquina.** La medición de la vibración se realiza a menudo para establecer con exactitud las causas de la excesiva vibración de una máquina. También, en algunas máquinas como máquinas herramienta por ejemplo, la finalidad de la medición y análisis de la vibración podría ser para determinar la causa de un acabado de mala calidad, de marcas debidas a vibración de la herramienta, o de piezas fuera de tolerancia.

### 3. SENSOR DE VIBRACIÓN.

Para realizar la medición de vibraciones mecánicas, comúnmente se utilizan acelerómetros como transductor. Un acelerómetro es un dispositivo autogenerador, con una salida de tensión o carga proporcional a la aceleración de la vibración. La aceleración es una medida del coeficiente (o incremento) de cambio de la velocidad, y se expresa normalmente en términos de g; siendo g la unidad de aceleración definida como la aceleración promedio producida por la fuerza de la gravedad en la superficie de la Tierra. La aceleración es una función del desplazamiento y la frecuencia al cuadrado. Como resultado, el acelerómetro es un instrumento extremadamente sensible a la vibración que ocurre a altas frecuencias.

La figura 3.1 muestra el diagrama simplificado de un acelerómetro típico. Asegurándose éste captador a una pieza de máquina que vibra, o manteniéndolo adherido a la misma, la vibración mecánica pasa a través de la carcasa y llega al material piezoeléctrico. Este material tiene la capacidad de generar una carga eléctrica en respuesta a una fuerza mecánica aplicada al mismo. En este caso, la vibración mecánica produce la fuerza, y el material piezoeléctrico responde generando una carga eléctrica que es proporcional a la cantidad de aceleración de la vibración. El hecho que un acelerómetro responda directamente a la característica de aceleración de la vibración explica su nombre.



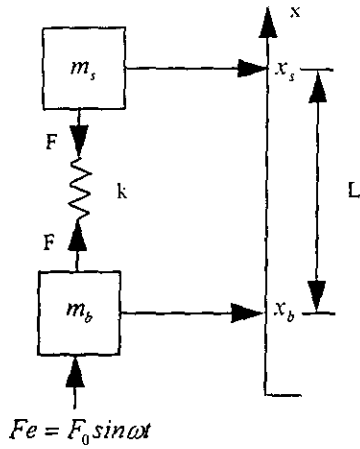


Figura 3.1.- Modelo simplificado de un acelerómetro.

La carga eléctrica generada por el material piezoeléctrico es muy pequeña comparada con la salida de un transductor de velocidad. Es una carga que puede ser medida en términos de picocoulomb por  $g$ ; donde el coulomb es la unidad estándar de las cargas eléctricas, y un picocoulomb es una millonésima parte de un microcoulomb ( $10^{-12}$  C). Siendo que la carga eléctrica generada directamente dentro de un acelerómetro es tan pequeña, es necesario incorporar un amplificador de carga electrónico de alta ganancia.

#### 4. AMPLIFICADOR SENSITIVO A LA CARGA.

Algunos transductores como micrófonos de capacitancia y acelerómetros operan con el principio de convertir la variable que se está midiendo a su equivalente en carga  $Q$ . Los acelerómetros piezoeléctricos utilizan la propiedad de ciertos materiales cerámicos para producir carga cuando son sujetos a una excitación mecánica, este tipo de acelerómetros poseen una masa acoplada al elemento piezoeléctrico para generar una fuerza en dicho elemento en respuesta a una aceleración, frecuencia y amplitud. El mejor medio para acondicionar la señal de estos transductores es el empleo de un amplificador sensitivo a la carga. Un amplificador de carga utiliza como etapa de entrada un amplificador operacional cuya configuración tiene un capacitor de retroalimentación  $C_f$  que opera como un integrador.  $C_f$  integra la corriente de la señal de entrada, la cual es el resultado de la carga desarrollada por el elemento piezoeléctrico, en este caso un acelerómetro, donde el amplificador de carga produce un voltaje de salida proporcional a la carga. La ganancia del amplificador de carga es controlado por  $C_f$ .

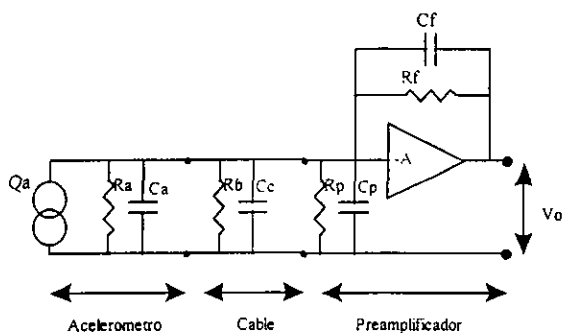


Figura 4.1.- Circuito equivalente del amplificador de carga conectado a un acelerómetro y cable.

La figura 4.1 muestra el circuito equivalente para un acelerómetro piezoeléctrico conectado al amplificador de carga.

Donde :

$Q_a$  = carga generada por el acelerómetro

$C_a$  = capacitancia del acelerómetro

$R_a$  = resistencia del acelerómetro

$C_c$  = capacitancia de cables y conectores

$R_b$  = resistencia entre el cable y el centro del conductor

$C_p$  = capacitancia del amplificador de entrada

$R_p$  = resistencia del amplificador de entrada

$C_f$  = capacitancia de retroalimentación

$R_f$  = resistencia de retroalimentación

$A$  = ganancia del amplificador operacional

$V_o$  = voltaje de salida del amplificador.

Normalmente las resistencias del acelerómetro, entrada del amplificador y retroalimentación son de valores muy grandes. Consecuentemente el circuito de la figura 4.1 puede reducirse al de la figura 4.2.

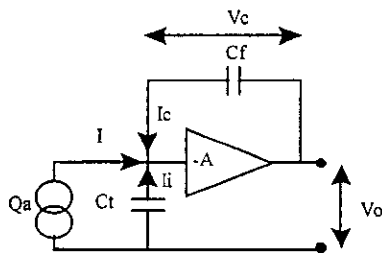


Figura 4.2.- Circuito equivalente simplificado de un amplificador de carga con un acelerómetro conectado.

La capacitancia total del circuito equivalente es

$$2C_f = C_a + C_c + C_p. \quad (1)$$

Del circuito equivalente de la figura 4.2 se muestran las corrientes y voltajes donde:

$I$  = corriente total que fluye a la salida del acelerómetro

$I_i$  = corriente de  $C_i$

$I_c$  = corriente en el lazo de retroalimentación del amplificador operacional

$V_c$  = voltaje a través del capacitor de retroalimentación.

Los voltajes de entrada  $V_i$  y salida  $V_o$  están relacionados por la siguiente ecuación:

$$2V_o = -AV_i \quad (2)$$

El voltaje  $V_c$  en el capacitor de retroalimentación  $C_f$  esta dado por

$$V_c = V_o - V_i = V_o - \frac{V_o}{-A} = \left(1 + \frac{1}{A}\right)V_o \quad (3)$$

Un amplificador ideal tiene cero corriente de entrada, aplicando leyes de Kirchhoff a las corrientes mostradas en la figura 4.2:

$$I + I_c + I_i = 0 \quad (4)$$

Estas corrientes pueden ser definidas en términos de otros parámetros del circuito, la corriente  $I$  esta relacionada a la carga producida por el elemento piezoeléctrico, por lo tanto

$$I = \frac{dQ_a}{dt}$$

entonces la corriente en el capacitor de retroalimentación  $C_f$  es

$$I_c = C_f \frac{dV_c}{dt} \quad (5)$$

sustituyendo la ecuación 3 en la ecuación 5 se tiene

$$I_c = \left(1 + \frac{1}{A}\right) C_f \frac{dV_o}{dt} \quad (6)$$

La corriente en  $C_i$  del amplificador es

$$I_i = -C_i \frac{dV_i}{dt} \quad (7)$$

sustituyendo la ecuación 2 en la ecuación 7 se tiene

$$I_i = \frac{1}{A} C_i \frac{dV_o}{dt} \quad (8)$$

Sustituyendo las ecuaciones 6 y 8 en la ecuación 2:

$$\frac{dQ_o}{dt} = -\left(1 + \frac{1}{A}\right) C_f \frac{dV_o}{dt} - \frac{1}{A} C_i \frac{dV_o}{dt}$$

Resolviendo esta ecuación por integración

$$V_o = \frac{Q_o}{\left(1 + \frac{1}{A}\right) C_f + \frac{1}{A} C_i} \quad (9)$$

Como la ganancia  $A$  del amplificador operacional es demasiado grande entonces esta ecuación se reduce a

$$V_o = -\frac{Q_o}{C_f} \quad (10)$$

Esto implica que  $V_o$  es proporcional a la carga de entrada y por lo tanto a la aceleración del acelerómetro.

Ahora, tomando en cuenta la contribución de las resistencia de entrada en el circuito de la figura 4.2, combinando la capacitancia total y la resistencia total de entrada de este circuito, el circuito del amplificador de carga queda simplificado al de la figura 4.3.

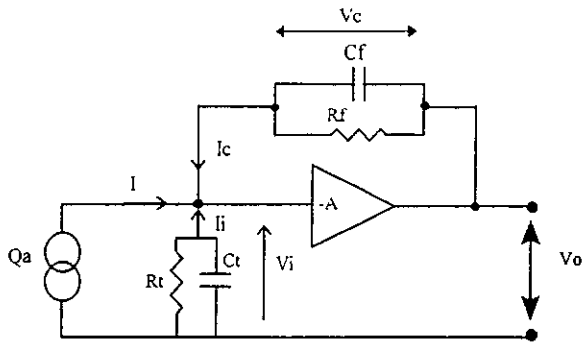


Figura 4.3.- Circuito simplificado del amplificador de carga.

La resistencia total  $R_i$  de entrada esta dada por

$$\frac{1}{R_i} = \frac{1}{R_a} + \frac{1}{R_b} + \frac{1}{R_p} \quad (11)$$

Sabemos que

$$V_o = -AV_i$$

y

$$V_c = \left(1 + \frac{1}{A}\right)V_o$$

entonces la corriente en el lazo de retroalimentación del circuito equivalente de la figura 4.3 es

$$I_c = C_f \frac{dV_c}{dt} + \frac{V_c}{R_f}$$

$$I_c = \left(1 + \frac{1}{A}\right) \left[ C_f \frac{dV_o}{dt} + \frac{V_o}{R_f} \right]$$

y la corriente  $I_i$  en  $C_t$  y  $R_t$  es

$$I_i = -C_t \frac{dV_i}{dt} - \frac{V_i}{R_t} \frac{1}{A} \left[ C_t \frac{dV_o}{dt} + \frac{V_o}{R_f} \right]$$

$$\frac{dQ_a}{dt} = -\left(1 + \frac{1}{A}\right) \left[ C_f \frac{dV_o}{dt} + \frac{V_o}{R_f} \right] - \frac{1}{A} \left[ C_i \frac{dV_o}{dt} + \frac{V_o}{R_i} \right]$$

Esta ecuación no se puede resolver utilizando integración simple como en el modelo anterior. Sin embargo, asumiendo que los voltajes y corrientes varían armónicamente con el tiempo puede obtenerse una solución. Una vez más los términos de cd y condiciones iniciales los cuales desaparecen rápidamente pueden ser ignorados en el análisis, la solución es entonces:

$$j\omega Q_a = -\left(1 + \frac{1}{A}\right) \left[ j\omega V_o C_f + \frac{V_o}{R_f} \right] - \frac{1}{A} \left[ j\omega V_o C_i + \frac{V_o}{R_i} \right]$$

De la ecuación anterior obtenemos el voltaje de salida  $V_o$

$$V_o = -\frac{Q_a}{\left(1 + \frac{1}{A}\right) \left( C_f + \frac{1}{j\omega R_f} \right) + \frac{1}{A} \left( C_i + \frac{1}{j\omega R_i} \right)}$$

como  $A$  y  $R_f$  son muy grandes tenemos que

$$V_o = -\frac{Q_a}{C_f}$$

Esto implica también que  $V_o$  es proporcional a la carga de entrada.

## 5. SISTEMA DE ADQUISICIÓN DE DATOS.

Se define un sistema de adquisición de datos (SAD) como un instrumento electrónico.. o un grupo de dispositivos electrónicos interconectados, dedicado a la medición y cuantización de señales analógicas para su análisis y procesamiento digital. En este contexto, un sistema de adquisición de datos es la interface entre el dominio analógico y el digital. Una representación gráfica de cómo un sistema de adquisición de datos es empleado se muestra en la figura 5.1.

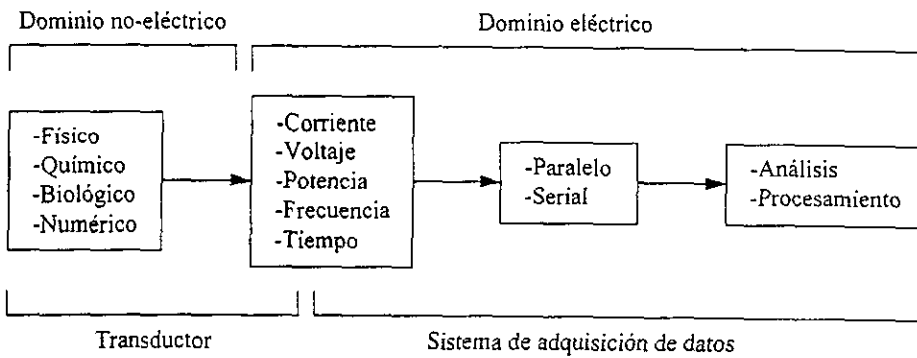


Figura 5.1.- Diagrama a bloques de un sistema de adquisición de datos.

Una vez que el parámetro a ser medido es trasladado al dominio eléctrico-analógico, el SAD desarrolla la conversión al dominio eléctrico-digital. En algunos casos el SAD simplemente graba o almacena los datos digitales. mientras que sistemas más sofisticados pueden ser capaces de analizar y procesar las señales. De hecho, un SAD puede ser tan simple como un voltímetro digital, el cual despliega su salida como una lectura decimal, o puede ser lo suficientemente complejo para contener una computadora como parte de su hardware.



En la actualidad, todos los componentes del sistema de adquisición de datos han llegado a ser automatizados; un diagrama a bloques típico puede observarse en la figura 5.2, la cual muestra un sistema de adquisición básico.

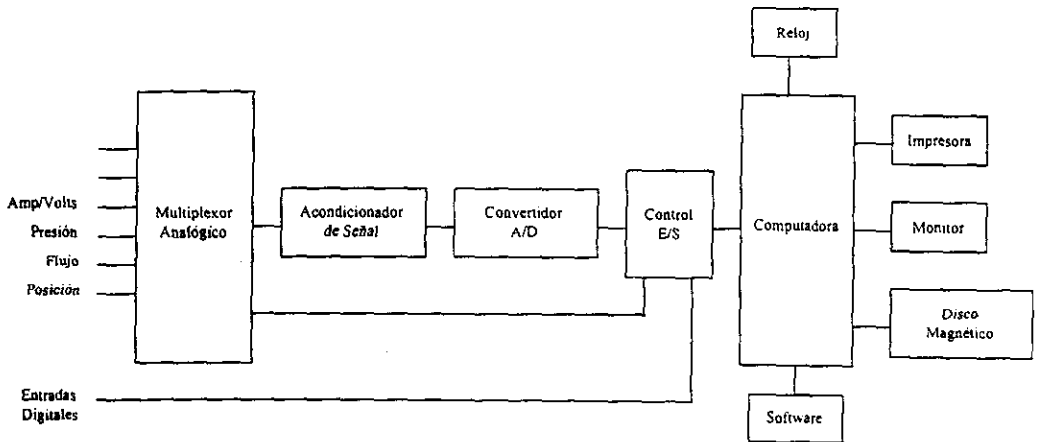


Figura 5.2.- Diagrama a bloques de un sistema de adquisición automatizado.

Cada uno de los bloques representa una función particular del sistema de adquisición y cada uno está definido como sigue:

- **Multiplexor Analógico.** Consiste de una serie de interruptores cuyas entradas están conectadas a varias fuentes de señales analógica y sus salidas se conectan a un punto en común. Cada entrada es individualmente conectada al punto de medición en una secuencia predeterminada.
- **Acondicionador de Señal.** Frecuentemente, las señales presentes en las entradas del sistema de adquisición no se encuentran de forma apropiada para el proceso de conversión, de tal modo que deben ser acondicionadas. El acondicionamiento de la señal puede consistir de:

amplificación lineal, amplificación logarítmica, filtrado, detección de pico o muestreo-retención.

- **Convertidor Analógico-Digital (A/D).** El convertidor *analógico-digital traduce la señal analógica a un formato codificado digital*. Los convertidores son clasificados por el método de conversión, velocidad y número de salidas digitales que producen.
- **Reloj Digital.** El reloj *digital provee de la temporización principal para el sistema de adquisición de datos*. El reloj puede consistir de un oscilador de cristal controlado a una frecuencia determinada o puede ser manipulado por el propio usuario. *El reloj del sistema es suministrado por la computadora y la temporización es generada por el controlador de entradas y salidas*. Este sistema tiene dos ventajas: primero, es posible la programación del procesamiento en línea; y segundo, se pueden implementar varios tipos de dispositivos de almacenamiento.
- **Buffer Digital.** La habilidad para *senar eventos discretos es en ocasiones un requerimiento de un sistema de adquisición de datos*. Debido a que esos eventos son usualmente registrados por la apertura o cierre de un interruptor, representan una entrada digital.
- **Control de Entrada/Salida.** Funciona como *regulador e interface entre la entrada y salida datos en el SAD; en una secuencia determinada, reúne datos tales como el número del canal a multiplexar, la ganancia en el acondicionador de señal, la salida del convertidor A/D, información de reloj y eventos discretos*. Consta de un buffer que combina los datos en un formato apropiado para introducirlos al sistema de almacenamiento o análisis. Si el dispositivo de procesamiento es una computadora, el controlador es llamado *interface de periféricos*.

- **Dispositivo de Almacenamiento y Procesamiento.** Diferentes tipos de equipos pueden realizar la función de un dispositivo de almacenamiento y procesamiento, estos dispositivos pueden ser magnéticos u ópticos para el almacenamiento, y procesadores o computadoras para su análisis y procesamiento.
- **Software.** El sistema de adquisición de datos sólo funcionará por medio de instrucciones programadas que seleccionarán el canal a multiplexar y la ganancia de entrada, sincronizarán la conversión, entrada y almacenamiento de datos. La ejecución del programa lo lleva a cabo el dispositivo empleado para el análisis y procesamiento de la señal.
- **Dispositivos de Exhibición.** Los resultados del análisis en el sistema son desplegados visualmente, ya sea por monitores o impresoras.

## 5.1. ANÁLISIS DE LA SEÑAL

Muchos procesos son caracterizados por señales variantes en el tiempo de las cuales pueden extraerse muchos datos valiosos, como son el análisis de imágenes, control de tráfico aéreo, exploración sísmica, monitoreo de pacientes, etc. La forma más común de procesar esa información es transformarla a una apropiada serie de Fourier, o trasladarla para su análisis al dominio de la frecuencia. El bajo costo de las computadoras y el software de procesamiento hacen posible un análisis computarizado.

## 5.2. TIPOS DE SEÑALES

Para efectuar el procesamiento de una señal es necesario en primer término, conocer las características de la señal a ser procesada. Saber si ésta es una señal de corriente directa c.d., o dinámica de c.a.; si es del tipo determinístico o aleatorio; cuál es el rango dinámico, el rango en frecuencia y las características de ruido. Conocer estos aspectos, junto con la información a ser adquirida, son fundamentales en el diseño de un sistema de adquisición.

### 5.2.1. Señales estáticas o de d.c.

Estas son señales que no presentan cambios a lo largo del tiempo. La razón de tomarlas en cuenta a pesar de que una sola medición sería suficiente para su análisis, es que existen fuentes de voltaje de c.d. que requieren un continuo monitoreo para asegurar su amplitud dentro de un rango de tolerancia, y que en caso de haber una anomalía provocada por la superposición de una señal de ruido, se tomen mediadas correctivas.

### 5.2.2. Señales cuasi estáticas.

Una señal cuasi estática es una señal dinámica que no cambia durante el periodo de medición. Dos ejemplos de este tipo de señal son un pulso cuadrado, cuya amplitud es de interés, o posiblemente la salida de un multiplexor analógico. La figura 5.3 es una representación de este tipo de señal. Una vez que la señal ha alcanzado el estado estático, todos los conceptos para la medición de las señales de c.d. son válidos. Se debe tener cuidado en el procesamiento de estas señales cuando se aplican filtros pasa-baja ya que el ancho de banda debe ser el adecuado para permitir el paso del pulso o bien, para el correcto funcionamiento del multiplexor.

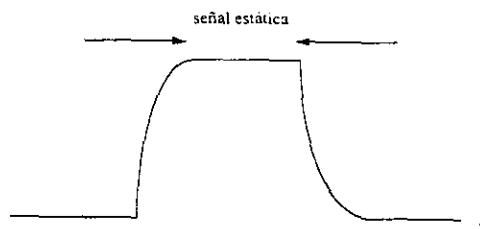


Figura 5.3.- Pulso cuadrado.

### 5.2.3. Señales Dinámicas.

La gran mayoría de las señales de interés en la naturaleza son del tipo dinámico. Estas señales están continuamente cambiando, a menudo de una manera impredecible. Las señales dinámicas pueden ser representadas y analizadas ya sea en el dominio del tiempo o en el de la frecuencia, aunque es conveniente emplear ambos para obtener un adecuado análisis. Hay dos clases principales de señales dinámicas:

1. Las señales determinísticas de las que pueden conocerse sus características y son *explícitamente descritas por ecuaciones matemáticas.*
2. Las señales aleatorias cuyo comportamiento es altamente impredecible en cualquier instante de tiempo.

#### 5.2.3.1. Señales Determinísticas.

Las señales periódicas y las transitorias caen dentro de la clasificación de señales determinísticas. Las señales periódicas son aquellas que se repiten a intervalos regulares de tiempo, mientras que las transitorias son una forma aperiódica que se atenúa hasta un valor cero en un periodo de tiempo determinado. Cualquier tipo puede ser expresada en términos matemáticos. Las funciones periódicas pueden ser expresadas por medio de series de Fourier:

$$f(t) = \frac{a_0}{2} + \sum_{n=1}^{\infty} (a_n \cos n\omega_1 t + b_n \sin n\omega_1 t) \quad (12)$$

donde:

$T$  = periodo de la señal o forma de onda

$f_1$  = frecuencia fundamental =  $1/T$

$\omega_1$  = frecuencia fundamental en radianes =  $2\pi f_1$

$n$  = orden del armónico.

Las constantes  $a_n$  y  $b_n$ , son calculadas por las integrales

$$2a_n = \frac{2}{T} \int_{-T/2}^{T/2} f(t) \cos n\omega_1 t dt, \quad n = 0, 1, 2, 3, \dots \quad (13)$$

y

$$b_n = \frac{2}{T} \int_{-T/2}^{T/2} f(t) \sin n\omega_1 t dt, \quad n = 0, 1, 2, 3, \dots \quad (14)$$

De estas expresiones pueden obtenerse las gráficas amplitud-frecuencia y fase-frecuencia.

La gráfica de amplitud se obtiene de  $\sqrt{a_n^2 + b_n^2}$  mientras que la de fase de  $\tan^{-1}(-b_n/a_n)$ . La señal mas simple es una onda senoidal, cuyas gráficas en el dominio del tiempo y en el dominio de la frecuencia se muestran en la figura 5.4.

Hay solo una línea espectral en la gráfica del dominio de la frecuencia, la cual representa la frecuencia única de la señal senoidal.

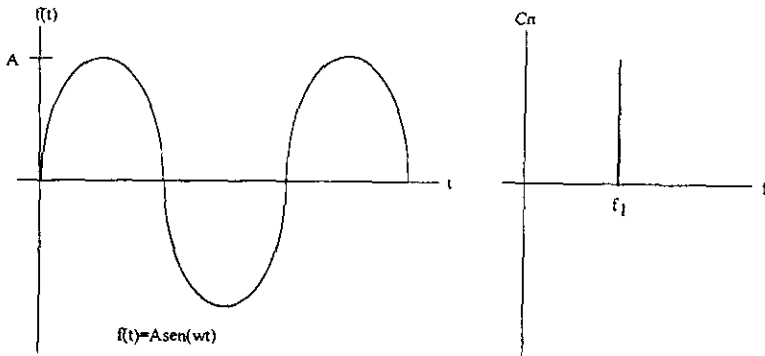


Figura 5.4.- Gráfica amplitud-frecuencia de una señal dinámica.

La figura 5.5. muestra una señal compuesta de varias ondas armónicas senoidales: la gráfica en el dominio de la frecuencia contiene una componente de c.d. y tres componentes discretas de frecuencias  $f_1$ ,  $f_2$  y  $f_3$ .

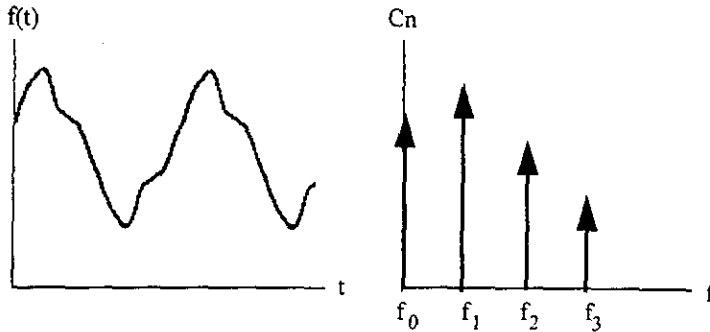


Figura 5.5.- Gráfica amplitud-frecuencia de una señal dinámica compuesta de varias armónicas.

### 5.2.3.2. Señales Aleatorias.

A diferencia de las señales determinísticas, el valor exacto de una señal aleatoria, no puede ser cuantificado. Debido a que muchas de las señales que deben ser analizadas en un

proceso cualquiera caen dentro de esta categoría, los conceptos de probabilidad y estadística juegan el mayor rol en su análisis. Usando técnicas estadísticas, se puede calcular el valor promedio de c.d., la potencia en c.d y a.c., y la potencia total. Debido a que en una señal aleatoria no repetible, su función en el tiempo es aperiódica, su gráfica en frecuencia es un espectro cerrado como el mostrado en la figura 5.6. Esta es un espectro típico que se encuentra comúnmente al usar sistemas de adquisición de datos.

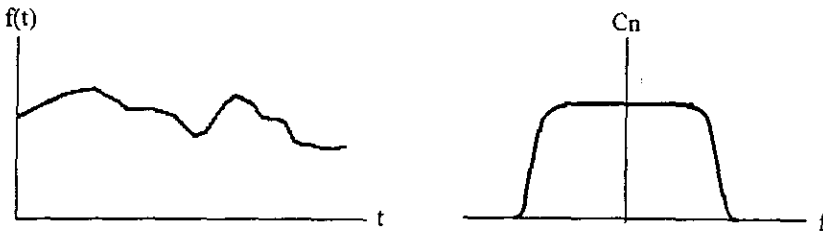


Figura 5.6.- Gráfica amplitud-frecuencia de una señal aleatoria.

Es de importancia tomar en cuenta que una señal determinística en ocasiones puede semejar una aleatoria, como sucede cuando en la señal existe ruido. En este caso, para obtener la señal determinística, primeramente se debe desarrollar un análisis aleatorio utilizando técnicas como el promedio de las señales o la correlación. Cuando el proceso se completa, la señal puede ser analizada por análisis determinístico.

### 5.3. TEORÍA DE MUESTREO

El concepto de muestreo es fundamental para la operación de un sistema de adquisición de datos, el cual es definido como la operación de medir una función continua a intervalos discretos



de tiempo. En un sistema de adquisición las señales que representan algún parámetro analógico son convertidos a series de valores discretos.

Un convertidor analógico-digital requiere una pequeña, pero significativa, cantidad de tiempo para desarrollar las operaciones de cuantización y codificación. El tiempo requerido para hacer la conversión depende de varios factores: la resolución del convertidor, la técnica de conversión y la velocidad de los componentes empleados en el convertidor. Por lo tanto, la velocidad de conversión requerida para una aplicación en particular depende de la variación en el tiempo de la señal a convertir y de la exactitud deseada.

El tiempo de conversión es comúnmente conocido como tiempo de apertura. En general, el tiempo de apertura se refiere al periodo de tiempo en el que se hace una medición y da como resultado una amplitud en la medición si la señal está cambiando durante este tiempo.

Como se muestra en la figura 5.7., la señal de entrada del convertidor cambia en  $\Delta V$  durante el tiempo de apertura  $t_a$  durante el cual la conversión se efectúa. El error puede ser considerado como un error de amplitud o un error de tiempo, ambos están relacionados de la siguiente forma:

$$\Delta V = t_a \frac{dV(t)}{dt} \quad (15)$$

donde  $dV(t)/dt$  es la relación de cambio entre la señal de entrada y el tiempo.

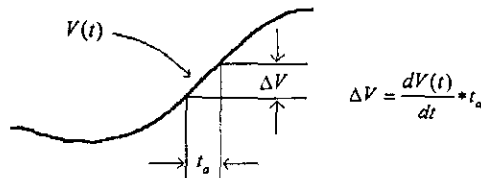


Figura 5.7.- Tiempo de apertura.

Se puede notar que  $\Delta V$  representa el error máximo en el cambio de la señal, ya que el error actual depende de cómo es hecha la conversión. En algún punto del intervalo de tiempo  $t_a$ , la amplitud de la señal corresponde con el código de salida producido.

Para el caso específico de una señal senoidal de entrada, la máxima relación de cambio ocurre en el cruce con cero de la forma de onda, y el error de amplitud es

$$\Delta V = t_a \frac{d}{dt} (A \sin \omega t)_{t=0} = t_a A \omega \quad (16)$$

El error resultante como una fracción del valor pico a pico de la escala completa es

$$\varepsilon \approx \frac{\Delta V}{2A} = \pi f t_a \quad (17)$$

A partir de este resultado es posible calcular el tiempo de apertura necesario para digitalizar una señal de 1 kilohertz con una resolución de 10 bits. La resolución requerida es una parte en  $2^{10}$  o 0.001.

$$t_a = \frac{\varepsilon}{\pi f} = \frac{0.001}{3.14 \times 10^3} = 320 \times 10^{-9} \text{ seg}$$

Se puede apreciar que aunque una señal de 1 kilohertz no es una señal particularmente rápida, es difícil conseguir un convertidor A/D de 10 bits que desarrolle esta conversión. En vez de esto, puede usarse un circuito muestreador-retenedor que es una forma más simple y barata de solucionar el problema.

En sistemas de adquisición y distribución, y otros sistemas de muestreo de datos, las señales analógicas son muestreadas en forma periódica como se ilustra en la figura 5.8. El tren de pulsos de muestreo representa un interruptor de acción rápida, el cual conecta a la señal analógica por un tiempo muy corto y después lo desconecta por el resto del tiempo que dura el periodo de muestreo.

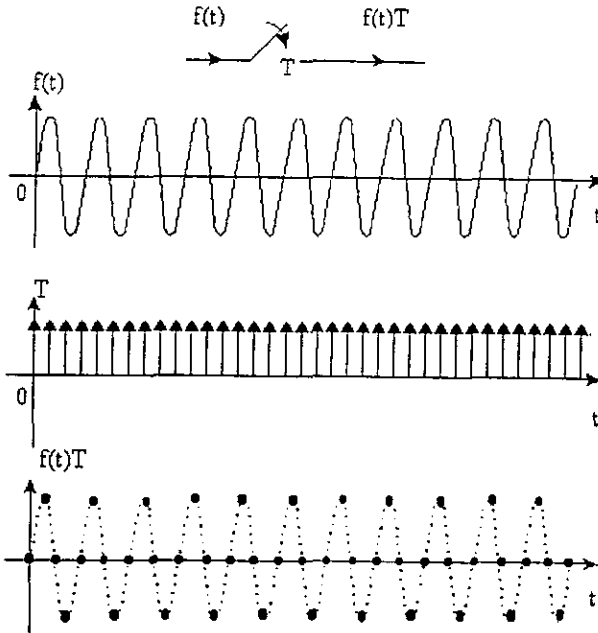


Figura 5.8.- Muestreo de una señal senoidal.

El resultado del muestreador de acción rápida es igual a multiplicar la señal analógica por un tren de pulsos de amplitud unitaria dando el tren de pulsos modulados. La amplitud de la señal original es mantenida en la envolvente moduladora de los pulsos. Si el muestreador tipo interruptor es reemplazado por un interruptor y un capacitor (un circuito muestreador-retenedor), entonces la amplitud de cada muestra es mantenida entre muestras y se obtiene así una reconstrucción razonable de la señal original.

El propósito del muestreo es el uso eficiente del equipo procesador de datos y las facilidades en la transmisión de datos. Una simple conexión para la transmisión de datos, por ejemplo, puede ser usada para transmitir varios canales analógicos, donde no podría ser

económico emplear una conexión de transmisión completa para la transmisión continua de una sola señal.

Del mismo modo, un sistema de distribución y adquisición de datos es usado para controlar y medir los diferentes parámetros de un sistema de control de procesos muestreando los parámetros y actualizando las entradas de control periódicamente. En sistemas de conversión de datos, es común multiplexar un determinado número de entradas analógicas a un solo convertidor A/D de alta velocidad.

Una cuestión fundamental a resolver sobre los sistemas de muestreo de datos es ¿Con qué frecuencia debe muestrearse una señal con el fin de no perder información? Es obvio que toda la información de una señal puede ser extraída si se muestrea a un rango mucho mayor o no hay cambios de señal durante muestras. Igualmente es obvio que el hecho de que se pierda información es debido a que existen grandes cambios en la amplitud de la señal durante el intervalo de cada muestreo.

La respuesta a la pregunta se encuentra en el Teorema de Muestreo que dice que si una señal continua con ancho de banda limitado no contiene componentes de frecuencias más grandes que  $f_c$ , entonces la señal original puede ser recobrada sin distorsión si es muestreada a un rango de al menos  $2f_c$  muestras por segundo.

El teorema de muestreo puede ser demostrado por el espectro en frecuencia ilustrado en la figura 5.9. La figura 5.9.(a) muestra el espectro en frecuencia de una señal analógica continua con banda de ancho limitada y con componentes de frecuencia menores a  $f_c$ . Cuando esta señal es muestreada a una razón  $f_s$ , el proceso de modulación traslada el espectro original fuera de  $f_s$ ,  $2f_s$ ,  $3f_s$ , etc. sumándola al origen. Una parte de este espectro resultante se muestra en la figura 5.9(b).

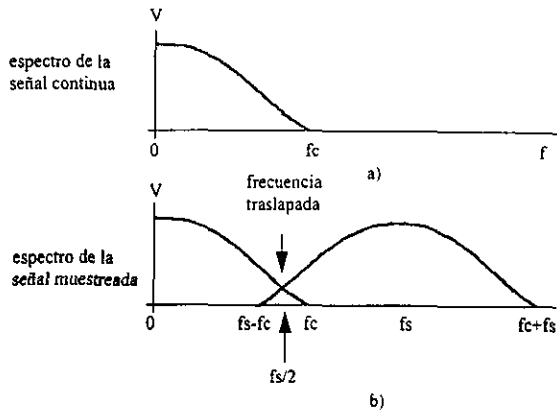


Figura 5.9.- Espectro en frecuencia demostrando el Teorema de Muestreo

Si la frecuencia de muestreo no es lo suficientemente grande, parte del espectro cercano a  $f_s$  la traslapará con la señal de espectro original. El efecto es llamado traslape de señal. Al recobrar la señal original, la parte traslapada del espectro causa distorsión en la señal recobrada, la cual no puede ser eliminada por filtros.

De la figura 5.9, si el rango de la frecuencia es aumentada hasta  $f_s - f_c > f_c$ ; los dos espectros están entonces separados y la señal original puede ser recobrada sin distorsión. Esto demuestra el resultando del Teorema de Muestreo ( $f_s > f_c$ ). La frecuencia traslapada puede ser eliminada de dos formas: primero, usando un rango de muestreo suficientemente grande y la segunda, filtrando la señal antes de ser muestreada para limitar su ancho de banda a  $f_s/2$ . Debe tenerse presente el hecho de que en la práctica siempre hay algo de frecuencias traslapadas debido a las componentes de alta frecuencia de la señal, al ruido, y al uso de filtros no lineales previos al muestreo. La razón de muestreo necesaria para eliminar estos efectos deben de ser, de hecho, mucho mayores que el mínimo especificado por el Teorema de Muestreo.

El efecto de una razón de muestreo inadecuada en una señal senoidal se muestra en la figura 5.10., en la cual se tiene como resultado una frecuencia de alias. En este caso. muestrear a una razón de menos de dos veces por ciclo, da la señal resultante de baja frecuencia mostrada por líneas mas oscuras. Esta frecuencia de alias puede ser significativamente diferente de la frecuencia original. De la figura 5.10 puede verse fácilmente que si la senoide es muestreada al menos dos veces por ciclo, como lo requiere el Teorema de Muestreo, se preserva la frecuencia original.

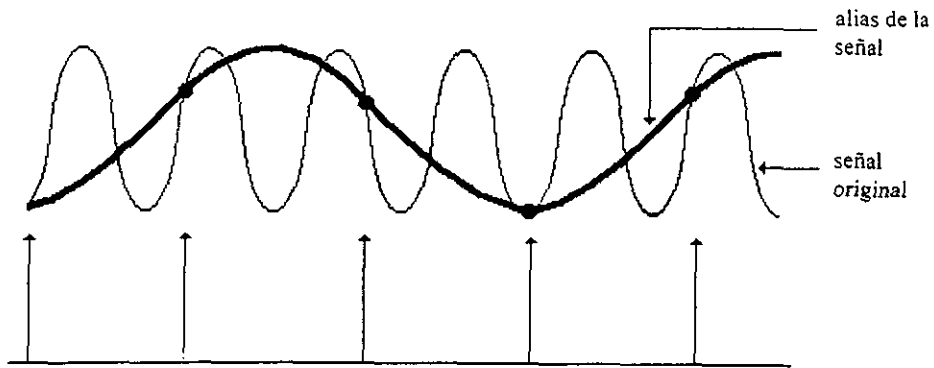


Figura 5.10.- Muestreo de una señal con  $f_s < 2f_c$ .

#### 5.4. CODIFICACIÓN PARA CONVERTIDORES

Los convertidores A/D y D/A se relacionan con los sistemas digitales por medio de los códigos digitales apropiados. Aunque hay muchos códigos a seleccionar, unos pocos estandarizados son usados exclusivamente por convertidores de datos.

### 5.4.1. Código Binario Natural

El código más popular es el binario natural, el cual es usado en su forma fraccional para representar un número

$$N = a_1 2^{-1} + a_2 2^{-2} + a_3 2^{-3} + \dots + a_n 2^{-n}$$

donde cada coeficiente "a" asume un valor de 0 ó 1. N tiene un valor entre 0 y 1.

Por ejemplo, una fracción binaria es generalmente escrita como 0.110101, pero con códigos de convertidores el punto decimal es omitido y la palabra codificada es escrita como 110101. Este código representa una fracción de la escala completa del convertidor y no tiene otro significado. En este caso la palabra binaria 110101 representa, por lo tanto, la fracción decimal  $(1 \times 0.5) + (1 \times 0.25) + (1 \times 0.125) + (1 \times 0.0625) + (1 \times 0.03125) + (1 \times 0.015625) = 0.828125$  ó 82.8125% de la escala completa del convertidor. Si la escala completa es de +10V, entonces el valor es +8.28125V. El código binario natural pertenece a la clase de códigos conocidos como de peso positivo, ya que cada coeficiente tiene un peso, donde ninguno es negativo. El bit que se encuentra más a la izquierda es el de mayor peso, 0.5 de la escala completa, y es llamado el bit más significativo ó MSB (most significant bit); el que se encuentra más a la izquierda es el de menor peso,  $2^{-n}$  de la escala completa, y por lo tanto es el menos significativo ó LSB (low significant bit). Los bits en una palabra están numerados de izquierda a derecha desde 1 hasta n.

El LSB tiene siempre el mismo valor que Q discutido anteriormente

$$\text{LSB(Valor Analógico)} = \frac{FSR}{2^n}$$

La tabla 5.1. es un resumen de la resolución, número de estados, peso de los bits menos significativos y el rango dinámico de los convertidores de uno hasta veinte bits de resolución.

Número de Bits de Resolución n	Número de Estados 2 <sup>n</sup>	Peso del Bit Menos Significativo 2 <sup>-n</sup>	Rango Dinámico dB
0	1	1	0
1	2	0.5	6
2	4	0.25	12
3	8	0.125	18.1
4	16	0.0625	24.1
5	32	0.03125	30.1
6	64	0.015625	36.1
7	128	0.0078125	42.1
8	256	0.00390625	48.2
9	512	0.001953125	54.2
10	1 024	0.0009765625	60.2
11	2 048	0.00048828125	66.2
12	4 096	0.000244140625	72.2
13	8 192	0.0001220703125	78.3
14	16 384	0.00006103515625	84.3
15	32 768	0.000030517578125	90.3
16	65 536	0.0000152587890625	96.3
17	131 072	0.00000762939453125	102.3
18	262 144	0.000003814697265625	108.4
19	524 288	0.0000019073486328125	114.4
20	1 048 576	0.000000953674316406625	120.4

Tabla 5.1.- Número de Resolución de Estados, Peso del Bit Menos Significativo (LSB) y Rango Dinámico de Convertidores.

El rango dinámico de un convertidor en dB se encuentra de la siguiente forma:

$$RD(dB) = 20 \log 2^n = 20n \log 2$$

$$= 20n(0.301) = 6.02n$$

donde RD es el rango dinámico, n es el número de bits, y 2<sup>n</sup> el número de estados del convertidor.

Ya que 6.02dB corresponde a un factor de dos, sólo es necesario multiplicar la resolución del convertidor en bits por 6.02. Un convertidor de 12 bits, por ejemplo, tiene un rango dinámico de 72.2dB.



Un importante punto a notar es que el valor máximo del valor del código digital, cuando todos son unos, no corresponde con la escala completa, sino que es menor en un bit menos significativo de la escala completa ó  $FS(1-2^{-n})$ . Por lo tanto, un convertidor de 12 bits con un rango analógico de 0 a +10V tiene un código máximo de 1111 1111 1111 y un valor analógico máximo de  $+10V(1-2^{-12}) = +9.99756V$ .

#### 5.4.2. Código Binario Desplazado.

Además del código binario natural , puede emplearse en la cuantificación el código binario desplazado, el cual se muestra en la tabla 5.2.

	Bit de posición				Nivel	
	$2^3$	$2^2$	$2^1$	$2^0$	Binario puro	Binario desplazado
Cero binario natural	0	0	0	0	0	-7
	0	0	0	1	1	-6
	0	0	1	0	2	-5
	0	0	1	1	3	-4
	0	1	0	0	4	-3
	0	1	0	1	5	-2
	0	1	1	0	6	-1
	0	1	1	1	7	-0
Cero binario desplazado	1	0	0	0	8	+0
	1	0	0	1	9	+1
	1	0	1	0	10	+2
	1	0	1	1	11	+3
	1	1	0	0	12	+4
	1	1	0	1	13	+5
	1	1	1	0	14	+6
	1	1	1	1	15	+7

Tabla 5.2.- Códigos binarios natural y desplazado.

El código binario puro es un código unipolar donde 0000 es igual a 0, donde 1111 es igual a 15, el código binario desplazado es un código bipolar donde 0000 es igual a -7 y 1111 es igual a +7, por esta razón el bit mas significativo es el signo de bit, con 0 = (-) y 1 = (+), hay niveles no cero en

el código binario desplazado, razón por lo que hay dos niveles cerca del cero. cada mitad del intervalo de cuantificación de un cero analógico verdadero.

### 5.4.3. Código en Complemento a Uno y Complemento a Dos.

Dos códigos que son ampliamente utilizados y mas compatibles con computadoras digitales son los códigos binarios en complemento a uno y complemento a dos, el complemento a uno es idéntico al código binario desplazado con la excepción del signo de bit esta invertido. en este caso el 0 es positivo y el 1 es negativo, al igual que el código binario desplazado tiene dos ceros. El código en complemento a dos difiere en que solamente tiene un 0 y este coincide con el código 0000, en este código hay un nivel negativo más (-8) que el positivo (+7), el bit de signo es igual que el complemento a uno.

<u>Bit de posición</u>				<u>Nivel</u>	
$2^3$	$2^2$	$2^1$	$2^0$	Compl. a uno	Compl. a dos
0	0	0	0	-8	-7
0	0	0	1	-7	-6
0	0	1	0	-6	-5
0	0	1	1	-5	-4
0	1	0	0	-4	-3
0	1	0	1	-3	-2
0	1	1	0	-2	-1
0	1	1	1	-1	-0
0	0	0	0	0	+0
1	0	0	1	+1	+1
1	0	1	0	+2	+2
1	0	1	1	+3	+3
1	1	0	0	+4	+4
1	1	0	1	+5	+5
1	1	1	0	+6	+6
1	1	1	1	+7	+7

Tabla 5.3.- Códigos binarios en complemento a uno y complemento a dos.

#### 5.4.4. Otros Códigos Binarios

Existen otros códigos usados en los convertidores A/D y D/A, esos códigos son: offset binario, código Gray, decimal codificado en binario (BCD), y sus versiones complementarias. Cada código tiene algunas ventajas sobre los otros en ciertas aplicaciones. Por ejemplo, el código BCD es usado en sistemas que requieren displays digitales como en los medidores y multímetros digitales. El código complemento a dos es usado por computadoras en el cálculo aritmético de operaciones lógicas, y el código binario con offset es usado en mediciones analógicas bipolares.

#### 5.5. CUANTIZACIÓN

Para una computadora u otro equipo de procesamiento digital la conversión del dominio analógico al dominio digital se llama cuantización. Esta se puede definir como la conversión de una función de entrada que tiene valores en un rango continuo a una salida que tiene solamente valores discretos. Algunas veces, la cuantización se combina con el muestreo y las dos operaciones ocurren simultáneamente. En otras aplicaciones, cuando se usa un muestreador-retenedor, el muestreo y la cuantización son dos operaciones distintas y separadas; aquí, el muestreador-retenedor efectúa las mediciones básicas y almacena el valor mientras el convertidor lo transforma a un formato digital.

La función de transferencia de un cuantizador típico, o convertidor analógico-digital, se encuentra en la figura 5.11. Mientras la entrada de valor de voltaje puede ser cualquier valor entre cero volts y la escala completa,  $V_{FS}$ , la salida puede existir solo como uno de los dieciséis valores discretos desde cero a quince; obteniéndose así una función de transferencia en forma de escalera. Cada uno de los escalones y su salida de código digital asociada, están referidas a un nivel de

cuantización. La distancia entre dos niveles de cuantización cualesquiera es llamado intervalo de cuantización.

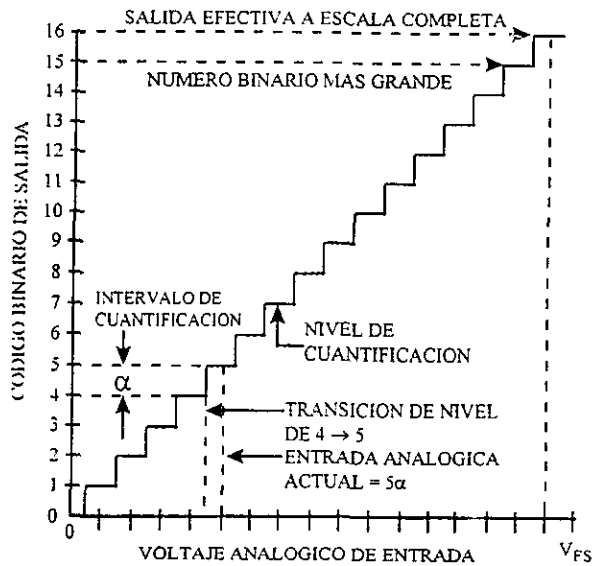


Figura 5.11.- Función de transferencia de un cuantizador.

Para un cuantizador binario (o potencias de 2), el intervalo de cuantización,  $\alpha$ , está definido como:

$$\alpha = \frac{V_{FS}}{2^n}$$

Donde :

$V_{FS}$  = voltaje de entrada a escala completa

2 = base para números binarios

$n$  = número de bits

$2^n$  = número de intervalos de cuantificación.

Para un cuantificador de 4 bits como el de la figura 5.11., su intervalo de cuantificación es :

$$\alpha = \frac{V_{FS}}{2^n} = \frac{V_{FS}}{2^4} = \frac{V_{FS}}{16}$$

En la siguiente tabla se muestran como se duplica el número de escalones con el número de bits, reduciéndose a la mitad cada paso anterior.

n	Escaleras
1	2
2	4
3	8
4	16
5	32
6	64
7	128
8	256
9	512
10	1024
11	2048
12	4096
13	8182
14	32768
15	65536

Tabla 5.4.- Número de escalera por cada número de bit.

## 5.6. CONVERTIDOR ANALÓGICO-DIGITAL

La conversión analógico-digital (A/D) es el proceso principal del sistema de adquisición de datos, es la interface entre el dominio analógico y el digital. Las señales analógicas son muestreadas, cuantizadas y codificadas a un formato digital. En algunos casos las tres funciones se llevan a cabo dentro del mismo convertidor analógico-digital, si se emplea un circuito muestreador retenedor externamente, el convertidor A/D efectúa únicamente las funciones de

cuantización y codificación; en este caso el circuito muestreador retenedor mantiene un voltaje muestreado a un nivel constante mientras el convertidor A/D traduce ese nivel a un equivalente digital.

*Existen varias formas de clasificar a los convertidores A/D. En principio, pueden considerarse dos tipos básicos: convertidores de ciclo cerrado y convertidores de ciclo abierto.*

1.- *Convertidor de ciclo cerrado.* Si se incluye en el proceso una realimentación digital, se tendría un convertidor de ciclo cerrado. En este caso, los circuitos de decisión analizan la salida en formato analógico, ya que los datos digitales obtenidos son convertidos al dominio analógico y comparados con la entrada; si la conversión se considera correcta, el proceso termina, de lo contrario se llevan a cabo otros procesos hasta obtener en la comparación un resultado que cumpla con la precisión requerida.

2.- *Convertidor de ciclo abierto.* En un sistema cerrado se realiza la conversión y el resultado obtenido es presentado a la salida del convertidor para su uso inmediato.

Convertidores programados y no programados, son otro par de términos usados para describir a los convertidores A/D:

1.- *Convertidor programado.* El convertidor A/D programado opera con una determina secuencia de eventos sincronizados. Cuando se le aplica al convertidor un comando de conversión, éste traduce la señal analógica de entrada a su equivalente digital en una precisa secuencia determinada. Todas las conversiones están regidas por el comando de conversión externo, y no se inicializan por cambios en el valor de entrada.

2.- *Convertidor no programado.* Por otra parte, el convertidor no programado es influenciado por cambios en el valor de la señal de entrada. El convertidor no efectúa operación alguna hasta que ocurra un cambio en la señal de entrada.

Una tercera forma de considerar la clasificación de los convertidores A/D es determinada por el tipo de proceso que efectúa para llevara acabo la conversión ya sea por comparación de voltajes discretos o por carga de un capacitor:

1.- *Comparación de voltajes discretos.* Esta clase de convertidor compara la entrada de voltaje analógico con niveles de referencia discretos para producir directamente una salida digital.

2.- *Carga de capacitor.* Este convertidor digitalmente codifica el tiempo necesario para cargar o descargar un capacitor al voltaje de entrada, siempre con respecto a alguna referencia.

#### **5.6.1. Tipos de Convertidores.**

- **Convertidor tipo contador**

Uno de los más simples convertidores es el de tipo contador. Este circuito emplea un contador digital para controlar la entrada de un convertidor D/A. Los pulsos de reloj son aplicados al contador y la salida del convertidor D/A es escalonada un LSB a la vez. Un comparador compara la salida del D/A con la entrada analógica y detiene los pulsos de reloj cuando ambos son iguales. La salida del contador es entonces convertida a una palabra digital.

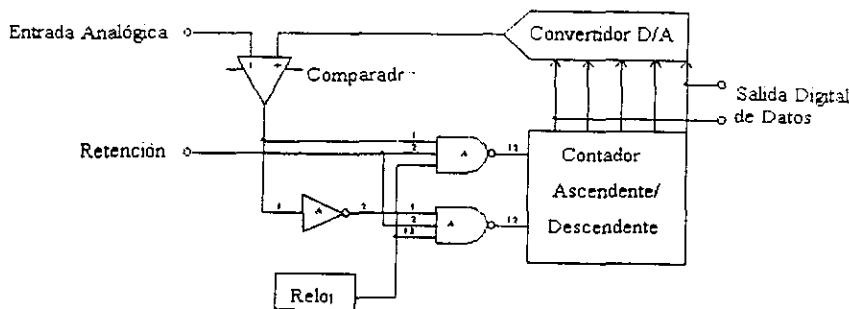


Figura 5.12.- Diagrama a bloques de un convertidor A/D del tipo contador.

Aunque esta conversión es simple también es relativamente lenta. Una mejora a esta técnica se muestra en la figura 5.12., que es comúnmente usada en sistemas de control. Aquí un contador controla el DAC y los pulsos de reloj manejan la cuenta incrementando o decrementando el D/A para igualar el valor del voltaje analógico. La obvia ventaja de este convertidor A/D es que puede seguir continuamente a la señal de entrada y actualizar la salida digital si la señal no cambia muy rápidamente.

- **Convertidor de doble rampa.**

La figura 5.14. representa el convertidor A/D de doble pendiente. Cuando se da un mandato o comando de conversión, una corriente de entrada  $I_{ent}$  que es proporcional a la entrada analógica, carga el condensador de rampa C durante un tiempo de referencia  $T_{ref}$ . La cuenta de escala completa, o última división de la escala es proporcional al tiempo de  $T_{ref}$  y está dada determinada por la frecuencia del impulso de reloj  $f_c$ . Al final del tiempo  $T_{ref}$  la tensión del condensador C se ha cargado por encima de  $V_{ref}$  por  $I_{ent}(T_{ref}/C)$  y el condensador se conmuta para



descargar la corriente de referencia  $I_{ref}$ . También el contador de salida se habilita durante el tiempo  $T_x$  en el que el condensador se descarga hasta la tensión  $V_{ref}$  y el comparador inhabilita al contador de salida. Como las tensiones de carga y descarga del condensador son iguales, el tiempo  $T_x$  es igual a  $I_{ent}(T_{ref}/I_{ref})$ .

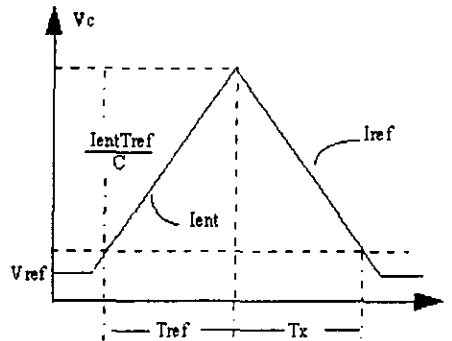


Figura 5.13.- Función de transferencia de un convertidor A/D de doble rampa.

La cuenta indicada en la última división de la escala, o de plena escala,  $n_{es}$  y la cuenta de salida  $n_x$  están relacionadas con los tiempos  $T_{ref}$  y  $T_x$  por la frecuencia de reloj  $f_c$ :

$$T_{ref} = \frac{n_{es}}{f_c} \quad \text{y} \quad T_x = \frac{n_x}{f_c}$$

Así

$$n_x = \frac{I_{ent} n_{es}}{I_{ref}}$$

La cuenta digital de salida  $n_x$  puede ser almacenada en la salida hasta que un mandato de conversión comience a generar un nuevo tiempo  $T_x$ .

Este tipo de conversión se utiliza donde se requiera una alta precisión, ya que la cuenta de salida no es función de la frecuencia de reloj ni de la capacidad de rampa y pueden ser provistas

referencias exactas de corriente. Sin embargo la velocidad de conversión es generalmente lenta, aproximadamente igual a  $T_{ref} + T_v$ .

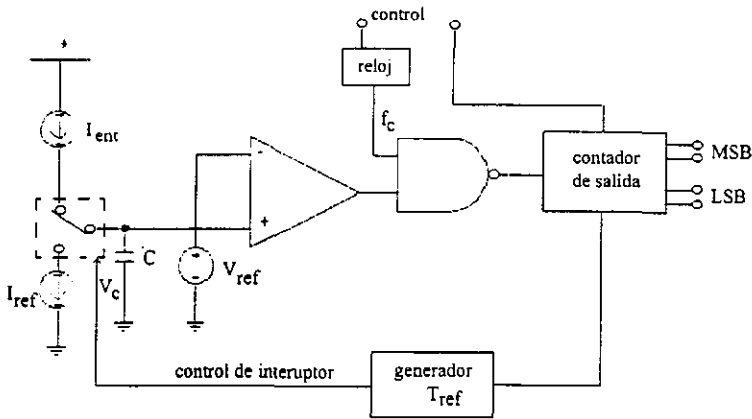


Figura 5.14.- Diagrama a bloques de un convertidor A/D del tipo doble rampa.

### • Convertidor A/D Tipo Paralelo (Flash)

Para aplicaciones que requieren conversiones muy rápidas como el procesamiento de señales de vídeo y aplicaciones de radar con resoluciones inferiores a 8 bits, se emplea una técnica diferente conocida como método en paralelo y se ilustra en la figura 5.15. Este circuito emplea  $2^n - 1$  comparadores analógicos para implementar directamente la cuantización de un convertidor A/D.

Los comparadores están separados 1 LSB por las resistencias en serie del voltaje de referencia. Para un voltaje analógico dado todos los comparadores que se encuentren por debajo del voltaje están en 1, por el contrario, los que están por debajo del voltaje permanecen en 0. Ya que todos los comparadores cambian simultáneamente, el proceso de cuantización se lleva a cabo en una sola operación. Se requiere un segundo paso ya que la salida lógica de los comparadores

no está en forma binaria. Por ello, se usa un circuito decodificador para hacer la conversión a binario. La técnica de conversión en paralelo es rápida debido a que sólo se emplean dos operaciones para llevarla a cabo.

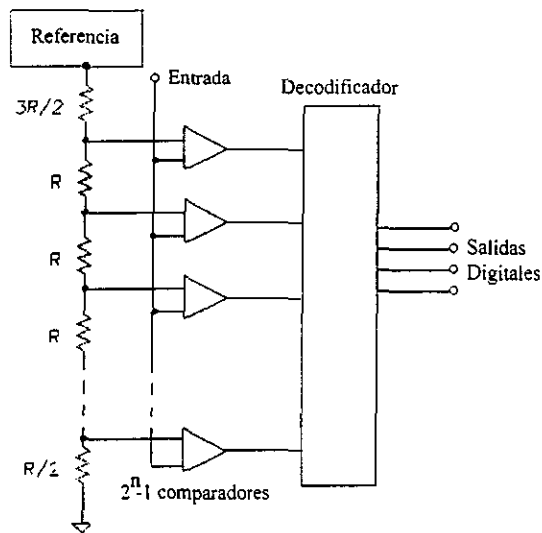


Figura 5.15.- Convertidor A/D del tipo paralelo (flash).

Sin embargo, la limitación del método está en el gran número de comparadores requeridos para lograr una resolución moderada. Un convertidor de 4 bits sólo requiere de 15 comparadores, pero uno de 8 bits necesitará de 255 comparadores; por esta razón en la práctica es común implementar un convertidor de 8 bits con dos segmentos de convertidores de 4 bits como se muestra en la figura 5.16.

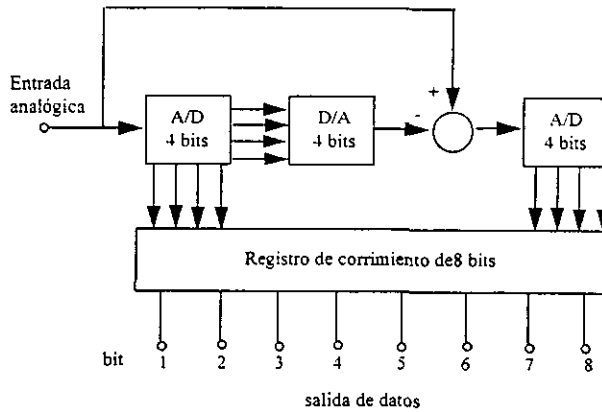


Figura 5.16.- Convertidor A/D del tipo paralelo de 8 bits

El resultado de la primera conversión de 4 bits es convertida nuevamente a analógica por medio de un convertidor D/A y restada a la señal original. El residuo resultante es entonces convertido con otro A/D de 4 bits y los dos segmentos de datos son acumulados en la salida de registros de 8 bits. Convertidores de este tipo de 8 bits pueden manejar señales con rango de frecuencias mayores a 20 Mhz, mientras que con 4 bits pueden convertirse señales de 50 a 100 Mhz.

- **Convertidores de Aproximaciones Sucesivas**

La técnica de conversión de señales analógicas a digitales más popular es la de aproximaciones sucesivas, la cual se usa aplicaciones que requieren desde velocidades moderadas hasta altas velocidades. Este método se clasifica entre los llamados de convertidores A/D realimentados. En este caso un convertidor D/A está en el ciclo de realimentación de un circuito de control digital, el cual cambia su salida hasta que es igual a la entrada analógica. En el

convertidor de aproximaciones sucesivas el DAC es controlado en forma óptima para completar la conversión en  $n$  pasos, donde  $n$  es la resolución del convertidor en bits.

La operación de este convertidor es análoga a encontrar un peso desconocido en una balanza de laboratorio usando pesos estandarizados en una secuencia binaria como 1, 1/2, 1/2, 1/8, ..., 1/n kilogramos. El procedimiento habitual es iniciar con el peso estándar más grande y proceder en modo descendente hasta el más pequeño. El peso más grande es colocado primero en la balanza, si no sobrepasa al peso desconocido se añade el siguiente peso; si se sobrepasa, se quita ese peso y se añade el siguiente en menor valor. El mismo procedimiento es usado para el siguiente peso y así sucesivamente hasta el menor. Después de que el  $n$ -ésimo peso fue colocado y se ha hecho una decisión, la operación ha terminado. La suma de los pesos que permanecen en la balanza es el peso aproximado del objeto a medir.

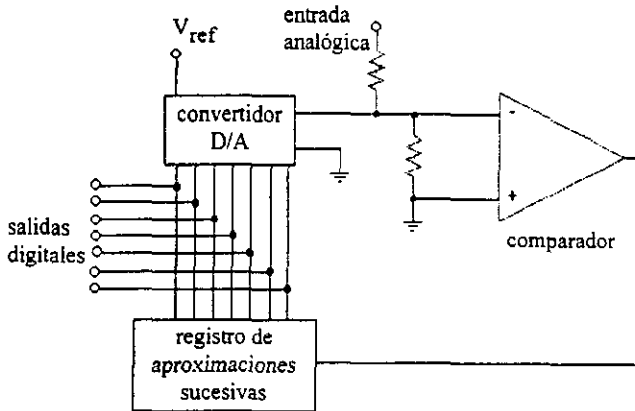


Figura 5.17.- Convertidor A/D de aproximaciones sucesivas.

En el convertidor de aproximaciones sucesivas ilustrado en la figura 5.17., un registro de aproximaciones sucesivas (RAS) controla el convertidor D/A implementando la lógica de los

pesos anteriormente descrita. El RAS establece primero el MSB en el convertidor y el comparador prueba esta salida con la entrada analógica tomando la decisión de poner a uno o a cero, después de lo cual se procede igualmente con el segundo bit y se hace una nueva comparación. Después de  $n$  comparaciones, la salida digital del RAS indica todos los bits que permanecieron en alto y produce el código digital deseado. El circuito de reloj controla los tiempos en el RAS. La figura 5.18. muestra al la salida del convertidor D/A durante una típica conversión.

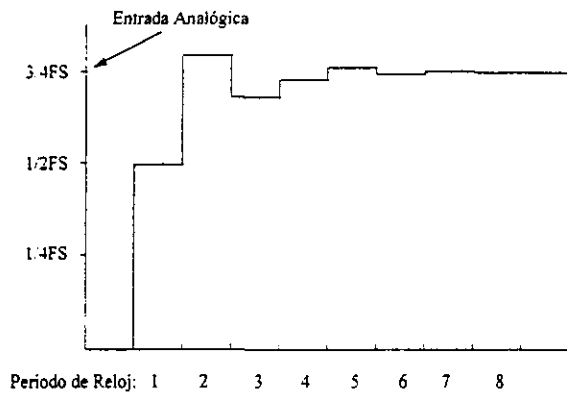


Figura 5.18.- Salida de un convertidor A/D de aproximaciones sucesivas con 8 bits.

La eficiencia en la conversión de esta técnica significa que conversiones de alta resolución pueden ser hechas en tiempos muy cortos. Por ejemplo, es posible desarrollar una conversión de 10 bits en  $1 \mu\text{seg}$  ó menos y una conversión de 12 bits en menos de  $2 \mu\text{seg}$ .

Las ventajas y desventajas en el uso de convertidores de aproximaciones sucesivas pueden resumirse como sigue:

- **Ventajas:**

Alta velocidad (típicamente 100 000 conversiones por segundo).

Mediana densidad en escala de integración.

Error reducido.

- **Desventajas:**

Necesidad de usar varios componentes críticos.

Requiere muestreador-retenedor.

Dificultades de offset.

## 5.7. MULTIPLEXIÓN

Los multiplexores analógicos son los circuitos que preceden a los convertidores A/D con el fin de manejar diferentes canales analógicos. Ya que los convertidores A/D en muchos casos es el componente más caro en los sistemas de adquisición, es conveniente económicamente multiplexar los diferentes canales analógicos. En ocasiones, el multiplexor analógico opera a la entrada de un circuito muestreador-retenedor, el cual retiene el voltaje analógico requerido el tiempo suficiente para la conversión.

El multiplexor analógico permite el uso de un solo sistema de conversión analógico-digital para la medición de un amplio número de diferentes fuentes de señal. Aunque muchos sistemas multiplexados manejan de 2 a 10 canales, se han llegado a implementar sistemas hasta con 100 canales.

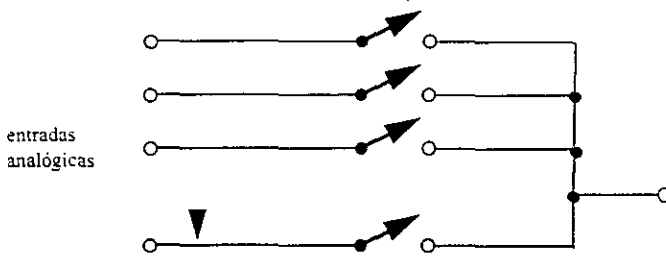


Figura 5.19.-Representación básica del multiplexor.

En la figura 5.19. se ilustra el multiplexor analógico en su forma más básica. Cada una de las señales analógicas son seleccionadas individualmente a la entrada del sistema de conversión. De esta manera los acondicionadores de señal y el convertidor analógico-digital están acoplados a varias señales de entrada. La mayor premisa, es que debe satisfacerse la razón de muestreo requerida para cada una de las señales. Un diagrama a bloques de un multiplexor analógico típico puede observarse en la figura 5.20. El sistema consiste de dos partes básicas: (1) los interruptores analógicos y (2) la lógica de control.

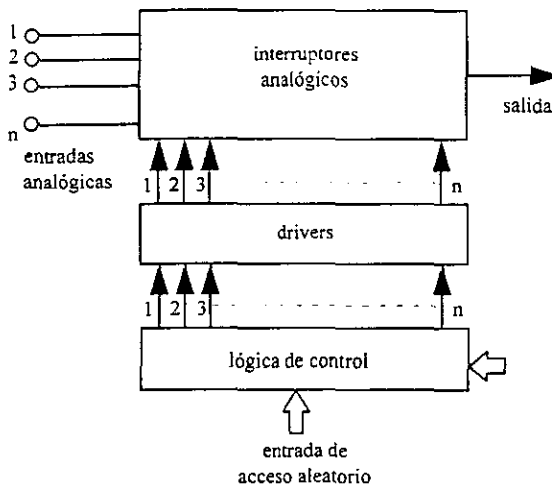


Figura 5.20.-Diagrama a bloques de un multiplexor.



También puede contar con manejadores que proveen de las señales para abrir o cerrar los interruptores en forma individual; la lógica de control determina el orden en el cual los canales son activados. Existen cuatro modos *generales de realizar la función de multiplexión*:

1. En el modo secuencial, cada canal es activado en una secuencia continua predeterminada; la secuencia puede ser tan simple como iniciar con el canal 1 y proceder en orden hasta el canal n. No obstante, los canales que requieren una razón de muestreo mayor podrían aparecer más frecuentemente que otros dentro de la secuencia. Cualquiera que se añada a la secuencia, el sistema la repite continuamente mientras se encuentre activo.
2. En el modo de acceso aleatorio, cualquier canal puede ser seleccionado individualmente presentando la dirección del canal a la entrada de control del multiplexor con un esquema de direccionamiento aleatorio. Este modo es generalmente usado cuando un sistema de adquisición de datos está bajo el control de una computadora.
3. En el modo manual, la multiplexión de canales se lleva a cabo a través de un selector manual colocado al frente del sistema.
4. En la selección por programación, el sistema de adquisición está controlado por una computadora que cuenta con rutinas en software, las cuales permiten al usuario seleccionar un canal a través de algún periférico de la computadora (teclado, mouse, etc).

Los interruptores en los multiplexores analógicos pueden ser separados en dos categorías: electromecánicos y de semiconductores. En general, los dispositivos electromecánicos son usados para sistemas en donde la velocidad y el consumo de energía no son un problema, mientras que los interruptores de semiconductor se emplean en sistemas de alta velocidad y bajo consumo de energía. Aunque los dispositivos electromecánicos se aproximan más a un interruptor ideal con

resistencia cero cuando están cerrados y resistencia infinita cuando se abren, con su relativa baja velocidad solo pueden ser realizar menos de 100 operaciones por segundo. Por otro lado, los interruptores semiconductores pueden operar en el rango de hasta millones de operaciones por segundo; la desventaja sin embargo, son características inherentes como la resistencia en condiciones de apertura y cierre, voltajes y corrientes de pérdida y la interconexión de canales. Aún así, los multiplexores de semiconductor tienen un mayor rango de aplicación en los sistemas de adquisición actuales que los electromecánicos; además ofrecen otras ventajas como, tamaño reducido, ligeros y más confiables. Los dispositivos de semiconductor más populares son los diodos de rapidez, transistores de efecto de campo, P-MOS y N- MOS, y dispositivos C-MOS.

Como se muestra en la figura 5.21., un multiplexor analógico de semiconductores consiste de un arreglo de interruptores electrónicos, normalmente abiertos, conectados a una línea en común de salida. Solo un interruptor es activado a la vez de acuerdo a una palabra de control proporcionada por el usuario. Las configuraciones más comunes incluyen 4, 8 y 16 canales. El multiplexor también contiene un circuito decodificador el cual decodifica una palabra de entrada en binario y activa el interruptor apropiado.

## 6. DISEÑO ELECTRÓNICO.

Para el diseño del sistema de diagnóstico se propusieron como características las siguientes:

- Tarjeta de adquisición de señales capaz de conectarse a una computadora PC compatible con IBM, y de tamaño tal que pueda acoplarse a una ranura de expansión ISA de la PC.
- Resolución del convertidor de 10 bits con una frecuencia de muestreo de hasta 25Khz. La frecuencia de muestreo seleccionada permitirá digitalizar la mayoría de las señales de vibración.
- Se usará como sensor de vibraciones, el acelerómetro piezoelectrico.
- Se acoplará un módulo de amplificación y acondicionamiento de la señal obtenida del acelerómetro con cuatro canales analógicos multiplexados, y la capacidad de seleccionar el canal activo por medio de programación.
- La alimentación de la tarjeta y del módulo de amplificación es proporcionada por la computadora.

### 6.1. DIAGRAMA A BLOQUES.

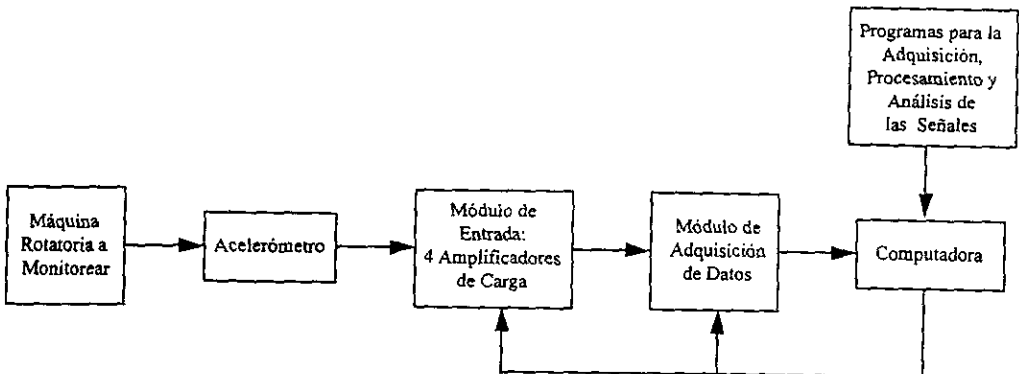


Figura 6.1.- Diagrama a bloques del sistema de monitoreo.

El diagrama a bloques del sistema de monitoreo de vibraciones se muestra en la figura 6.1.

El diseño del sistema se divide en dos módulos:

- Módulo de entrada: amplificadores sensitivos a la carga, de ganancia variable.
- Módulo de adquisición de datos.

A continuación se describe cada una de las etapas que constituyen el sistema.

## 6.2. MÓDULO DE ENTRADA.

### 6.2.1. Diseño.

Para acondicionar las señales de carga generadas por el acelerómetro, se propuso un circuito amplificador de carga como se muestra en la figura 6.2.

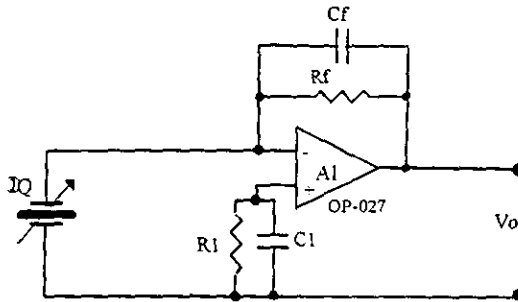


Figura 6.2.- Amplificador sensitivo a la carga propuesto.

En el diseño del amplificador de carga se seleccionaron y propusieron los siguientes datos:

$Q_a$  = Sensibilidad del acelerómetro:  $10.18 \text{ pC/ms}^{-2}$

$C_f$  = Capacitor de retroalimentación:  $1 \text{ nF}$ .

De la ecuación 10 se tiene que el voltaje de salida es

$$V_o = -\frac{18.18 \frac{\mu C}{ms^{-2}}}{1nF} = -\frac{10.18 \times 10^{-12}}{1 \times 10^{-9}} = -10.18 \times 10^{-3} \frac{C}{ms^{-2} F}$$

Como

$$Farad = \frac{Coulomb}{Volt}$$

entonces,

$$V_o = -10.18 \times 10^{-3} \frac{Volts}{ms^{-2}}$$

La frecuencia de corte baja  $f_c$  del amplificador de carga es influenciada por el capacitor  $C_f$  y la resistencia  $R_f$  de retroalimentación, y esta determinada por

$$f_c = \frac{1}{2\pi C_f R_f} \quad (18)$$

entonces, la frecuencia  $f_c$  del amplificador de carga es

$$f_c = \frac{1}{(6.28)(1 \times 10^{-3})(10 \times 10^6)} = \frac{1}{0.0628} = 15.9 Hz$$

Esto implica que el amplificador de carga integra a partir de esta frecuencia.

La resistencia  $R_I$  y el capacitor  $C_I$  compensan la corriente de entrada del amplificador operacional, los valores propuestos son recomendados por la literatura [2]. Para obtener una señal adecuada en voltaje de la modulo amplificador, se adicionó como etapa de salida un amplificador A2 en la configuración de amplificador no inversor, con ganancia de 100 y entrada variable (figura 6.3), el cual permite tener un ajuste del voltaje de salida a un nivel adecuado para el respectivo análisis.

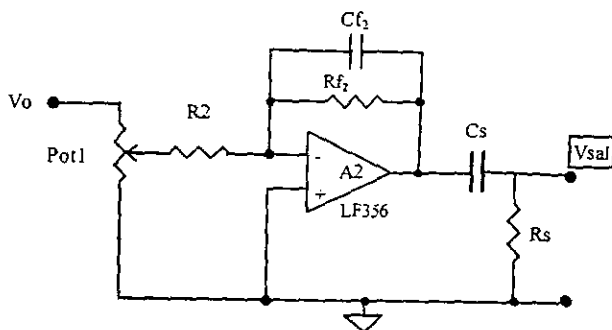


Figura 6.3.- Amplificador no inversor con entrada variable como etapa de salida del amplificador sensitivo a la carga.

La ganancia del amplificador A2 esta dada por

$$\frac{V_{sal}}{V_{en}} = \frac{R_{f2}}{R_2} + 1 \quad (19)$$

En esta etapa amplificadora se adicionó un capacitor de retroalimentación  $C_{f2}$ , actuando el amplificador como un filtro pasa bajas, con frecuencia de corte dado por la ecuación 18. A la salida de esta etapa amplificadora se adicionó un filtro pasa altas compuesto por el capacitor  $C_s$  y la resistencia  $R_s$ , eliminando así las componentes de corriente directa cd, generada en el amplificador de salida. Las características finales que el amplificador de carga presenta son:

- Sensibilidad de entrada de  $10 \text{ pC/mS}^{-2}$  o  $99.9 \text{ pC/g}^2$
- Sensibilidad de voltaje  $8 \text{ mV/mS}^{-2}$  o  $77.4 \text{ mV/g}$
- Ganancia de salida variable.
- Alimentación externa de  $\pm 15$  Voltios (máximo).

El módulo de entrada anteriormente descrito se compone de cuatro canales de entrada multiplexados, cada uno de los cuales cuenta con un amplificador sensitivo a la carga; permitiendo así al sistema monitorear diferentes puntos de una sola máquina, o bien a varias máquinas.

### 6.3. MÓDULO DE ADQUISICIÓN DE DATOS.

#### 6.3.1. Diseño.

El sistema de diagnóstico cuenta con cuatro canales analógicos de entrada, para seleccionar un canal se utilizó el circuito multiplexor 4051 CII. Este componente cuenta con 8 interruptores analógicos y una salida. Los interruptores son seleccionados digitalmente mediante programación desde la PC, donde las direcciones para habilitar los canales 0, 1, 2, 3 se seleccionaron de los puertos libres de la ranura de expansión en las conexiones A2 y A3 (figura 6.7.). La siguiente figura ilustra la conexión de CII y su tabla de funcionamiento se muestra en la tabla 6.1.

Inhabilitación	Entradas de control			Canal activado
	Selección			
	C	B	A	
0	0	0	0	X0
0	0	0	1	X1
0	0	1	0	X2
0	0	1	1	X3
0	1	0	0	X4
0	1	0	1	X5
0	1	1	0	X6
0	1	1	1	X7
1	X	X	X	Ninguno

Tabla 6.1.- Tabla de funcionamiento del 4051

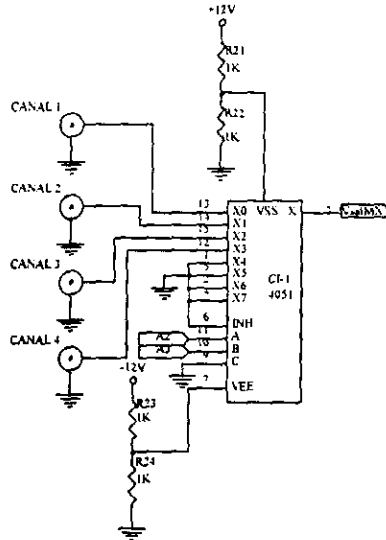


Figura 6.4.- Circuito selector de los canales de entrada analógicos.

Las señales analógicas de entrada son señales bipolares, por el cual el CI1 se polarizó con divisores de voltaje en  $V_{SS}$  y  $V_{EE}$ . Para acondicionar las señales analógicas provenientes de CI1 se adaptó un amplificador operacional AO-9 de ganancia uno con una pequeña compensación  $POT5$ ; al AO-9 se le adaptó un ajuste de voltaje de compensación  $POT6$  eliminando así posibles componentes de corriente directa  $cd$  que puedan contener las señales a analizar. la figura 6.5.. muestra la configuración del AO-9.

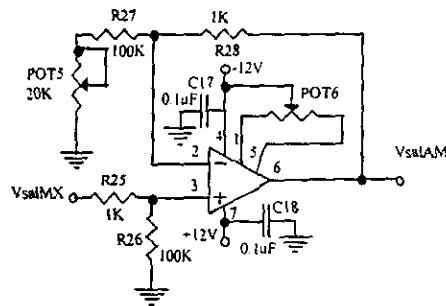


Figura 6.5.- Amplificador de ganancia unitaria.



### Circuito de muestreo-retención.

Para que el convertidor A/D vea en sus entradas niveles constantes de cd, se necesita un circuito de Muestreo/Retención (M/R). Este muestrea la señal de voltaje y la mantiene en un capacitor por el tiempo requerido para desarrollar la conversión A/D. El tiempo de apertura del convertidor A/D es por lo tanto reducido por el circuito de muestreo-retención; éste último está en función del ancho de banda y del tiempo de conmutación. El circuito utilizado para llevar a cabo esta función es el LF398A. Este circuito opera con voltajes de  $\pm 5$  a  $\pm 15$  voltios y baja corriente de entrada lo que permite conexiones directas a lógicas TTL, PMOS y CMOS con un tiempo de adquisición menor de  $10 \mu\text{s}$ . El diagrama del circuito de muestreo-retención implementado se muestra en la figura 6.6.

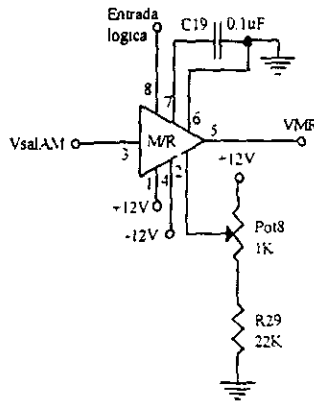


Figura 6.6.- Circuito de Muestreo y Retención (M/R).

El capacitor de retención *C19*, se obtuvo mediante una tabla de tiempos de adquisición [9] para un tiempo de  $40 \mu\text{s}$ ; en el ajuste de offset se utilizó un arreglo resistivo con *POT8* y *R29* obteniendo así una corriente especificada por el fabricante de  $0.6 \text{ mA}$  aproximadamente. El

LM398, cuenta además con una entrada lógica que activa sucesivamente las funciones de muestreo y retención, la cual está sincronizada con la finalización e inicio de cada conversión del convertidor A/D. Para lógica TTL, con un nivel alto en la entrada, el componente se activa a su función de muestreo, y con un nivel bajo en su función de retención. A la salida del circuito muestreador-retenedor se tienen las señales analógicas acondicionadas para la etapa de conversión analógica-digital.

#### **Control y conversión analógica digital.**

Para integrar el módulo de adquisición de datos en la PC, ésta es colocada dentro de uno de los cinco canales (ó slots) entrada/salida. Los canales de entrada/salida son simplemente un grupo de 62 líneas de señales que pueden ser usadas para conectar la PC con dispositivos externos no existentes dentro del sistema. Físicamente, el canal de entrada/salida es implementado por los cinco circuitos impresos con conectores (ranuras) en la esquina superior izquierda de la tarjeta de la PC. Cada uno de esos slots está conectado al mismo grupo de las 62 líneas de los canales de entrada/salida, así que todas las ranuras son idénticas. Entre otras funciones, es posible realizar a través de las ranuras de expansión aumentos de memoria, acoplamiento de dispositivos de entrada/salida especializados, etc.

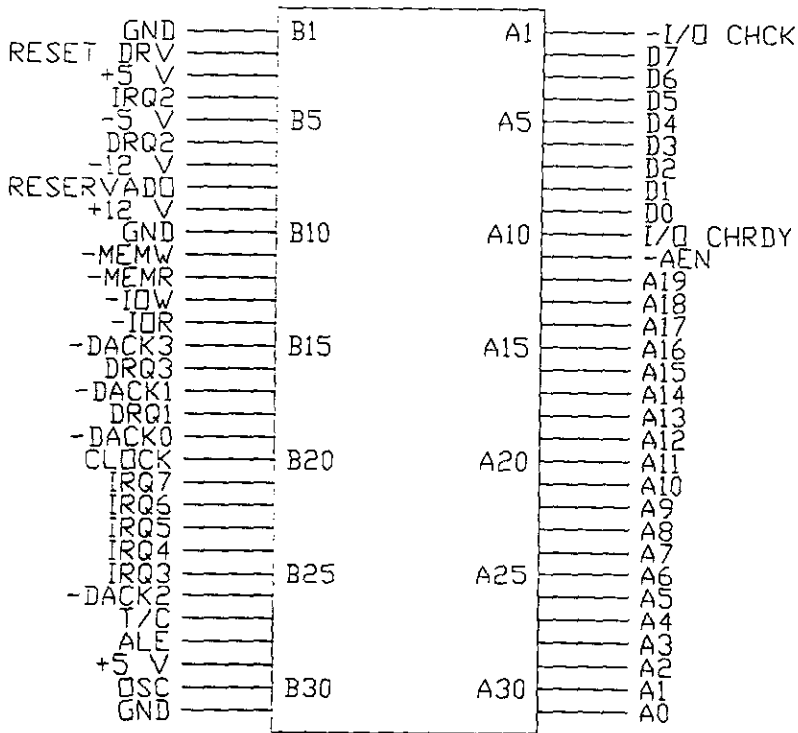


Figura 6.7.- Ranura de expansión de la PC.

Las tarjetas que se colocan en los slots tienen una longitud máxima de 12 pulgadas y ancho de 4.5 pulgadas. La figura 6.7. muestra la configuración de pines en el slot. El grupo incluye 20 líneas de dirección, ocho líneas de datos bidireccionales, tres requisiciones de acceso directo a memoria (DMA) y cuatro de reconocimiento, decodificador entrada/salida DMA, terminal de conteo DMA, disponibilidad de entrada/salida, verificación de paridad, habilitación de direcciones, lectura de memoria y escritura, cinco líneas de solicitud de interrupción, alta frecuencia y sistema de reloj, *reset*,  $\pm 12$  volts,  $\pm 5$  volts y tierra.

Para escribir o leer datos del exterior se utilizan 16 líneas de dirección (A0-A15), en el caso de la PC solamente se decodifican de A0 - A9 con esto se tienen 1024 puertos de entrada y salida, de los cuales se reservan algunos para puertos seriales, paralelos, control de vídeo, etc. En la tabla 6.2. se enlistan las direcciones de entrada/salida usadas en los dispositivos estándar PC y la función que realizan; de aquí se seleccionaron las direcciones 0300h-031Fh las cuales se encuentran disponibles para una tarjeta prototipo.

Direcciones de entrada y salida (I/O)	Función
03F8 - 03FFh	Puerto Serial Primario
03F0 - 03F7h	Controlador del Floppy
03D0 - 03DFh	Adaptador de vídeo CGA
03C0 - 03CFh	Adaptador de vídeo EGA
03B0 - 03BFh	Adaptador de vídeo monocromático
03A0 - 03AFh	Reservado para Puerto Primario Bisíncrono
0390 - 039Fh	Disponible
0380 - 038Fh	Reservado para Puerto Secundario Bisíncrono
0378 - 037Fh	Primer Puerto Paralelo para Impresora
0370 - 037h	Disponible
0360 - 036h	Reservado
0300 - 031Fh	Reservado para Tarjeta Prototipo
02F8 - 02FFh	Segundo Puerto Serial
0278 - 027Fh	Segundo Puerto Paralelo para Impresora
0200 - 0207h	Reservado para Juegos
01F0 - 01F7h	Controlador de Disco Duro
00F0 - 00FFh	Reservado
00C0 - 00DFh	Controlador 2 DMA (8237 equiv)
00A0 - 008Fh	Interruptor del Controlador 2 (8359 equiv)
0080 - 009Fh	Página de Registro DMA (74LS612 equiv)
0070 - 007Fh	Reloj en tiempo real y máscara NMI
0060 - 006Fh	Controlador de Teclado (8042 equiv)
0040 - 005Fh	Temporizador Programable (8254 equiv)
0020 - 003Fh	Interruptor del controlador 1 (8359 equiv)
20000 - 001Fh	Controlador 1 DMA (8237 equiv)

Tabla 6.2.- Localización de direcciones I/O de la PC.

La decodificación de estas direcciones se realizó con un comparador de magnitud de 8 bits, el 74LS688 CI-2. Este es un circuito de la familia CMOS de alta velocidad compatible terminal con terminal con su contraparte TTL. A este circuito se conectaron las direcciones de A9 - A4 a las

líneas correspondientes con una de las cantidades a comparar (tabla 6.3). Esta cantidad se realiza con el microinterruptor MS-1, figura 6.8. En las otras direcciones se ponen los niveles correspondientes para seleccionar los canales de entrada.

A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1	0	0	0	0	X	X	X	X

Tabla 6.3.- Direcciones libres 300h - 30Fh.

Los valores en hexadecimal corresponden a las direcciones 300 - 30Fh. Con las líneas A0 y A1 se selecciona el modo de operación de CI-4, y con las líneas A2 y A3 se seleccionan los canales de entrada teniendo las siguientes direcciones:

- 303h Canal 0
- 307h Canal 1
- 30Bh Canal 2
- 30Fh Canal 3

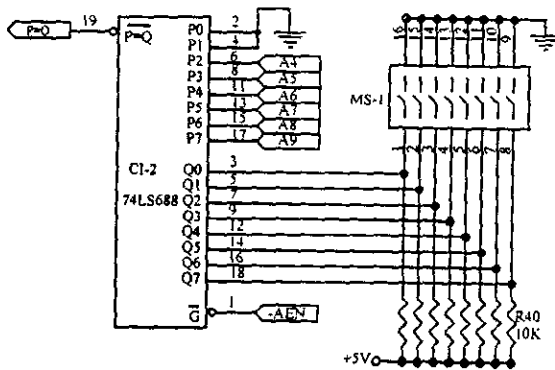


Figura 6.8.- Selección de las direcciones 300h - 30Fh.

El CI-2 tiene una entrada de habilitación, la cual se utiliza para validar las direcciones. Esta validación se hace conectando la señal  $\overline{AEN}$ , la cual indica cuando la dirección presente en el bus de direcciones fue generado por el microprocesador. Cuando la habilitación y la dirección son correctas, el CI-2 presenta un nivel bajo en  $P=Q$ , el cual indica la presencia de una dirección o localidad de memoria en el rango de 300h - 30Fh.

### Circuito de interface.

Para llevar a cabo la interface entre periféricos y la computadora se utilizó el PPI 8255, CI-4 (Parallel Programmable Interface), también conocido como PIO (Parallel I/O), es uno de los circuitos de interface de la familia Intel dedicados al soporte con el microprocesador. Se seleccionó el empleo del 8255 debido a las ventajas que presenta:

- 1) Puede ser programado dinámicamente ya sea como grupo de puertos de entrada o salida.
- 2) Los puertos de salida pueden ser leídos como si se tratara de memorias.
- 3) Está provisto de información acerca del estado de operación.

La figura 6.9. muestra el diagrama a bloques del 8255, el cual contiene un bus de interface consistente de  $\overline{RD}$ ,  $\overline{WR}$ ,  $\overline{CS}$ , ocho líneas bidireccionales de datos y un puerto interno de direccionamiento ( $A_0$  y  $A_1$ ). El circuito implementa tres puertos de ocho bits A, B y C, cada uno de los cuales puede ser configurado como un puerto de entrada o un puerto de salida. El puerto B también puede ser configurado como un puerto bidireccional usando 5 líneas del puerto C para control. El bus de interface incluye una línea de  $\overline{RESET}$ , el cual con una señal alta inicializa todos los puertos como entradas. Esto previene cualquier daño que pueda ocurrir al energizar el sistema debido a que un pin pueda estar actuando como salida cuando el circuito externo espera que el pin actúe como una entrada.

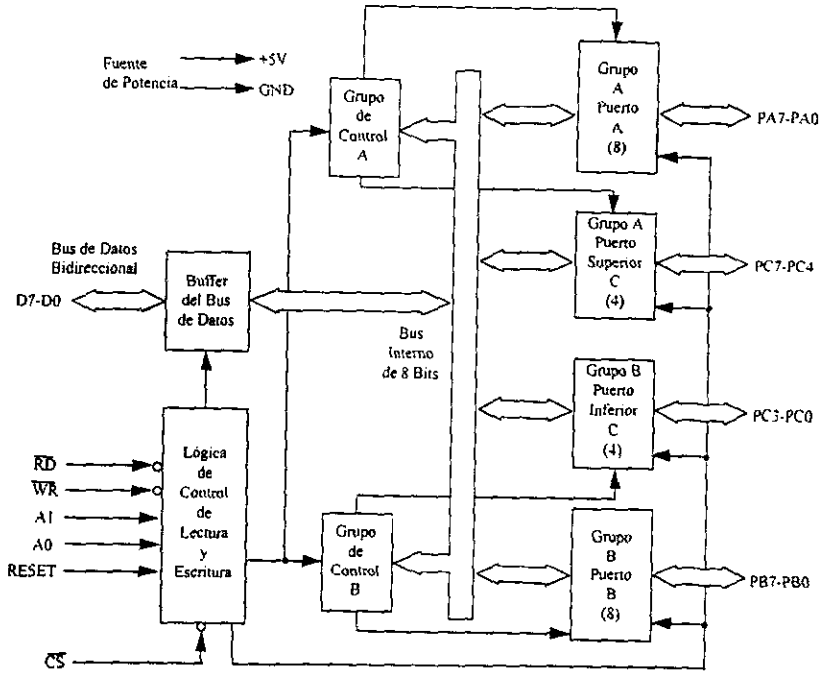


Figura 6.9.- Diagrama a bloques de la interfase periférica programable 8255.

El 8255 tiene cuatro registros internos, tres de los cuales pueden ser de lectura o bien de escritura. Estos son direccionados por el número binario de dos bits en las líneas  $A_1$  y  $A_0$ . Específicamente,  $A_1A_0 = 00$  selecciona el puerto A,  $A_1A_0 = 01$  selecciona el puerto B,  $A_1A_0 = 10$  selecciona el puerto C y  $A_1A_0 = 11$  selecciona el registro de control de escritura. Por lo tanto para que el puerto A sea leído, las líneas  $A_1$ ,  $A_0$ ,  $\overline{RD}$ , y  $\overline{CS}$  deben simultáneamente estar en nivel bajo, en esa condición el 8255 coloca el contenido del puerto A (ya sea que esté configurada como salida o entrada) en el bus de datos. Si son necesarias 24 líneas de entrada, el 8255 no requiere programación, ya que el valor alto inicial del  $RESET$  requerido por la familia 80X86 selecciona este modo de operación. El registro de control es usado para cuatro propósitos: para seleccionar la

dirección del flujo de datos a través de los puertos A, B y C; para escoger uno de los tres modos de operación para el puerto A; escoger uno de los dos modos de operación del puerto B; y para establecer o *resetear* los bits del puerto C.

El 8255 se puede programar en tres modos de operación. El modo 0 permite a los puertos A y B ser usados ya sea como puertos de entrada o de salida; y el puerto C dividirse en dos partes, de cuatro bits cada uno y que pueden funcionar como entradas o salidas. El modo 0 usa todos los 24 pines como entradas/salidas; los modos 1 y 2 usan algunos de los pines del puerto C para *handshaking* y control de interrupciones.

Los ocho bits en la palabra de control enviada al registro de control del 8255 tienen el siguiente significado:

- el bit 0 especifica la dirección de la parte baja del puerto C ( $C_0-C_3$ )
- el bit 1 da la dirección del puerto B
- el bit 2 da el modo de operación del puerto B (0 o 1)
- el bit 3 especifica la dirección de la parte alta del puerto C ( $C_4-C_7$ )
- el bit 4 da la dirección del puerto A
- los bits 6 y 5 indican el modo de operación del puerto A (00=modo 0, 01=modo 1, 10=modo 2)
- el bit 7 = 1.

Los bits de control de 8255 que seleccionan las direcciones de entrada/salida del puerto tienen los valores sugeridos de 0 para salida y 1 para entrada. Si el bit 7 es igual a 0, el byte enviado al 8255 no es interpretado como una palabra de control, sino como un comando que establece o *resetea* un bit individual en el puerto C.



El modo 1 usa tres líneas del puerto C para *handshanking* y control de interrupciones del puerto A. Para entradas, un pulso negativo en la línea PC4 (bit 4 del puerto C) causa que el puerto A retenga el dato en sus líneas de entrada y una señal alta en la línea PC5 indica al dispositivo conectado a las líneas de entrada que el buffer está ocupado. PC5 se coloca en bajo cuando el microprocesador lee el puerto A. Esta es una señal al dispositivo remoto que indica que puede enviar otro byte. El puerto B funciona de forma semejante en modo 1 usando los pines bajos del puerto C. La salida en modo 1 ocurre de igual forma. Nótese que el modo 2 permite que el puerto A sea usado como puerto bidireccional con control de interrupciones y *handshanking* usando cinco pines del puerto C.

En este caso se utilizó el CI4 en modo 1, teniendo las siguientes funciones :

- 2 grupos de datos (grupo A y grupo B),
- cada grupo contiene un puerto de datos de 8 bits y un puerto de control de datos de 4 bits,
- los puertos de datos de 8 bits pueden ser entradas o salidas, ambos en modo *latch*,
- el puerto de 4 bits es usado para control del puerto de datos de 8 bits.

Utilizando las señales *-AEN*, *-IOR*, *-IOW* y las líneas A0 - A1 se seleccionan cada uno de los puertos utilizados por la tarjeta; a las señales *-IOR* e *-IOW* se les adaptó un reforzador de corriente (buffer) 74LS125 CI-12, figura 6.10.

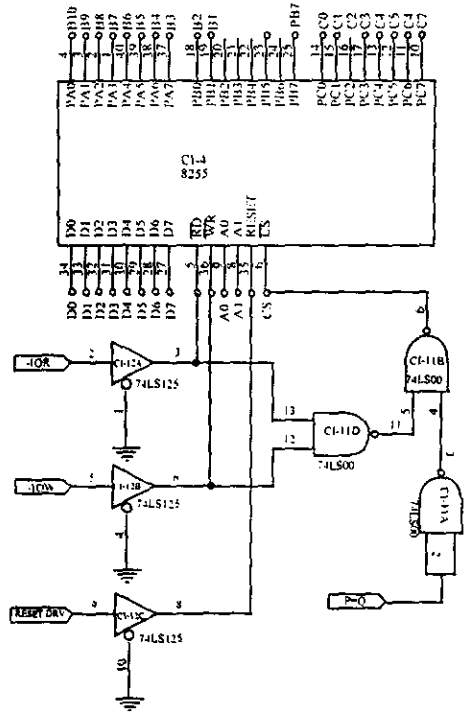


Figura 6.10.- Interface periférico programable (PPI).

Definiciones de operación del PPI en modo 1.

**$\overline{STB}$  (Strobe Input).** Un nivel bajo en esta entrada carga los datos dentro de la entrada en *latch*.

**IBF (Input Buffer Full F/F).** Un nivel alto en esta entrada indica que los datos han sido cargados en la entrada en modo *latch*.

**INTR (Interrupt Request).** Un nivel alto en esta entrada se puede usar para interrumpir al CPU cuando una entrada está solicitando servicio.

$\overline{\text{OBF}}$  (*Output Buffer Full F/F*). La salida  $\overline{\text{OBF}}$  irá a nivel bajo para indicar que el CPU ha escrito datos de salida a un puerto específico. La  $\overline{\text{OBF}}$  F/F será seleccionada con el flanco de subida de la entrada WR y será restablecida por la entrada  $\overline{\text{ACK}}$  cuando vaya a nivel bajo.

$\overline{\text{ACK}}$  (*Acknowledge Input*). Un nivel bajo en esta entrada informa al PPI que los datos del puerto A o del puerto B han sido aceptados. Una respuesta de un componente periférico indica que ha sido recibido el dato de salida por el CPU.

INTR (*Interrupt Request*). Un nivel alto en esta salida puede ser usado para interrumpir el CPU cuando la salida del componente ha aceptado el dato transmitido por el CPU. INTR es activado cuando  $\overline{\text{ACK}}$ ,  $\overline{\text{OBF}}$  e INTE están en "uno". Y es restablecido por el flanco de bajada de  $\overline{\text{WR}}$ .

	MODO I	
	IN	OUT
PA0	IN	OUT
PA1	IN	OUT
PA2	IN	OUT
PA3	IN	OUT
PA4	IN	OUT
PA5	IN	OUT
PA6	IN	OUT
PA7	IN	OUT
PB0	IN	OUT
PB1	IN	OUT
PB2	IN	OUT
PB3	IN	OUT
PB4	IN	OUT
PB5	IN	OUT
PB6	IN	OUT
PB7	IN	OUT
PC0	INTR <sub>B</sub>	INTR <sub>B</sub>
PC1	IBF <sub>B</sub>	OBF <sub>B</sub>
PC2	STB <sub>B</sub>	ACK <sub>B</sub>
PC3	INTR <sub>A</sub>	INTR <sub>A</sub>
PC4	STB <sub>A</sub>	I/O
PC5	IBF <sub>A</sub>	I/O
PC6	I/O	ACK <sub>A</sub>
PC7	I/O	OBF <sub>A</sub>

Tabla 6.4.- Configuración del PPI en modo I.

Para que exista comunicación entre el 8255 y la PC, la línea *CS* del PPI debe de estar en estado bajo. para esto se acondicionaron compuertas NAND CI-11 en las líneas *P=Q*, *IOR* e *-IOW*, figura 6.10.

Con el fin de aislar el bus de datos (*D0-D7*) de la PC del bus de datos de la tarjeta (*B0-B7*) se utilizó un circuito transmisor/receptor de 8 bits 74LS245 CI-5 (figura 6.11.), evitando con esto posibles daños y cargar el bus de la PC. La tabla de verdad del CI-5 muestra que cuando exista lectura en los puertos de la tarjeta, la información se presentará en el bus de datos de la PC; cuando *IOR* esté activa (estado alto) la información irá hacia la tarjeta, cuando se accesan los puertos para escritura se activa solamente *-IOW*.

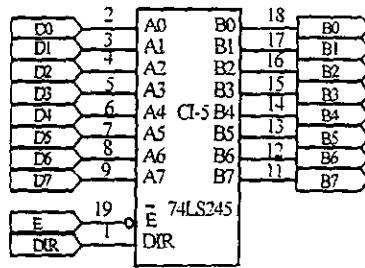


Figura 6.11.- Circuito tranceptor 74LS245.

Entradas		Salidas
E	DIR	
L	L	Datos hacia la PC
L	H	Datos hacia la tarjeta
H	X	Aislamiento de buses

Tabla 6.5.- Tabla de verdad del circuito tranceptor.

## Temporización.

La frecuencia con que se puede muestrear las señales de entrada se logra mediante el temporizador interno de la PC ( Programable Interval Timer PIT 8253) con dirección en la ranura de expansión 0040h - 005Fh (ver tabla de direcciones). El PIT 8253 es un circuito contador/divisor de 16 bits y tres canales cuyo diagrama esquemático se muestra en la figura 6.12. Cada canal puede ser usado para tomar una señal de reloj a la entrada de cualquier frecuencia desde 0 hasta 2 Mhz y producir una señal con una frecuencia igual a la de la entrada dividida por un número arbitrario de 16 bits. En la computadora, la frecuencia de entrada para los tres canales es  $4.772727/4 = 1.1931817$  Mhz. derivado del sistema de reloj. La salida del canal 0 es usado para realizar el pulso de reloj del tiempo del día; la salida del canal 1 es usado para señalar al controlador de acceso directo a memoria el tiempo de refresco de memoria RAM dinámica; y la salida del canal 2 es usada para enviar sonido a la bocina. Cada canal tiene tres líneas especiales: una entrada de reloj, una entrada de compuerta y una salida. Los canales pueden ser programados individualmente para operar en uno de los seis posibles modos de control:

- 0 : Interrupción en cuenta terminal.
- 1 : Disparo único programable.
- 2 : Generador a una razón.
- 3 : Generador de onda cuadrada.
- 4 : Disparo programable por software.
- 5 : Disparo programable por hardware.

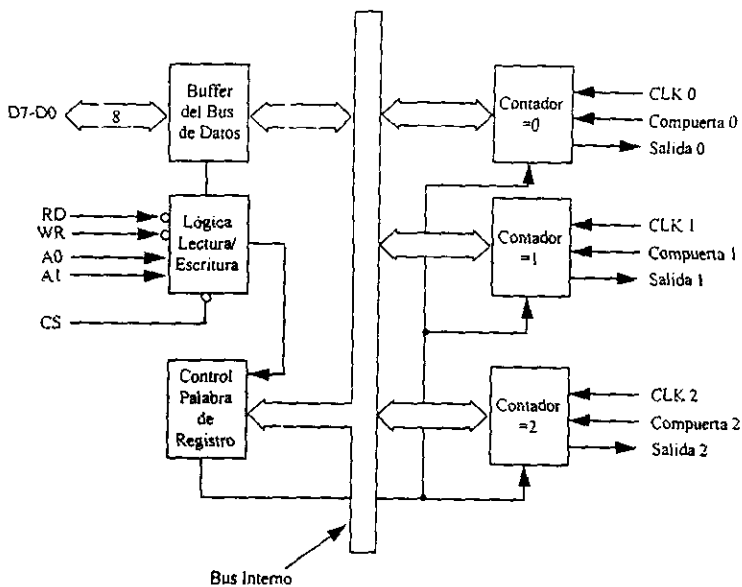


Figura 6.12.- Diagrama a bloques del contador programable 8253.

El 8253 debe inicializarse enviando un byte de modo de control para cada canal a su registro de control.

B7	B6	B5	B4	B3	B2	B1	B0
SC1	SC0	RW1	RW0	M2	M1	M0	BCD

Tabla 6.6.- Registro de control del PIT.

Los bits en el byte de modo de control tienen la siguiente configuración:

**Bits 7 - 6 (SC1, SC0) selección del contador**

SC1	SC0	
0	0	contador 0.
0	1	contador 1.
1	0	contador 2.

**Bits 5 - 4 (RW1, RW0)** indicador de lectura y escritura.

RW1	RW0	
0	0	comando de retención de cuenta.
0	1	lee o escribe el byte menos significativo (LSB).
1	0	lee o escribe el byte más significativo (MSB).
1	1	lee o escribe primero el LSB y después el MSB.

**Bits 3 - 1 (M2, M1 y M0)** modo de operación.

M2	M1	M0	
0	1	1	modo de operación tres (generador de onda cuadrada).

**Bit 0 (BCD)** formato de la cuenta.

0	formato binario.
1	formato en decimal codificado en binario.

En este caso se optó que el PIT operara en modo 3 cargando en el PIT la palabra 00110110 en binario. De la palabra de control su valor en hexadecimal es 36h donde en el programa de prueba se pone primero el valor del puerto de salida (43h) y después el valor a escribir en ese puerto (36h).

B7	B6	B5	B4	B3	B2	B1	B0
0	0	1	1	0	1	1	0

Tabla 6.7.- Palabra de control del PIT para operar el modo 3.

### Convertidor analógico-digital.

La conversión analógica a digital se realizó utilizando el ADS71, CI-3, el cual es un convertidor de aproximaciones sucesivas con 10 bits de resolución y un tiempo de conversión máxima de 40  $\mu$  seg. Este convertidor opera con voltajes de +5 y  $\pm 15$  voltios (máximos), acepta

voltajes analógicos unipolares de entrada de 0 a +10 voltios y voltajes bipolares de  $\pm 5$  Voltios. La configuración del CI-3 se muestra en la figura 6.13.

Se recomienda [12] poner un resistencia variable *POT7* de 10 K $\Omega$  en el pin 13 (AN-IN), entrada analógica. para producir una corriente necesaria para el buen funcionamiento del componente.

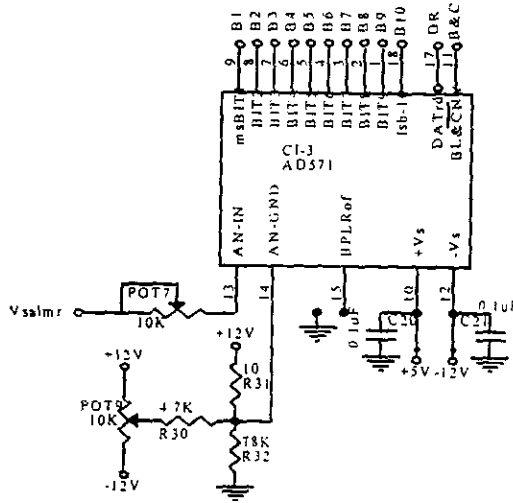


Figura 6.13.- Configuración del AD571.

El AD571 es un convertidor A/D de 10 bits el cual no requiere demasiados componentes externos para realizar la conversión de señales analógicas a digitales a través de aproximaciones sucesivas. Un diagrama a bloques del componente se muestra en la figura 6.14. Al recibir un comando CONVERT, el registro de aproximaciones sucesivas (SAR) genera una palabra digital iniciando desde el bit más significativo (MSB) al menos significativo (LSB); esta palabra es transformada en analógica por medio del convertidor digital analógico (DAC) y se suma a la



entrada de un comparador que determina cuándo, la suma de cada bit causa que el voltaje a la salida del DAC sea mayor o menor que el voltaje de entrada; si la suma es menor, el bit generado por el DAC es puesto a 1, de lo contrario es 0. Después de haber probado todos los bits, el SAR contiene una palabra binaria de 10 bits la cual representa a la señal analógica de entrada con una aproximación de  $\pm \frac{1}{2}$  LSB (0.05%).

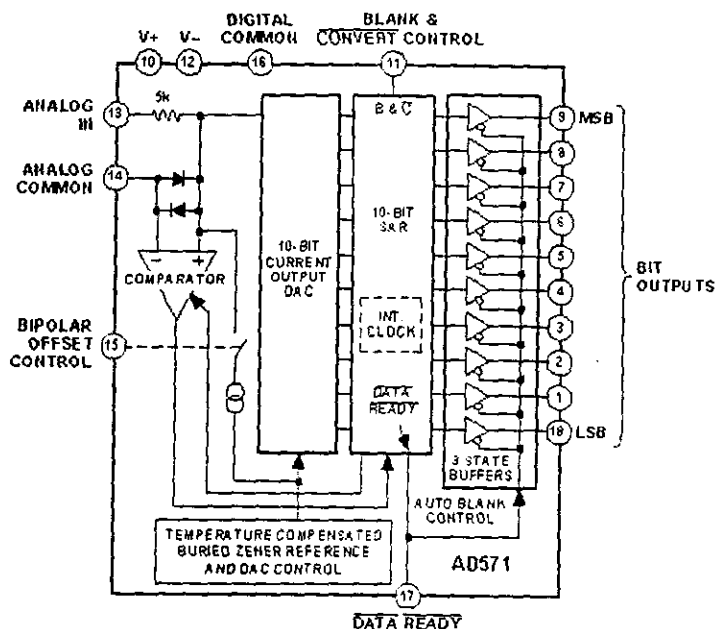


Figura 6.14.- Diagrama a bloques del convertidor A/D de 10 bits AD571.

Al terminar la secuencia, el SAR manda a la salida la señal  $\overline{DATA\ READY}$  (activa en bajo), la cual lleva a su vez a los *buffers* de tres estados a su estado "abierto", haciendo que los bits obtenidos en la conversión estén presentes en el bus de salida en estado alto o en bajo dependiendo del código en el SAR. Cuando la línea  $\overline{BLANK\ \&\ CONVERT}$  es llevada a alto, los

*buffers* de salida son puestos en estado "abierto" y el SAR está preparado para otro ciclo de conversión.

El zener interno para compensación de temperatura provee un primer voltaje de referencia al DAC y garantiza una alta estabilidad en tiempo y temperatura. *BIPOLAR OFFSET CONTROL* activa un interruptor que permite la aplicación de una corriente positiva de offset (exactamente igual al valor del bit más significativo menos  $\frac{1}{2}$  LSB) a la entrada (+) del comparador para compensar el offset a la salida del DAC. Por lo tanto el rango unipolar nominal de entrada de 0V a -10V llega a ser del rango de -5V a +5V. El resistor de entrada está acondicionado de tal forma que con una señal de entrada a escala completa, se generará una corriente de entrada que hará que todos los bits en el DAC sean 1. En la entrada se coloca un potenciómetro de precisión que cambia la corriente de entrada y por consiguiente el voltaje de escala completa como se desee. Si se establece a la entrada 4.990 volts y se acondiciona la resistencia de entrada tal que la palabra de salida esté justo en la transición de 1111111110 y 1111111111, cada LSB tendrá un peso de 4.878 mV. El rango estándar unipolar de 0V a -10V se obtiene cortocircuitando el pin de control de offset bipolar con el común digital. Si el pin se deja abierto, la corriente bipolar de offset será aplicada al nodo de suma en el comparador dando un rango de -5V a +5V. Un voltaje a la entrada de -5 volts dará una palabra de 10 bits a la salida igual a 0000000000. una entrada de 0.00 volts generará a la salida una palabra igual a 1000000000, y 4.99 volts a la entrada equivaldrán a 1111111111.

El nivel de cero del AD571 se ajusta insertando un voltaje de offset entre la tierra analógica del dispositivo y la tierra de la señal de entrada. La figura 6.14, muestra cómo el cero

del convertidor es ajustado hasta en  $\pm 3$  bits para corregir el offset inicial del dispositivo y/o los *offsets* de la señal de entrada.

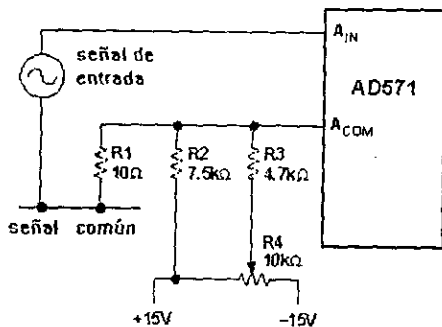


Figura 6.14.- Compensación de offset en el AD571.

Existen varias características importantes de tiempo y control que deben de tomarse en cuenta en el AD571 para optimizar su interface a un microprocesador o con otros dispositivos de control. El diagrama a tiempos de operación del convertidor se muestra en la figura 6.15.

En la situación normal de espera, la línea *BLANK &  $\overline{CONVERT}$  (B &  $\overline{C}$ )* se mantiene en alto, el bus de salida estará se encontrará en estado "abierto" , y la línea  *$\overline{DATA READY}$  ( $\overline{DR}$ )* estará en alto. Cuando el control B &  $\overline{C}$  es llevado a bajo el ciclo de conversión se inicializa; pero las líneas  $\overline{DR}$  y de datos no cambian de estado. Cuando el ciclo de conversión se completa, la línea  $\overline{DR}$  cambia a bajo y en aproximadamente 500 ns, el bus de datos está activado con el dato nuevo.

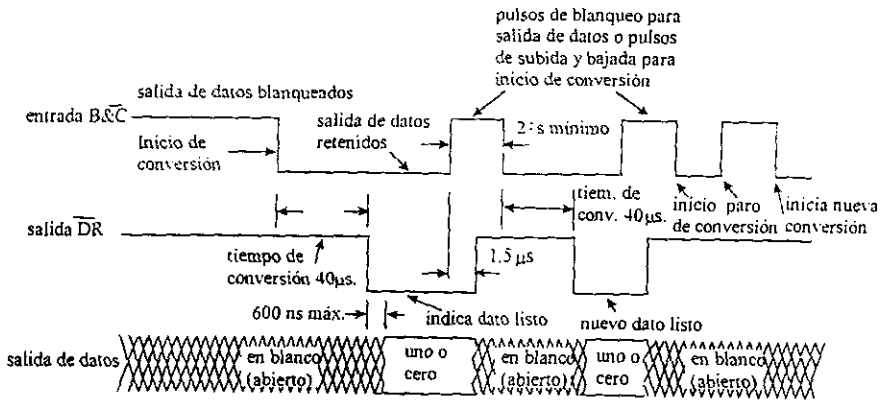


Figura 6.15.- Diagrama de tiempos del AD571.

Después de  $1.5 \mu s$  la línea B &  $\bar{C}$  es llevada a alto al igual que  $\bar{DR}$  y el bus de datos está abierto. Cuando la línea B &  $\bar{C}$  cambia nuevamente a bajo inicia una nueva conversión. El ancho de pulso mínimo en la línea B &  $\bar{C}$  para borrar el dato anterior y empezar otra conversión es de  $2 \mu s$ . Si la línea B &  $\bar{C}$  cambia a alto durante una conversión, la conversión se interrumpirá y las líneas  $\bar{DR}$  y de datos no cambiarán. Si un pulso de  $2 \mu s$  o más largo es aplicado a la terminal B &  $\bar{C}$  durante una conversión, el convertidor borra los datos previos e inicia un nuevo ciclo de conversión.

La secuencia de tiempos del AD571 le permite al dispositivo operar en una variedad de sistemas con diferentes modos de control. Los dos modos de control más comunes son:

- **Modo de pulso de conversión.** En este modo, el dato está presente a la salida del convertidor todo el tiempo excepto cuando la conversión se está llevando a cabo. La figura 6.16. ilustra el ciclo de tiempo para este modo. La línea B &  $\bar{C}$  está normalmente en bajo y las conversiones son disparadas por un pulso positivo.

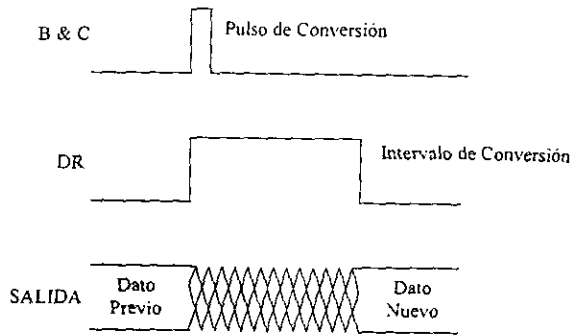


Figura 6.16.- Ciclos de tiempo en el modo de pulsos de conversión

- **Modo multiplexado.** En este modo, las salidas no están disponibles excepto cuando el dispositivo es seleccionado para conversión y lectura: este modo se ilustra en la figura 6.17.

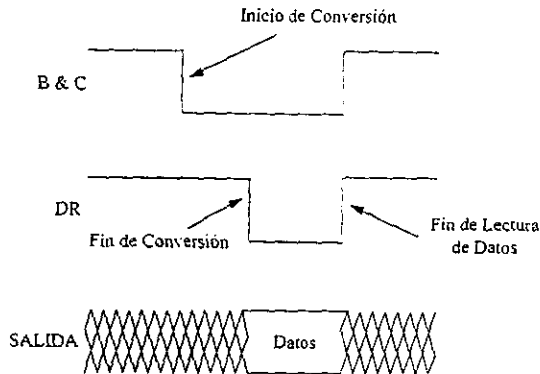


Figura 6.17.- Ciclos de tiempo en el modo de multiplexión

## 6.4. PROGRAMACIÓN DEL MÓDULO DE ADQUISICIÓN.

La programación del sistema de adquisición y análisis de señales vibratorias se llevó a cabo en base a los requerimientos de la interface, del convertidor A/D y del control y manejo de los datos que son necesarios para el funcionamiento del sistema. Las actividades se enumeraron en base a un algoritmo de funcionamiento, para posteriormente traducirlas en instrucciones del lenguaje de programación Pascal. El programa principal está dividido en cuatro subrutinas, que en conjunto operan bajo el siguiente algoritmo:

1. Inicializa parámetros tales como el número de puntos, frecuencia de muestreo, y número de canal a leer.
2. Reserva de la computadora memoria dinámica para el almacenamiento de datos.
  - Inicializa el arreglo para almacenamiento de datos
3. Inicia proceso de captura de datos
  - Configura los puertos de entrada y salida de la interface PPI 8255.
  - Programa al temporizador 8253 para obtener la frecuencia del sistema.
  - Guarda la dirección original del vector de interrupción.
  - Establece la dirección del nuevo vector de interrupción.
  - Activa el canal a leer.
  - Lee dato del puerto y lo almacena en el arreglo.
  - Verifica si el número de datos leídos es igual al de puntos. De no ser así, regresa a leer un nuevo dato.
  - Si son todos los datos, restablece la dirección del vector original de interrupción.

**ESTA TIRAS NO DEBE  
SALIR DE LA BIBLIOTECA**

- Programa el temporizador a la frecuencia original del sistema.
  - Guarda el arreglo de datos en el archivo Datos.Bak.
4. Libera la memoria dinámica.
- Borra el arreglo de almacenamiento de datos.
5. Salida del programa.

En el Anexo B, se presenta el diseño detallado del software a través de un diagrama de flujo y un listado del código fuente de cada función.

## 7. VALIDACIÓN Y PRUEBAS DEL MÓDULO DE ADQUISICIÓN.

Para evaluar el funcionamiento del módulo de adquisición de señales vibratorias, se efectuaron una serie de pruebas de laboratorio y campo. La caracterización del sistema se llevó a cabo procesando y capturando señales originadas por un generador, para el caso de las pruebas de laboratorio; y señales de origen vibratorio obtenidas por un transductor, para el caso de las pruebas de campo. El análisis y despliegado de las señales se realizó con el programa computacional desarrollado por el grupo de diagnóstico.

### 7.1. Primera prueba de operación (prueba comparativa en laboratorio).

#### 7.1.1. Material y equipo empleado

1. Generador de señales Mod. HP 8111A.
2. Osciloscopio Mod. Tektronics T935A.
3. Analizador de señales Mod. HP35665A.
4. Modulo de adquisición de datos MAD-AU'037.
5. Computadora Personal PC.

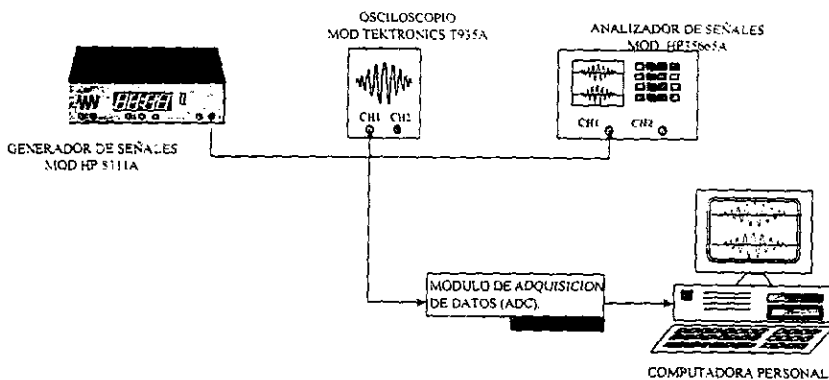


Figura 7.1.- Diagrama de conexión de la instrumentación utilizada para la primera prueba de laboratorio.



### 7.1.2 Diagrama de conexionado de equipo.

La figura 7.1. muestra el diagrama de conexión de la instrumentación utilizada para la primera prueba de laboratorio del sistema de monitoreo.

### 7.1.3 Condiciones iniciales de la prueba de laboratorio.

- Onda senoidal (señal de entrada) con amplitud máxima de  $\pm 5$  Voltios.
- Rango en frecuencia de la señal de entrada 0-1500 Hz.

### 7.1.4 Criterio de aceptación.

El sistema de adquisición debe de tener una respuesta semejante a una tarjeta convertidora analógica digital comercial para el análisis de señales analógicas dentro del rango de trabajo mínimo necesario para el monitoreo de máquinas rotatorias.

### 7.1.5 Proceso de prueba.

Para este proceso de prueba se conectó la instrumentación como se muestra en la figura 7.1., después se seleccionó una señal senoidal con amplitud de 1 voltio a distintas frecuencias. Las señales se monitorearon simultáneamente en el osciloscopio, en el analizador de señales y en la PC con el sistema desarrollado.

Para determinar el funcionamiento del sistema se acondicionó el analizador de señales y el programa de prueba para el monitoreo con anchos de banda preestablecidos.

El procedimiento para la comparación de resultados se realizó bajos el siguientes pasos.

1. Se corre en MS-DOS el programa en ADC\_PRUE.EXE.
2. Con el generador de señales selecciona una señal con cierta amplitud ( $\leq \pm 5$ ) voltios y frecuencia dentro del rango establecido.

3. Se activa el analizador de señales con un ancho de banda superior a la frecuencia de la señal a monitorear.
4. En la computadora personal PC, se selecciona la frecuencia de muestreo, esta tiene que ser superior a la señal que se va a analizar.
5. Se selecciona el canal de entrada (0, 1, 2 ó 3).
6. De forma simultánea se oprime en la PC la tecla "ENTER" y en el analizador de señales la tecla "START".

Las siguientes figuras muestran la comparación de los resultados obtenidos en los dos equipos de medición.

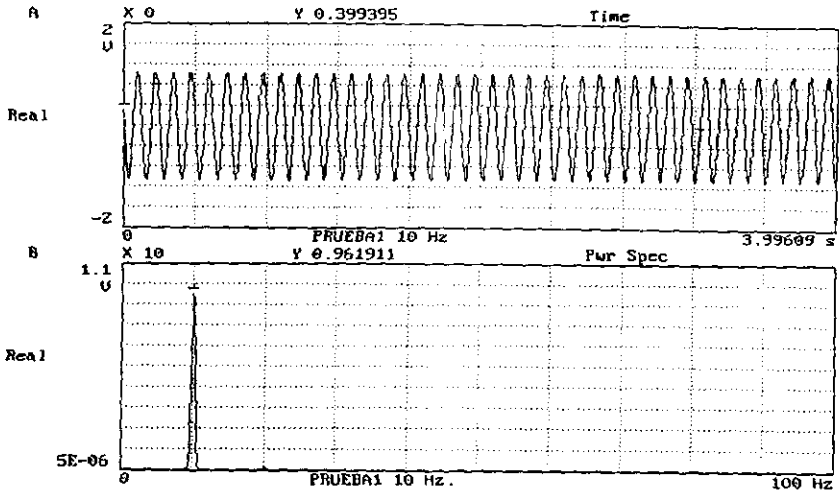


Figura 7.2.- Espectro de una señal senoidal de 10 Hz tomada con el analizador de señales

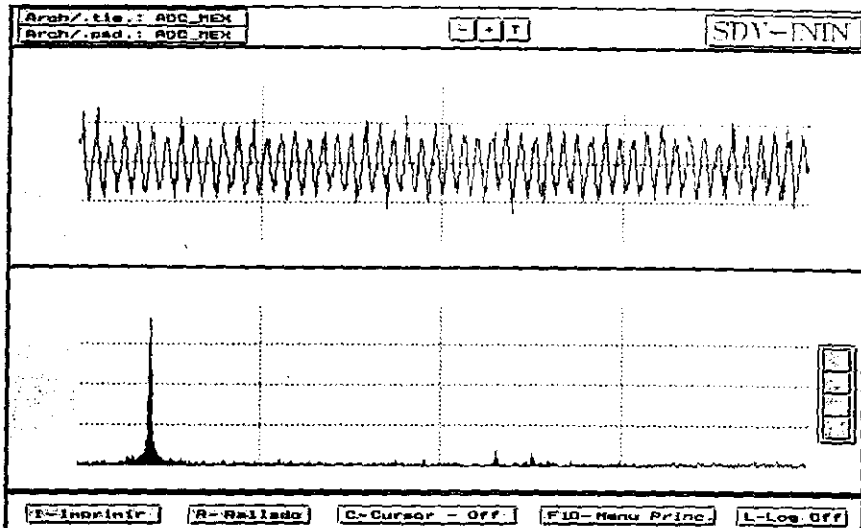


Figura 7.3.- Espectro de una señal senoidal de 10 Hz tomada con MAD-AU037.

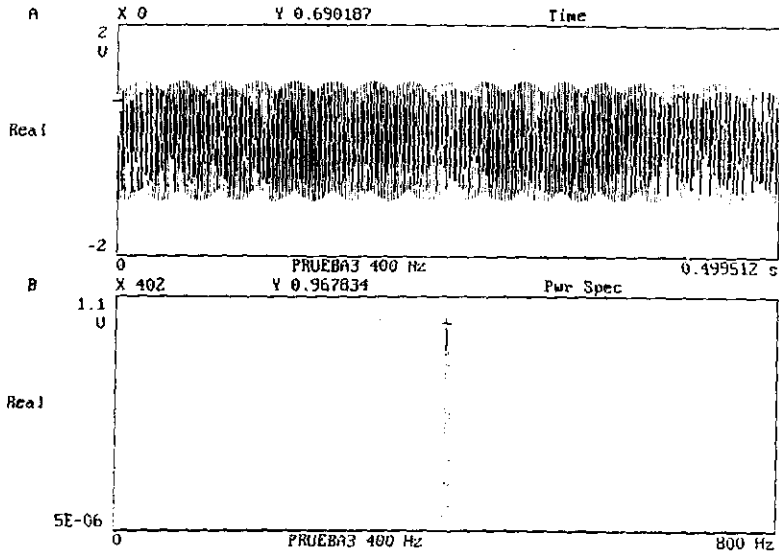


Figura 7.4.- Espectro de una señal senoidal de 400 Hz. tomada con el analizador de señales.

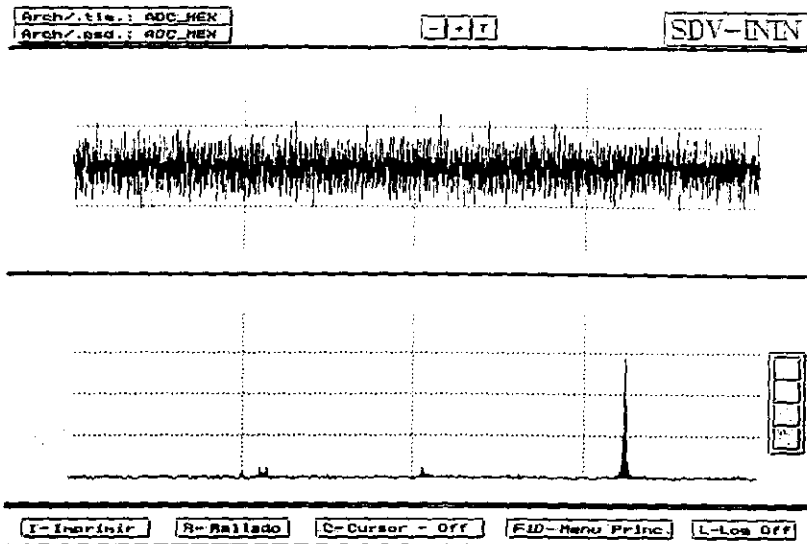


Figura 7.5.- Espectro de una señal senoidal de 400 Hz. tomada con el MAD-AU037.

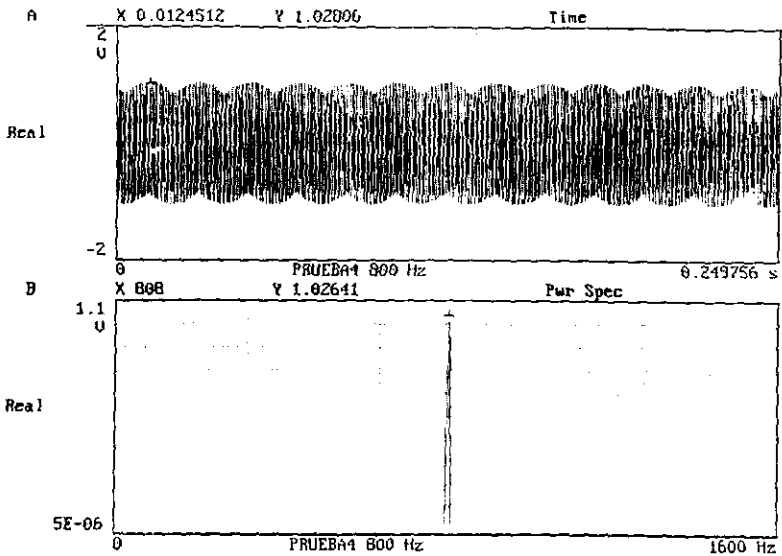


Figura 7.6.- Espectro de una señal senoidal de 800 Hz. tomada con el analizador de señales.

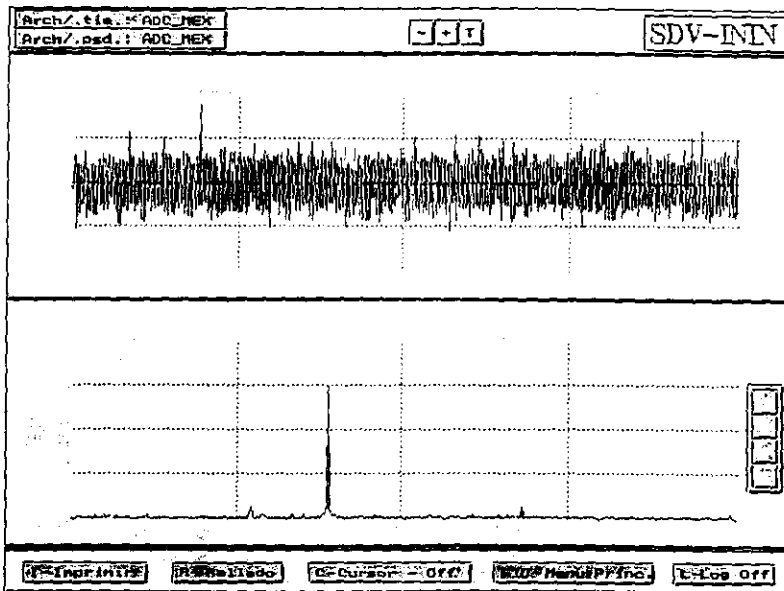


Figura 7.7.- Espectro de una señal senoidal de 800 Hz. tomada con el MAD-AU037.

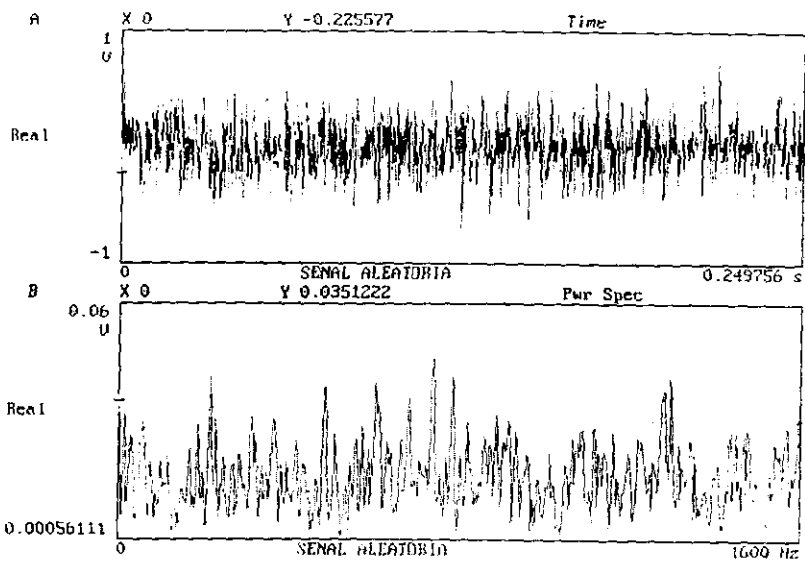


Figura 7.8.- Espectro de una señal aleatoria tomada con el analizador de señales.

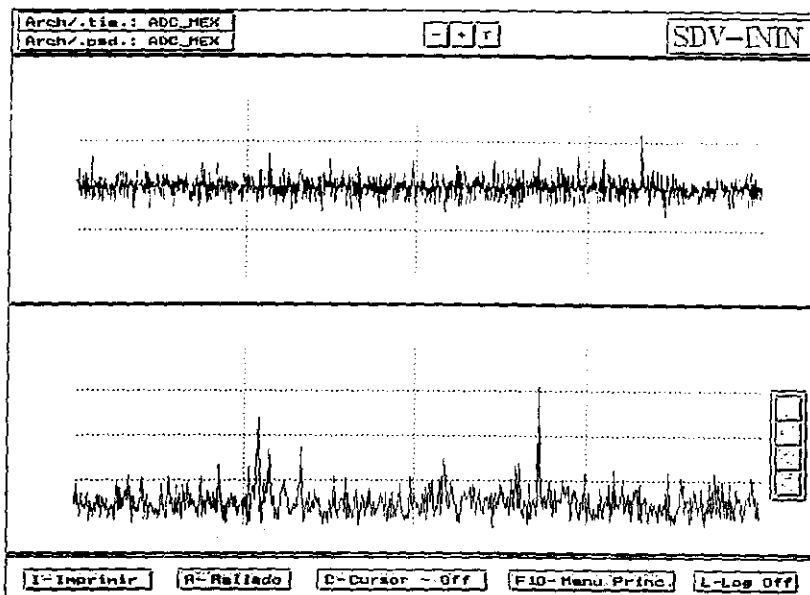


Figura 7.9.- Espectro de una señal aleatoria tomada con el MAD-AU037.

## 7.2. Segunda prueba de operación (prueba de campo comparativa).

### 7.2.1. Material y equipo empleado

1. Motor de corriente alterna 2 Hp. Marca BALDOR
2. Acelerómetro Brüel & Kjær Mod.4370.
3. Amplificador de carga Mod. ASC-AU-037/97.
4. Osciloscopio Mod. Tektronics T935A.
5. Analizador de señales Mod.HP35665A.
6. Fuente de alimentación variable Mod.HP6205B.
7. Modulo de adquisición de datos MAD-AU037.
8. Computadora Personal.

### 7.2.2. Diagrama de conexionado del equipo.

La figura 7.10., muestra el diagrama de conexión de la instrumentación utilizada para la prueba de operación en campo.

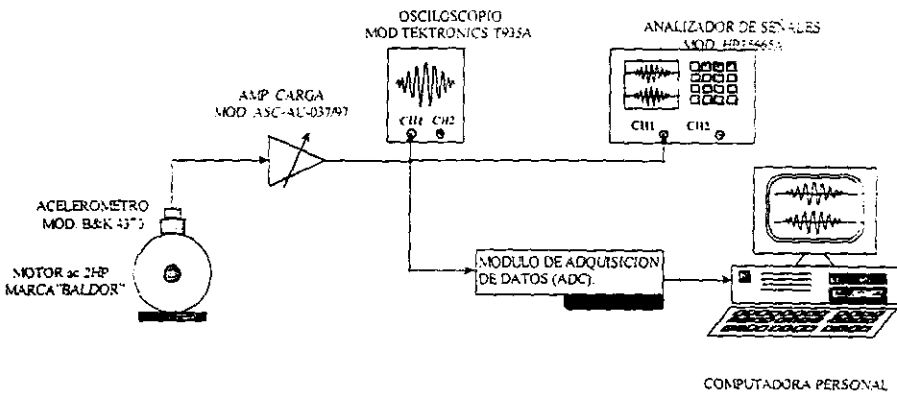


Figura 7.10.- Diagrama de conexión de la instrumentación utilizada para la prueba de campo.

### **7.2.3. Condiciones iniciales para la prueba en campo.**

- Polarización del amplificador con  $\pm 12V$ .
- Operación del motor en condiciones normales de operación.
- Anchos de banda del analizador y del sistema de monitoreo: 200 Hz.

### **7.2.4. Criterios de Aceptación.**

El modulo de adquisición de datos deberá de tener una respuesta semejante a algún equipo analizador de señales analógicas, como en este caso el analizador dinámico de señales HP 35665A, dentro de los anchos de banda establecidos para el monitoreo de máquinas rotatorias.

### **7.2.5. Proceso de prueba.**

Se conectó la instrumentación como se muestra en la figura 7.10., con el motor funcionando. Se procedió al monitoreo siguiendo los mismos pasos que en el caso de la prueba de laboratorio, obteniéndose los siguientes espectros para la comparación.



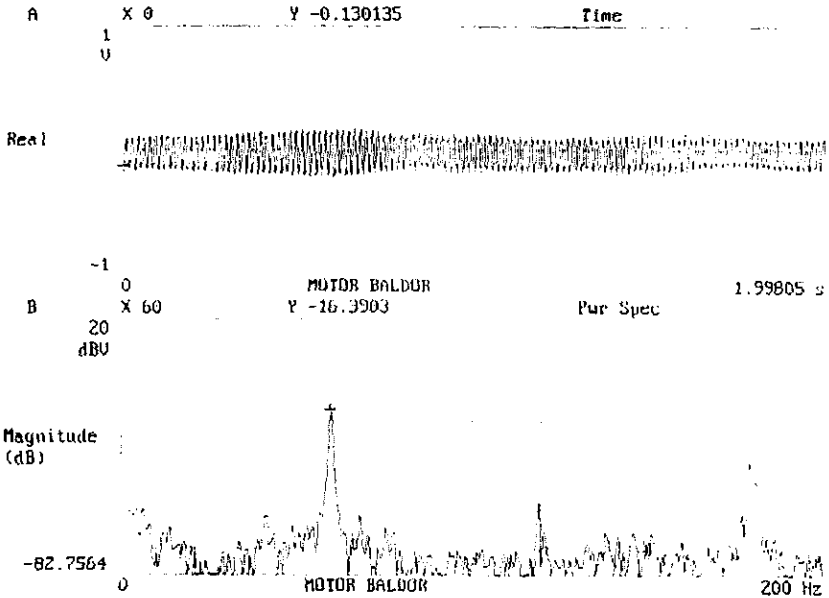


Figura 7.11.- Espectros en el tiempo y frecuencia del motor BALDOR tomado con el Analizador HP 356665A trabajando en condiciones normales de operación

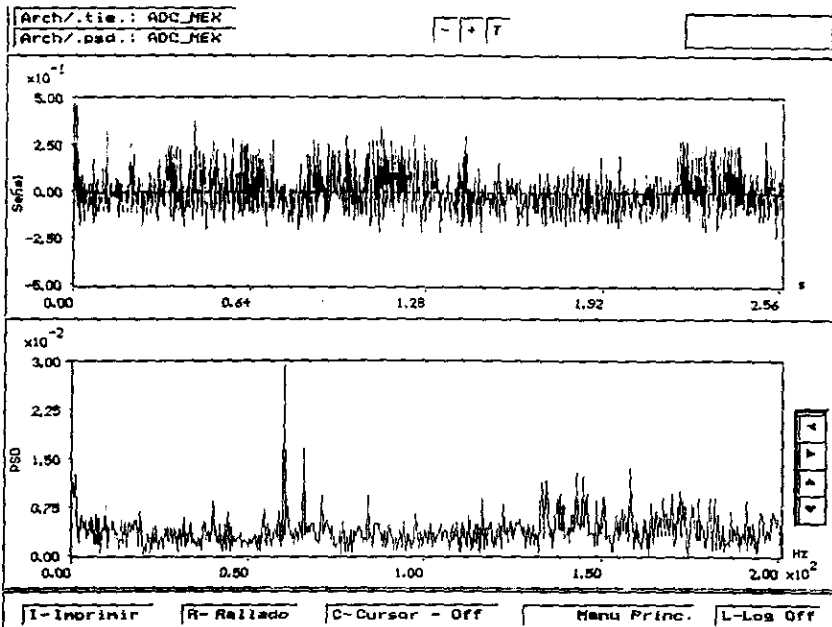


Figura 7.12.- Espectros en el tiempo y frecuencia del motor BALDOR tomado con el sistema de monitoreo trabajando en condiciones normales de operación.

### **7.3. Diagnóstico.**

De acuerdo con los resultados obtenidos en las pruebas de funcionamiento del sistema de adquisición y monitoreo, éste resulta favorable para su aplicación en el análisis y procesamiento de señales analógicas.

## **8. VALIDACIÓN Y PRUEBAS DEL MÓDULO DE ENTRADA.**

Para evaluar el funcionamiento del módulo de entrada, consistente de cuatro amplificadores de carga y un multiplexor, se efectuaron una serie de pruebas de laboratorio y campo. La caracterización del sistema se llevó a cabo procesando y capturando señales originadas por un generador, para el caso de las pruebas de laboratorio; y señales de origen vibratorio obtenidas por un transductor, para el caso de las pruebas de campo.

### **8.1. Primera prueba de operación (Ancho de Banda).**

#### **8.1.1 Material y equipo empleado**

1. Generador de señales Mod. HP 8111A.
2. Capacitor de 10 $\mu$ F.
3. Amplificador de carga B&K Mod.2634.
4. Amplificador de carga Mod.ASC-AU-037/97.
5. Osciloscópio Mod. Tektronics T935A.
6. Analizador de señales Mod.HP35665A.
7. Fuente de alimentación variable Mod.HP6205B.

#### **8.1.2 Diagrama de conexionado de equipo.**

La figura 8.1 muestra el diagrama de conexión de la instrumentación utilizada para la primera prueba de operación .

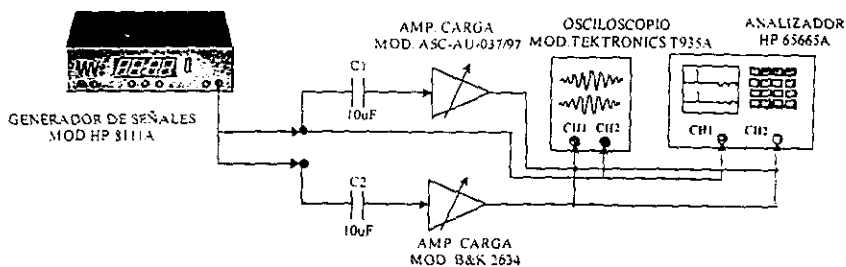


Figura 8.1.- Diagrama de conexión de la instrumentación utilizada para la primera prueba de operación.

### 8.1.3 Condiciones iniciales de la primera prueba.

- Voltaje de alimentación de  $\pm 12$  V.
- Voltaje de entrada de  $\pm 1.5$  mV.
- Rango en frecuencia de la señal de entrada 0-1600 Hz.

### 8.1.4 Criterio de aceptación.

El amplificador ASC-AU-37/97 debe de tener un comportamiento semejante al amplificador comercial B&K 2634 dentro de rango de trabajo de monitores de máquinas rotatorias.

### 8.1.5 Proceso de prueba.

Para este proceso de prueba primeramente se conectó la instrumentación como lo muestra la figura 8.1., se realizó el acoplamiento de los amplificadores de carga y el generador de señales con un capacitor para obtener corriente de carga, para esta prueba se seleccionó un capacitor de  $10 \mu\text{F}$  ya que éste posee baja reactancia capacitiva a frecuencias bajas.

Después de realizar el acoplamiento, se aplico una señal senoidal de una cierta amplitud y una frecuencia donde existiera máxima amplificación de cada uno de los amplificadores observando la señal de salida en el osciloscopio. Se procede a ajustar la amplitud del generador de señales, señal de entrada, a un nivel adecuado de  $\pm 1.5$  mV, sin modificar la frecuencia donde existió máxima amplificación; a continuación se ajusta la amplitud en los amplificadores determinando así un nivel de voltaje de salida adecuado, es decir que no exista deformación o saturación en esta señal.

Se acondiciona el analizador de señales para determinar la respuesta en frecuencia con un ancho de banda de 0 - 1600 Hz y 300 promedios, así como el generador de señales con señal senoidal y frecuencia inicial de 1 Hz.

Se activa el analizador de señales, y con el generador de señales se realizan varios barridos en frecuencia dentro del rango de 0 a 1600 Hz, hasta que la respuesta en el analizador muestre las mas mínimas variaciones en el espectro en frecuencia. este proceso se realiza de forma independiente para cada amplificador.

La figura 8.2 muestra la respuesta en frecuencia del amplificador de carga ASC-AU-37/97 y del amplificador B&K 2436. Se observa que el amplificador de carga ASC-AU-37/97 posee mejor respuesta a bajas frecuencias.

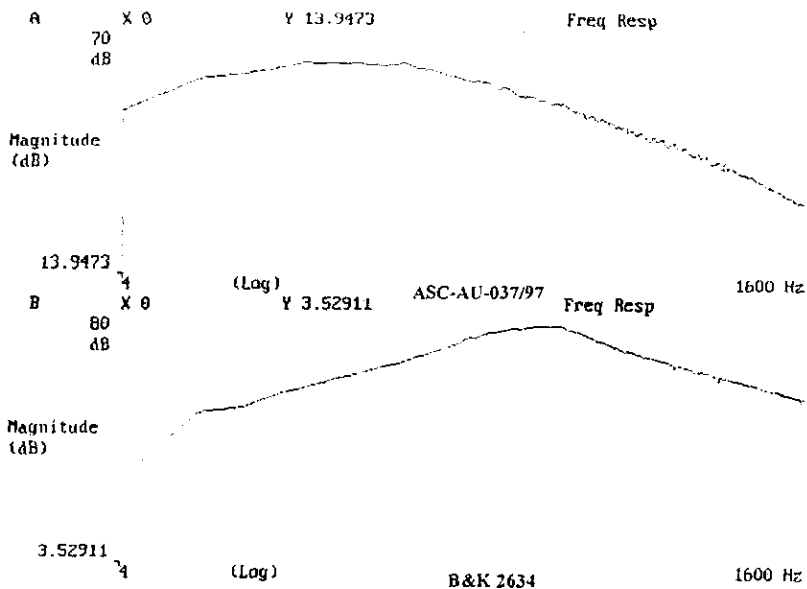


Figura 8.2.- Respuestas en frecuencia de los amplificadores ASC-AU-037/97 y B&K 2634.

## 8.2. Segunda prueba de operación (Prueba de campo comparativa).

### 8.2.1 Material y equipo empleado

1. Motor de corriente directa cd de 12V.
2. Control de velocidad para motor de cd.
3. Acelerómetro B&K Mod.4370.
4. Amplificador de carga B&K Mod.2634.
5. Amplificador de carga Mod.ASC-AU-037/97.
6. Osciloscopio Mod. Tektronics T935A.
7. Analizador de señales Mod.HP35665A.
8. Fuente de alimentación variable Mod.HP6205B.

### 8.2.2 Diagrama de conexionado del equipo.

La figura 8.3, muestra el diagrama de conexión de la instrumentación utilizada para la segunda prueba de operación .

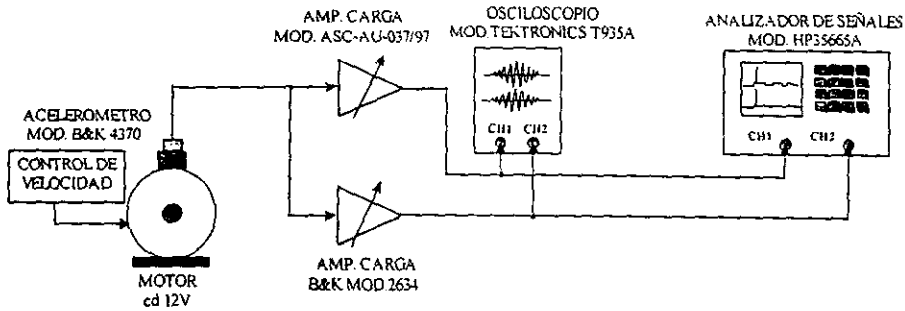


Figura 8.3.- Diagrama de conexión de la instrumentación utilizada para la segunda prueba de operación.

### 8.2.3 Condiciones iniciales de la segunda prueba.

- Polarización de los dos amplificadores con  $\pm 12V$ .
- Frecuencia de trabajo del motor: variable de 35, 45, 130 Hz.
- Ancho de banda en el analizador : 200 Hz.

### 8.2.4 Criterios de Aceptación.

El Amplificador ASC-AU-037/97 deberá de tener un comportamiento semejante al amplificador comercial B&K 2634 dentro de los anchos de banda establecidos para el desarrollo de monitoreos de máquinas rotatorias.

### 8.2.5 Proceso de prueba.

En este proceso al igual que en la primera de prueba, se conectó la instrumentación como lo muestra la figura 8.3, se procede a iniciar el funcionamiento del motor y con el control de velocidad se regula la velocidad de éste con una frecuencia de 35 Hz.

Se acondiciona el analizador de señales para obtener los espectros en frecuencia para cada amplificador con un ancho de banda de 0 - 200 Hz y 10 promedios.

Se acondiciona el acelerómetro en la parte superior de motor, figura 8.3, posteriormente se conecta el acelerómetro al amplificador polarizando previamente a éste. A continuación se activa el analizador de señales y al término de los promedios se graban los espectros en frecuencia.

Este proceso se realiza con otras velocidades del motor, los espectros en frecuencia se obtienen de manera independiente para cada amplificador. En las siguientes figuras se muestran los espectros en frecuencia de ambos amplificadores con las mismas condiciones del motor.

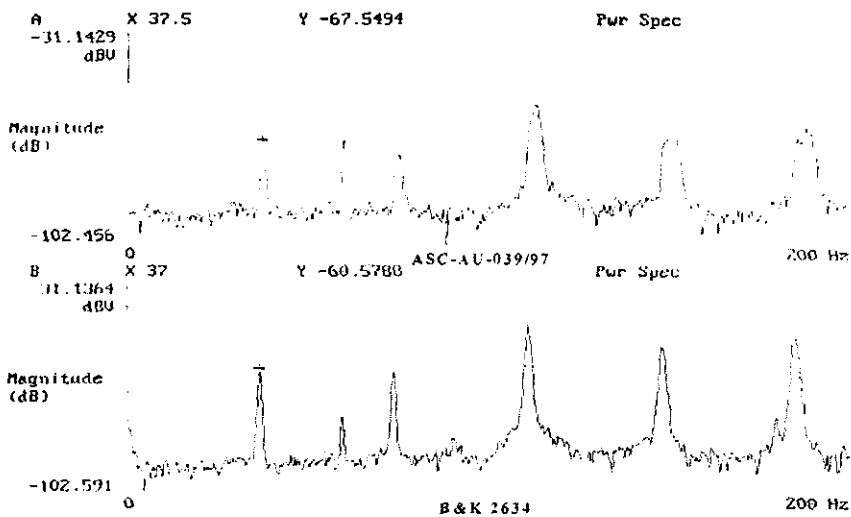


Figura 8.4.- Espectro en frecuencia de los amplificadores ASC-AU-037/97 y B&K 2634 con frecuencia de rotación del motor a 35 Hz.



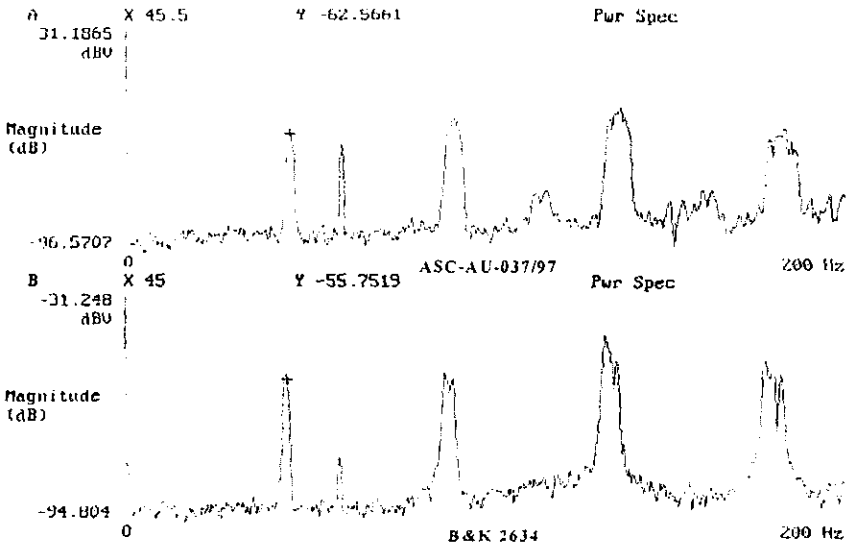


Figura 8.5.- Espectro en frecuencia de los amplificadores ASC-AU-037/97 y B&K 2634 con frecuencia de rotación del motor a 45 Hz.

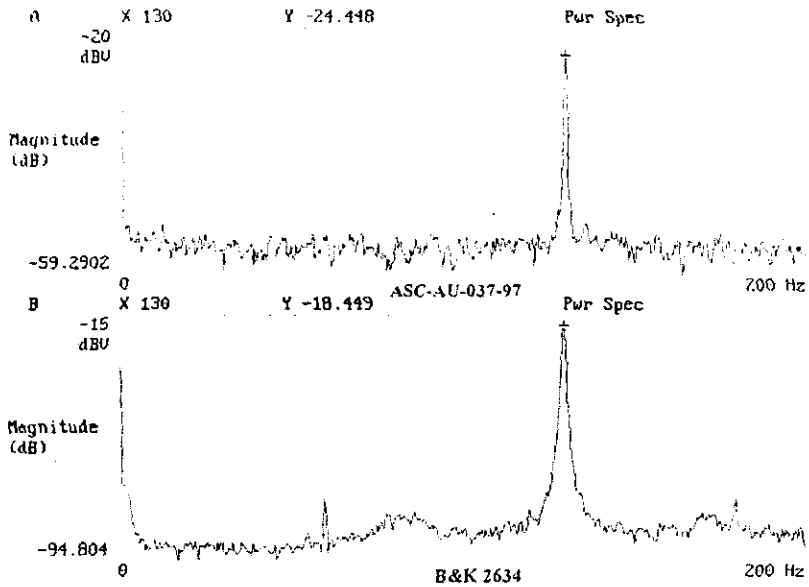


Figura 8.6.- Espectro en frecuencia de los amplificadores ASC-AU-037/97 y B&K 2634 con frecuencia de rotación del motor a 130 Hz.

### **8.3. Diagnóstico.**

De acuerdo con los resultados obtenidos en las pruebas de funcionamiento del amplificador ASC-AU-037/97, es favorable para su aplicación con transductores generadores de carga.

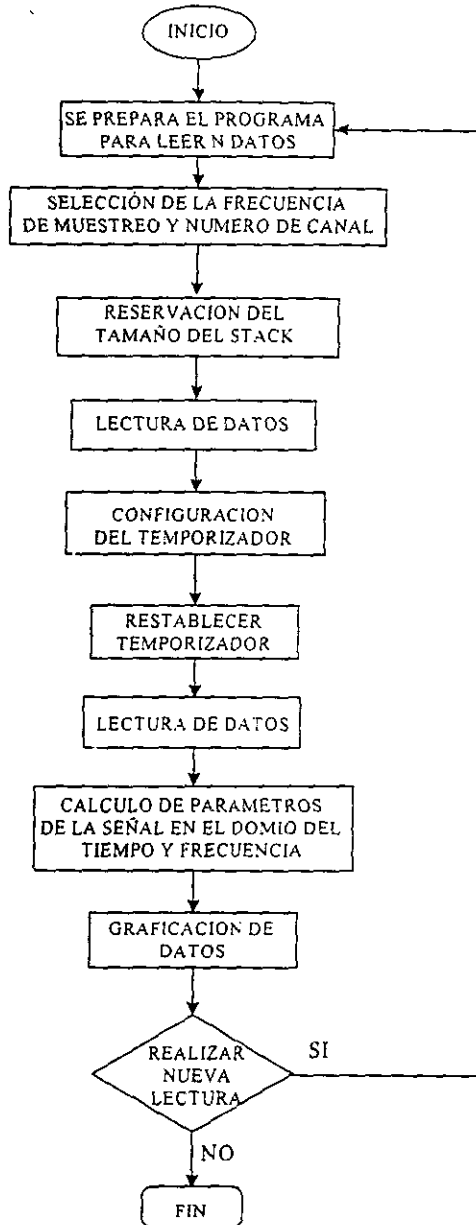
## **BIBLIOGRAFIA Y REFERENCIAS.**

- [1] Vandoren, A.H., **Data Acquisition Systems**, Reston Publishing Company, Inc., Reston Virginia, 1982.
- [2] Jerald G. Graeme, Gene E. Tobey, Lawrence P. Huelsman. **Operational Amplifiers, Desing and Applications**. McGraw-hill, 1988.
- [3] Tremblay, J.P., Sorenson P.G., **An Introduction to Data Structures with Applications**, McGraw-Hill International Book Company, 1984.
- [4] Murray Sargent II., Shoemaker R.L., **The IBM Personal Computer From the Inside Out**. Addison-Wesley Publishing Company, Inc., 1986.
- [5] General Electric - Solid State., **Principles of Data Acquisition and Conversion**, General Electric Co., 1986.
- [6] Coughlin R., Driscoll F., **Amplificadores Operacionales y Circuitos Integrados Lineales**, Prentice Hall Inc., 1993.
- [7] Jung G. W., **IC Op-Amp Cookbook**, Haward W. Sams & Co., 1987.
- [8] Barker J. R., **Mechanical and Electrical Vibrations**, Methen & Co. London, 1972.
- [9] Beranek L., Vér I., **Noise and Vibration Control Engineering**, John Wyley & Sons Inc., 1992.
- [11] Rojas S. Antonio S., Carrillo M. Rodolfo., Herrera C. Omar D., **Memoria de Cálculo del Módulo de Adquisición de Datos del Sistema de Diagnóstico por Vibraciones Mecánicas Portátil**. Instituto Nacional de Investigaciones Nucleares. Informe General IF.AU-9705. Junio-1997.

- [12] Rojas S. Antonio S., Carrillo M. Rodolfo, Herrera C. Omar D., Moreno V. César. **Memoria de Cálculo del Amplificador de Carga para el Módulo de Entrada del Sistema de Diagnóstico por Vibraciones Mecánicas Portátil.** Instituto Nacional de Investigaciones Nucleares. Informe General IF.AU-9705. Junio-1997.
- [13] Rojas S. Antonio S., Carrillo M. Rodolfo, Herrera C. Omar D., Moreno V. César. **Procedimiento de Desarrollo del Software para Prueba de Funcionamiento del Módulo de Adquisición de Datos del Sistema de Diagnóstico por Vibraciones Portátil.** Instituto Nacional de Investigaciones Nucleares. Informe Técnico P.AU-9704. Noviembre 1997.
- [14] Rojas S. Antonio S., Carrillo M. Rodolfo, Herrera C. Omar D., Moreno V. César. **Reporte de Prueba del Módulo de Adquisición de Datos del Sistema de Diagnóstico por Vibraciones Portátil.** Instituto Nacional de Investigaciones Nucleares. Informe General IF.AU-9719. Noviembre 1997.
- [15] **Linear Databook.** National Semiconductor, 1990.
- [16] **Fast and LS TTL Data.** Motorola, 1994.
- [17] **Component Data Catalog,** Intel Corporation, 1993.
- [18] **Analog Devices Databook.** National Semiconductor, 1996.

ANEXO A.

DIAGRAMA DE FLUJO DE LA PROGRAMACIÓN



## ANEXO B.

### LISTADO DE CODIGO FUENTE PARA CADA FUNCION DEL DIAGRAMA DE FLUJO

```
{SF+}  
{INSTITUTO NACIONAL DE INVESTIGACIONES NUCLEARES}  
{GERENCIA DE CIENCIA APLICADAS}  
{DEPARTAMENTO DE AUTOMATIZACION E INSTRUMENTACION}  
{GRUPO DE ANALISIS POR VIBRACIONES}  
  
{Programa de prueba para verificar el funcionamiento del modulo de adquisicion}  
{de datos del Sistema de Diagnostico Portatil MAD-037 del proyecto AU-037}
```

#### { INICIO DEL PROGRAMA }

```
Begin  
  Datos;  
  Reservo_Heap;  
  Lectura;  
  Libero_Heap;  
  Preparo_Datos_Graficar;  
  Graficacion;  
End.
```

```
{*****}
```

#### {UNIDADES (SUBROUTINAS) UTILIZADAS Y DECLARACION DE VARIABLES} {VER ANEXO "A"}

```
Program Prueba:  
Uses  
  Dos,  
  Modo_MEX,  
  Var_Mex,  
  Gra_Mex,  
  FFT_MEX,  
  Graph;
```

```
Var  
  Cont : Integer;  
  CanalW : Byte;  
  TicIntVec : Procedure;  
  Cont_Rec : Byte;  
  ij : Word;
```

```
{*****}
```

```
{ PREPARACION DEL PROGRAMA PARA LEER N DATOS}  
{ FRECUENCIA DE MUESTREO Y NUMERO DE CANAL}
```

```
Procedure Datos;
```

```
Begin
```

```
With Conf_Vibra Do
```

```
Begin
```

```
  Npuntos:= 1024;
```

```
  Nrec:=1;
```

```
  Amplif_Total:=1;
```

```
  Writeln('Frec. Máxima de Lectura [Hz]...');
```

```
  Read(FrecMax);
```

```
  Writeln('Número del canal 0, 1, 2, 3:');
```

```
  Read(CanalW);
```

```
End;
```

```
begin
```

```
{ case canalw of
```

```
  0 : begin
```

```
    port[$302]:=SA2;
```

```
  end;
```

```
  1 : begin
```

```
    port[$306]:=SA2;
```

```
  end;
```

```
  2 : begin
```

```
    port[$30A]:=SA2;
```

```
  end;
```

```
  3 : begin
```

```
    port[$30E]:=SA2;
```

```
  end;
```

```
end;}
```

```
{ Senal[CanalW,Cont_Rec]^Valor[Cont]:=(Port[$301] and 3)*256+Port[$300];
```

```
Port[$302]:=0;
```

```
Port[$302]:=SA2;}
```

```
  Inc(Cont);
```

```
  end;
```

```
end;
```

```
{*****}
```

```
{RESERVAR EL TAMAÑO DEL STACK}
```

```
Procedure Reservo_Heap:
```

```
Begin
```

```
  Reserve:=1;
```

```
  Mark(p);
```

```
  With Conf_Vibra do
```

```
    Begin
```

```
      For i:=1 to Nmax_Can Do Canal[i]:=0;
```

```
      Canal[CanalW]:=1;
```

```
      For i:=0 to Nmax_Can do
```

```
        if canal[i]>0 then
```

```
          For j:=1 to nrec do
```

```
            Begin
```

```
              New(Senal[CanalW,j]);
```

```
            End;
```

```
      End;
```

```
End;
```

```
{*****}
```

```
{PROGRAMACION DEL TEMPORIZADOR }
```

```
Procedure Change_Timer_Count(FrecTic : Real);
```

```
var
```

```
  Rel,L : LongInt;
```

```
  C : Word;
```

```
begin
```

```
  Rel:=1193180;        {Determinar el Numero (C) por}
```

```
  L:=1;                {el que se Divide para Tener}
```

```
  L:=Trunc(L*Rel/FrecTic); {la Frecuencia de Trabajo }
```

```
  C:=L;
```

```
  Inline($Fa); {CLI}
```

```
  Port[$43]:=S36;     { Leer/Escribir Canal 0 en Binario Modo 3}
```

```
  Port[$40]:=lo(C);    { LSB }
```

```
  Port[$40]:=Hi(C);    { MSB }
```

```
  Inline($FB);        { STI }
```

```
end;
```



**{ LECTURA DE DATOS}**

Procedure LectADCIni;

```
begin
  Cont := 0;           {Contador}
  Port[$303]:= $92;   {Inicia puerto}
  Port[$302]:= $a2;   {Lectura en vacio}
end;
```

{\*\*\*\*\*}

**{REESTABLECER EL TEMPORIZADOR}**

Procedure Restore\_timer\_count;

begin

{Se restablece contador original del canal 0 del temporizador}

```
  Inline($Fa); {CLI}
  Port[$43]:= $36;   { Leer/Escribir Canal 0 en Binario Modo 3 }
  Port[$40]:= $FF;   { LSB }
  Port[$40]:= $FF;   { MSB }
  Inline($FB); { STI }
end;
```

{-----}

procedure ADCInt; interrupt;

begin

```
  Senal[CanalW,Cont_Rec]^Valor[Cont]:=(Port[$301] and 3)*256+Port[$300];
  Port[$302]:=0;
  Port[$302]:= $a2;
  Inc(Cont);
end;
```

{\*\*\*\*\*}

**{LECTURA DE DATOS}**

Procedure Lectura;

```
var
  l : Word;
  i : Byte;
```

```

begin
With Conf_Vibra Do
Begin
  LectADCIni;
  Change_timer_count(2*FrecMax);
  GetIntVec(S1c.@TicIntVec); {Guarda vector anterior}
  SetIntVec(S1c.Addr(ADCInt)); {Nuevo vector}
  For Cont_Rec:=1 to Nrec Do
  Begin
    Cont:=0;
    Repeat Until Cont = Npuntos+1;
  End;
  SetIntVec(S1c.Addr(TicIntVec));
  Restore_timer_count;
  DeltaT:=1/(2*FrecMax);
  DeltaF:= 2*FrecMax Npuntos;

  {-----}
  {Guarda Archivo de Medicion}
  With Conf_Vibra do
  Begin
    Assign(F,'Datos.Bak');
    Rewrite(F);
    For i:=1 to Nrec do
    For l:=1 to Npuntos do
    WriteLn(F, Senal[CanalW.i] ` Valor[l] );
    Close(F);
  End;
end;
End;

{*****}
{LIBERAR EL HEAP}

Procedure Libero_Heap;
Begin
  Reserve:=0;
  With Conf_Vibra do
  Begin
    For i:=1 to Nmax_Can Do Canal[i]:=0;
    Canal[CanalW]:=1;
    For i:=0 to Nmax_Can do
    if canal[i]>0 then
    For j:=1 to nrec do

```

```

Begin
  Dispose(Senal[CanalW,j]);
End;
End;
Release(p);
End;

```

```
{*****}
```

```
{CALCULO DE PRAMETROS DE LA SEÑAL EN EL}
{DOMINIO DEL TIEMPO Y FRECUENCIA}
```

```
Procedure Preparo_Datos_Graficar;
```

```

Var
  Valor_Medio,
  Suma,
  s,s1,Ap,Am,Fm,Fp,a   : Real;
  k,j,i,
  Np,Np2,Np4           : Integer;
  l                     : Word;
  tplot,psd,Psd_SDW    : Vector_Real;
  N_SDW                 : String[2];

```

```

Begin
  Reservo_Heap;

  With Conf_Vibra Do
  Begin
    Assign(F1,'Datos.Bak');
    Reset(F1);

    For i:=1 to Nrec do
      For l:=1 to Npuntos do
        Readln(F1, Senal[CanalW,i]^Valor[l] );
      End;
    Close(F1);

    Calcu:=1;
    NivelRMS:=0;

    With Conf_Vibra do
    Begin
      DeltaT:= 1/(2*FrecMax);

```

```

DeltaF:=1/(Npuntos*DeltaT);
Np:= Npuntos;
i:=1;
Repeat
Begin
  Suma:=DeltaF*i;
  i:=i-1;
End;
Until Suma>FrecMax;

Np2:=i;
if Np2 > Trunc(Npuntos/2) then Np2:=Trunc(Npuntos/2);
Np4:=trunc(Npuntos/4);

FillChar(Tplot.SizeOf(Tplot),0);
FillChar(PSd.SizeOf(PSD),0);

Valor_Medio:=0;
Suma:=0;
a:=0;
Senal[CanalW.k]^ Valor[1]:=0;
Senal[CanalW.k]^ Valor[Npuntos]:=0;
For k:=1 to Nrec do
Begin
  For i:=1 to Npuntos do
  Begin
    a:=(10/1023*Senal[CanalW.k]^ Valor[i]-4.227)/Amplif_Total;
    Suma:=Suma-a;
    if k=1 Then tplot[i]:=a-tplot[i];
  End;
End;

Valor_Medio:=Suma/Npuntos/nrec;
For i:=1 to Npuntos do tplot[i]:=tplot[i]-Valor_Medio;
For i:=1 to nrec do
Begin
  s1:=0;
  For l:=1 to Npuntos do
  Begin
    a:=(10/1023*Senal[0,i]^ Valor[l]-4.227)/Amplif_Total- Valor_Medio;
    s1:=s1+Sqr(a);
  end;
  s:=s+s1/Npuntos;
end;

```

```

s:=s/Nrec;
if s>0 then s:=sqrt(s);
NivelRms:=s;
For k:=1 to nrec do
Begin
  For i:=1 to Npuntos do
  Begin
    a:=(10/1023*Senal[CanalW,k]^Valor[i]-4.227)/Amplif_Total;
    x1[i]:=a-Valor_Medio;
    y1[i]:=0;
  End;

  FFT1(1,Npuntos,x1,y1);
  For i:=1 to Npuntos do
  Begin
    psd[i]:=Sqrt((sqr(x1[i])+sqr(y1[i]))*2)+psd[i];
    psd_SDW[i]:=Sqrt((sqr(x1[i])+sqr(y1[i]))*2);
  End;
  PSD[1]:=PSD[2];

Assign(F1,'Adc_Mex.TIE');
Rewrite(F1);
Writeln(F1,Npuntos,' ',1,' ',NivelRMS,' ',FrecMax);

Assign(F2,'ADC_MEX.PSD');
Rewrite(F2);
Writeln(F2,Np2,' ',1,' ',NivelRMS,' ',FrecMax);

For i:=1 to Npuntos do Writeln(F1,i*DeltaT,' ',Tplot[i]);
PSD[Np2+1]:=PSD[Np];
For i:=1 to Np2 do
  Writeln(F2,(i)*DeltaF,' ',PSD[i+1]/Conf_Vibra.Nrec);
Close(F2);
Close(F1);
End;
End;
Libero_Heap;
End;

{*****}

```

**{GRAFICAR DATOS}**

Procedure Graficacion:

Begin

  IniciaGraf:

  Arreglo\_Nombres[1]:=ADC\_MEX.tie;

  Arreglo\_Nombres[2]:=ADC\_MEX.psd;

  UnidadX[1]:=s';

  UnidadX[2]:=Hz';

  NombreY[1]:=Señal';

  NombreY[2]:=PSD';

  Graficar(2,Arreglo\_Nombres,UnidadX.NombreY);

  CloseGraph;

End;

{\*\*\*\*\*}







DIAGRAMA PCB DE LA TARJETA DE ADQUISICIÓN  
(LADO DE COMPONENTES)

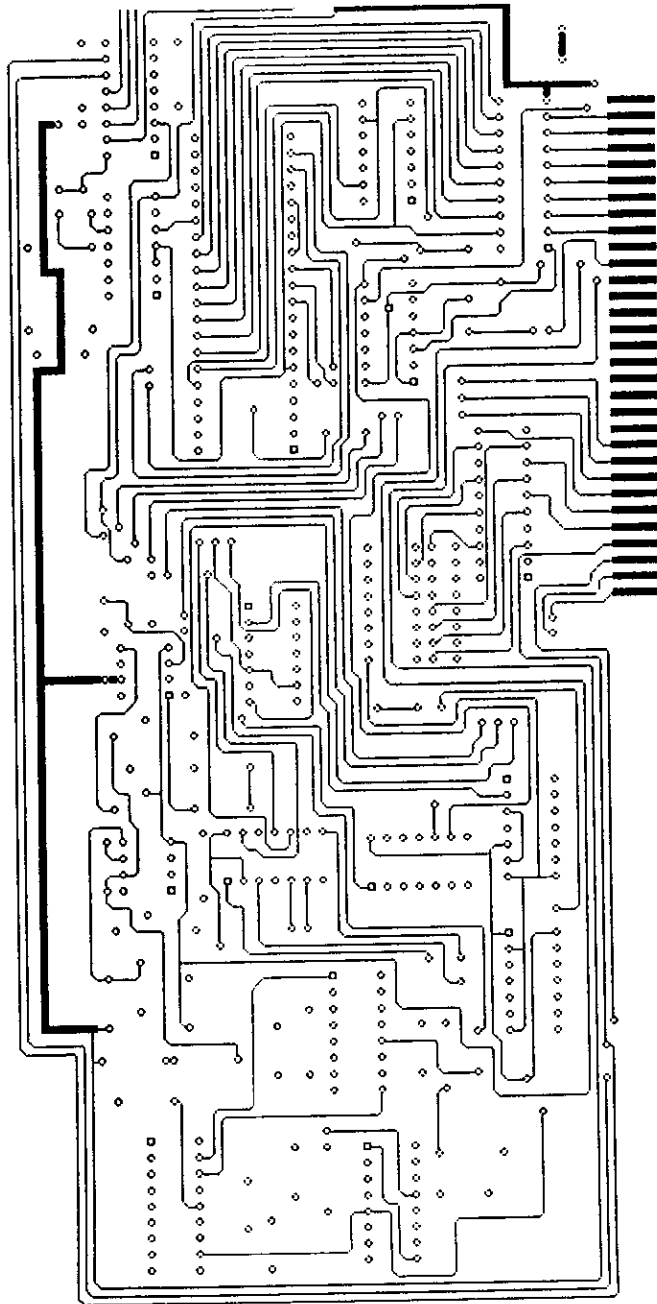


DIAGRAMA PCB DE LA TARJETA DE ADQUISICIÓN  
(LADC DE SOLDADURA)

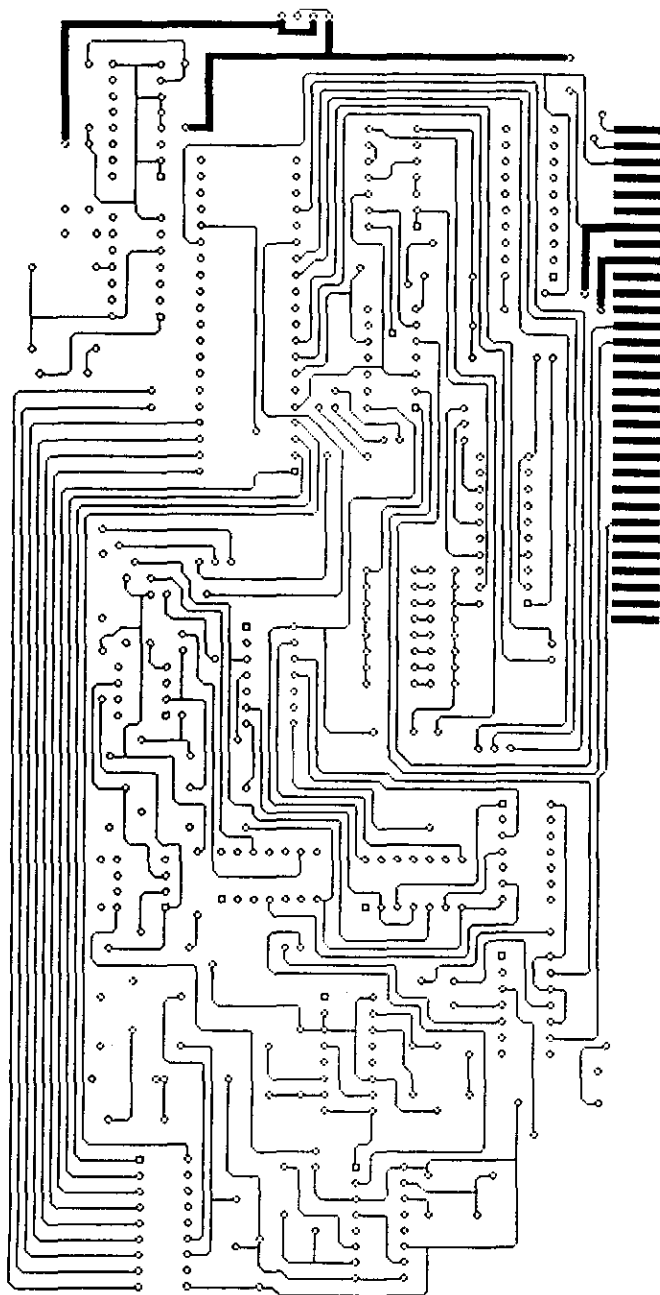


DIAGRAMA PCB DEL AMPLIFICADOR DE CARGA  
Y COLOCACIÓN DE COMPONENTES

